



UNIVERSIDADE
ESTADUAL DE LONDRINA

CENTRO DE TECNOLOGIA E URBANISMO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE MESTRADO EM ENGENHARIA ELÉTRICA

MARCUS VINÍCIUS MAIA RODRIGUES

**CONTROLADOR MULTIMALHAS PARA INVERSOR
MONOFÁSICO E CHAVE ESTÁTICA DE TRANSFERÊNCIA
APLICADOS EM FONTES ININTERRUPTAS DE ENERGIA
DO TIPO PASSIVE STANDBY**

Londrina - PR
2016

MARCUS VINÍCIUS MAIA RODRIGUES

**CONTROLADOR MULTIMALHAS PARA INVERSOR
MONOFÁSICO E CHAVE ESTÁTICA DE
TRANSFERÊNCIA APLICADOS EM FONTES
ININTERRUPTAS DE ENERGIA DO TIPO PASSIVE
STANDBY**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Estadual de Londrina como parte dos Requisitos para a obtenção do Título de Mestre em Engenharia Elétrica

Área de concentração: Sistemas Eletrônicos
Especialidade: Eletrônica de Potência

Orientador:
Prof. Dr. Newton da Silva

Londrina
2016

Ficha Catalográfica

Vinícius Maia Rodrigues, Marcus

Controlador multimalhas para inversor monofásico e chave estática de transferência aplicados em fontes ininterruptas de energia do tipo Passive Standby / Dissertação.

Londrina, PR, 2016

Dissertação (Mestrado) – Universidade Estadual de Londrina, PR. Departamento de Engenharia Elétrica.

Sistemas Eletrônicos. Eletrônica de Potência.

MARCUS VINÍCIUS MAIA RODRIGUES

**CONTROLADOR MULTIMALHAS PARA INVERSOR
MONOFÁSICO E CHAVE ESTÁTICA DE
TRANSFERÊNCIA APLICADOS EM FONTES
ININTERRUPTAS DE ENERGIA DO TIPO PASSIVE
STANDBY**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica da Universidade Estadual de Londrina como Parte dos Requisitos para a obtenção do Título de Mestre em Engenharia Elétrica.

Área de concentração: Sistemas Eletrônicos

Especialidade: Eletrônica de Potência

Comissão Examinadora

Prof. Dr. Newton da Silva
Depto. De Engenharia Elétrica
Orientador

Prof. Dr. Carlos Henrique Gonçalves
Treviso
Depto. De Engenharia Elétrica

Prof. Dr. Eloi Agostini Junior

Londrina, ____ de ____ de ____.

Agradecimentos

Agradeço primeiramente a DEUS pela minha vida, por minha família e amigos, e por todas as coisas boas que nos tem concedido.

A meus pais, Marcos e Rosana; a minha irmã, Beatriz; a meus avós, Diógenes, Maria Luiza, Angelin e Josepha e a toda minha família, por sempre me apoiarem em qualquer momento e por contribuírem na formação dos meus valores pessoais.

Agradeço ao meu orientador, o Prof. Dr. Newton da Silva, por sua dedicação e orientação, por estar sempre presente na realização do trabalho, compartilhando seus conhecimentos acadêmicos e profissionais.

Agradeço ao Willian por me ajudar a desenvolver o projeto e também por sua amizade.

Aos técnicos do laboratório por seus auxílios na confecção dos circuitos e dos testes em bancada.

A todos os amigos da graduação, especialmente Marcio, José Carlos, Giancarlo, Lucas, Alexandre, Charles, Neto, Guilherme e Heitor por esses anos juntos e a amizade construída.

Resumo

Este trabalho apresenta o controle de um inversor monofásico e do acionamento de uma chave estática de transferência, ambos aplicáveis a fontes ininterruptas de energia. O controle do inversor apresenta um arranjo de duas malhas, onde é usada uma malha interna de corrente e outra externa de tensão. O trabalho traz um modelo de projeto de controladores proporcional-integral e proporcional-ressonante em malha fechada para o inversor, levando em conta o atraso da resposta dinâmica do modulador PWM digital, que é um fator que limita os ganhos do compensador. Também é apresentado o funcionamento da chave estática de transferência (STS), que permite a transferência da alimentação de uma carga crítica de uma fonte principal para uma auxiliar quando ocorrer algum distúrbio. São utilizadas duas topologias de STS, uma composta por tiristores e outra por IGBTs, sendo realizada a comparação e análise do desempenho de ambas. Para o controle da chave estática dois algoritmos para detecção de distúrbio são utilizados: o primeiro método é baseado no sistema de coordenadas dq e o segundo é baseado na detecção de amplitude do sinal por PLL.

Abstract

This paper presents the control of a single-phase inverter and the drive of a static transfer switch, both applicable to uninterruptible power systems. The inverter control shows an arrangement of two loops, where an inner current loop and other external voltage is used. The paper presents a design model for proportional-integral and proportional-resonant controllers for closed loop operation of the inverter, taking into account the delay of the dynamic response of the digital PWM modulator, which is a factor that limits the compensator gains. The operation of the static transfer switch (STS), which allows the transfer of power to a critical load of a main source for an auxiliary when a disturbance occurs is also presented. Two STS topologies are used: one consisting of thyristors and other by IGBTs being performed the comparison and analysis of both performances. For the static switch control two algorithms for detection disturbance are used: the first method is based on the dq coordinate system and the second is based on the signal amplitude detection by PLL.

Sumário

1 - Capítulo - Introdução	1
1.1 Organização do trabalho	2
2 - Capítulo - Justificativa e comentários do trabalho proposto	5
2.1 Inversor monofásico com controle multimalhas	6
2.2 Chave estática de transferência	10
2.3 Mercado atual para o projeto	12
2.4 Conclusão	13
3 – Capítulo - Análise do inversor monofásico tipo fonte de tensão	15
3.1 Inversor monofásico tipo fonte de Tensão	15
3.2 Modulação por largura de pulsos (PWM) senoidal.....	17
3.2.1 Modulação bipolar ou dois níveis.....	19
3.2.2 Modulação unipolar ou três níveis	20
3.3 Principais formas de onda do inversor na modulação unipolar	26
3.4 Dimensionamento do filtro de saída do inversor	27
3.5 Conclusão	30
4 - Capítulo - Hardware: Descrição dos circuitos utilizados	31
4.1 Controlador digital de sinais TMS320F28335	31
4.2 Inversor monofásico	32
4.2.1 Interruptores:	33
4.2.2 Diodos em antiparalelo aos interruptores	33
4.2.3 Descrição do circuito de potência	36
4.2.4 Descrição do circuito de proteção.....	36
4.2.5 Fonte de alimentação auxiliar	38
4.3 Circuito de condicionamento do sinal da tensão	38
4.4 Circuito de condicionamento do sinal da corrente.....	40
4.5 Chave estática de transferência – topologia com tiristores	42
4.6 Chave estática de transferência – topologia com IGBTs.....	42
4.7 Buffer.....	44
4.8 Circuito de Alimentação	44
4.9 Conversor D/A.....	45
4.10 Esquema elétrico geral.....	45

4.11	Conclusão	46
5	- Capítulo - Estratégia de controle do inversor monofásico tipo fonte de tensão	47
5.1	Controlador Multimalhas para inversor monofásico do tipo fonte de tensão	47
5.2	Modelagem do inversor	48
5.3	Controlador de corrente	51
5.4	Análise do atraso da modulação por largura de pulso digital	52
5.5	Determinação dos ganhos do controlador PI para a malha de corrente	56
5.6	Modelo matemático da malha de tensão e determinação dos ganhos do controlador PI.....	57
5.7	Controlador Proporcional-Ressonante	61
5.8	Determinação dos ganhos do controlador P+Ress para a malha de corrente.....	62
5.9	Determinação dos ganhos do controlador P+Ress para a malha de tensão	64
5.10	Discretização do controlador PI	65
5.11	Controlador PI com Anti-windup.....	67
5.12	Discretização do controlador ressonante	68
5.13	PLL.....	69
5.13.1	PLL monofásico.....	70
5.14	Conclusão	72
6	- Capítulo - Chave estática de transferência.....	75
6.1	STS (Static Transfer Switch)	75
6.2	Estratégias de controle da chave estática de transferência	76
6.2.1	Método baseado no sistema de coordenadas dq	77
6.2.2	Método baseado na detecção de amplitude por PLL.....	81
6.2.3	Descrição do controle da chave estática de transferência.....	82
6.2.4	Fluxograma dos métodos de controle da chave estática.....	82
6.2.5	Função Histerese.....	84
6.3	Topologia com Tiristores	85
6.4	Topologia com IGBTs.....	86
6.5	Etapas de comutação do interruptor bidirecional na configuração emissor-comum.....	87
6.6	Conclusão	90

7 - Capítulo - Resultados Experimentais e de Simulação	91
7.1 Resultados do controle do inversor monofásico.....	91
7.1.1 Resultados do controle do inversor monofásico para diferentes tipos de carga	97
7.1.2 Resultado do algoritmo PLL	105
7.2 Resultado da chave estática de transferência.....	106
7.2.1 Estratégia de controle para detecção do distúrbio.....	108
7.2.2 Topologia de tiristores	109
7.2.3 Topologia com IGBTs.....	114
7.3 Conclusão	118
8 – Capítulo - Conclusões Finais	119
8.1 Contribuições do trabalho	119
8.2 Sugestões para trabalhos futuros	120
Referências Bibliograficas.....	121
Anexos	125
Anexo A – Normatização das Fontes Ininterruptas de Energia.....	127
A.1 Fontes Ininterruptas de Energia.....	127
A.2 Normatização internacional de UPS: IEC 62040-3/1999	128
A.2.1 UPS Passive Standby	129
A.2.2 UPS Line Interactive	130
A.2.3 UPS Double Conversion.....	131
A.3 Classificação das UPS quanto ao comportamento operacional da tensão de saída	132
A.4 Normatização de UPS no Brasil	135
Apêndices	137
Apêndice A.....	139
Apêndice B.....	143
Apêndice C.....	144
Apêndice D.....	145

LISTA DE FIGURAS

Figura 1 – Esquema elétrico simplificado da chave estática de transferência.	10
Figura 2 – Esquema elétrico simplificado da chave estática de transferência com topologia de tiristores.....	11
Figura 3. VSI monofásico.	15
Figura 4 - Limites aproximados de tensão de bloqueio e corrente de condução dos semicondutores de potência.....	16
Figura 5 – Modulação Bipolar.....	17
Figura 6 – Modulação Bipolar.....	20
Figura 7 – 1ª Etapa de funcionamento do inversor monofásico.	21
Figura 8 - 2ª Etapa de funcionamento do inversor monofásico.	21
Figura 9 - 3ª Etapa de funcionamento do inversor monofásico.	22
Figura 10 - 4ª Etapa de funcionamento do inversor monofásico.	22
Figura 11 - 5ª Etapa de funcionamento do inversor monofásico.	23
Figura 12 - 6ª Etapa de funcionamento do inversor monofásico.	23
Figura 13 - 7ª Etapa de funcionamento do inversor monofásico.	23
Figura 14 - 8ª Etapa de funcionamento do inversor monofásico.	24
Figura 15 – Modulação unipolar.	24
Figura 16 – Espectro da tensão de saída para a modulação bipolar.	25
Figura 17 – Espectro da tensão de saída para a modulação unipolar.	25
Figura 18 - Tensão de saída antes e depois do filtro LC.....	26
Figura 19 - Corrente no indutor.	26
Figura 20 - Corrente no capacitor.....	26
Figura 21 - Corrente na chave.....	27
Figura 22 – Corrente no diodo.....	27
Figura 23 – Inversor Monofásico com filtro LC.	28
Figura 24 - DSC TMS320F28335 e o Kit de desenvolvimento.	32
Figura 25 - IRAMS10UP60A.	35
Figura 26- Módulo IRAMS10UP60A.....	35
Figura 27 - Circuito de potência do inversor monofásico.	36
Figura 28 – Circuito de Proteção do inversor.	37
Figura 29 – Fonte de Alimentação.	38
Figura 30 – Circuito de condicionamento do sinal de tensão.	40
Figura 31 – Diagrama de blocos do condicionamento de corrente.	40
Figura 32 – Relação entre corrente e tensão de saída do sensor Hall ACS712.	41
Figura 33 - Circuito de condicionamento do sinal de corrente.....	41
Figura 34 - Circuito da Chave de Estática Transferência da topologia com tiristores.....	42
Figura 35 - Circuito da Chave de Estática Transferência da topologia com IGBTs.	43

Figura 36 – Buffer.....	44
Figura 37 – Circuito de Alimentação.	45
Figura 38 – Conversor D/A.....	45
Figura 39 - Esquema elétrico geral.	46
Figura 40 - Esquema elétrico simplificado da topologia e diagrama do controlador multimalhas.	48
Figura 41 - Inversor monofásico do tipo fonte de tensão (VSI).	49
Figura 42 – Inversor monofásico tipo fonte de tensão.....	49
Figura 43 - Diagrama de Bode de $I_o(s)/d(s)$ com $V_{dc} = 240 V$, $R_s = 1 \Omega$ e $L_s = 0,005 H$	51
Figura 44. Diagrama de blocos do controle da malha corrente.....	52
Figura 45. Implementação analógica do modulador PWM.....	52
Figura 46. Formas de onda do PWM Digital.....	54
Figura 47. Modelo equivalente do PWM digital e formas de onda.	55
Figura 48. Diagrama de blocos do controle de tensão em malha fechada.....	58
Figura 49 - Diagrama de blocos do controle de tensão com realimentação <i>feedforward</i>	59
Figura 50 – Diagrama de blocos completo do controle.	60
Figura 51 - Diagrama de blocos do controle de corrente em malha fechada com o controlador P+ Ress.....	63
Figura 52 - Diagrama de blocos do controle de tensão em malha fechada com o controlador P+Ress.....	64
Figura 53 – Controlador Proporcional-Integral.	65
Figura 54 - Controlador Proporcional-Integral Discreto.	67
Figura 55 - Controlador Proporcional-Integral com anti-windup.	68
Figura 56 - Diagrama representativo de um PLL genérico.....	69
Figura 57 – Modelo PLL monofásico.....	71
Figura 58 – PLL: Entrada, senóide ortogonal e argumento.	72
Figura 59 – Esquema elétrico da chave estática de transferência.	76
Figura 60 – Rastreamento do valor de pico da tensão da rede.....	77
Figura 61 - Diagrama fasorial da Transformação de Clarke.....	78
Figura 62 - Diagrama fasorial da Transformação de Park.....	79
Figura 63 - Método baseado no sistema de coordenadas dq.	80
Figura 64 - Método baseado na detecção de amplitude por PLL.	81
Figura 65 - Fluxograma do método de controle da chave estática.....	83
Figura 66 - Diagrama de bloco da função Histerese.	84
Figura 67 - Fluxograma da função Histerese.	85
Figura 68 – Esquema elétrico da STS com tiristor.	86
Figura 69 – Topologias de chave bidirecionais usando IGBT.	87
Figura 70 – Ilustração da topologia da STS e suas quatro etapas de funcionamento. (a) Carga alimentada pela fonte preferencial, (b) 1ª Etapa, (c) 2ª Etapa, (d) 3ª Etapa e (e) 4ª Etapa.....	88
Figura 71 - Esquema elétrico da STS com IGBT.	89

Figura 72 - Diagrama de Bode do modelo simplificado da malha de corrente e da função de transferência exata de malha fechada da mesma.	93
Figura 73. Diagrama de Bode da malha de corrente do inversor.	94
Figura 74. Diagrama de Bode da malha de tensão do inversor.	94
Figura 75- Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho) durante o aumento de carga com o uso do controlador P+Ress na malha de corrente do inversor monofásico.	95
Figura 76- Detalhe do momento que ocorre o aumento de carga com o uso do controlador P+Ress na malha de corrente. Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho).	96
Figura 77 - Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho) durante o aumento de carga com o uso do controlador PI na malha de corrente do inversor monofásico.	97
Figura 78 - Detalhe do momento que ocorre o aumento de carga com o uso do controlador PI na malha de corrente. Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho).....	97
Figura 79 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante o aumento de carga resistiva.	99
Figura 80 - Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga resistiva.	99
Figura 81 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante o aumento de carga RL.....	100
Figura 82 – Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga RL.....	101
Figura 83 -Sinais de corrente de referência e no indutor (parte superior) e sinais de tensão de referência e de saída do inversor (inferior) durante o aumento de carga não linear.....	101
Figura 84 - Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga não linear.....	102
Figura 85 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante a desconexão da carga.	103
Figura 86 - Simulação da corrente no indutor e da tensão de saída do inversor durante a desconexão da carga.	103
Figura 87 – Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante situação de sobrecorrente.	105
Figura 88 - Tensão de saída e corrente no indutor na situação de sobrecorrente.	105
Figura 89 - Resultado do algoritmo PLL para o sinal senoidal da rede elétrica e argumento.	106

Figura 90 – Definição do tempo de transferência da STS. Sinal de tensão da fonte preferencial (vermelho), sinal de tensão na carga (azul) e sinal de detecção de distúrbio (preto).....	107
Figura 91 - Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.	110
Figura 92 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.	110
Figura 93 – Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.	111
Figura 94 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.	111
Figura 95 - Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.	112
Figura 96 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.	112
Figura 97 – Pior caso de desempenho da STS com topologia composta por tiristores.....	113
Figura 98 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.	115
Figura 99 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.	115
Figura 100 – Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.	116
Figura 101 - Resultado de simulação da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.	116
Figura 102 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.	117
Figura 103 - Resultado de simulação da STS com IGBT. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.	117
Figura 104 – Forma de onda quadrada de tensão.	127
Figura 105 – Forma de onda Pseudo-senoidal de tensão.....	128
Figura 106 – Forma de onda senoidal.....	128

Figura 107 - UPS <i>Passive Standby</i>	129
Figura 108 - UPS <i>Line Interactive</i>	130
Figura 109 - UPS <i>Double Conversion</i>	131
Figura 110 - Classificação “1”.....	134
Figura 111 - Classificação “2”.....	135
Figura 112 - Classificação “3”.....	135
Figura 113 – Montagem em bancada.....	139
Figura 114 – Modelo da placa de condicionamento de tensão em 3D.....	139
Figura 115 – Fotografia da placa de condicionamento de tensão.....	140
Figura 116 - Modelo da placa de condicionamento de corrente em 3D.....	140
Figura 117 - Fotografia da placa de condicionamento de corrente.....	140
Figura 118 - Modelo da placa da chave estática de transferência com topologia de tiristor em 3D.....	141
Figura 119 - Fotografia da placa da chave estática de transferência de topologia com tiristor.....	141
Figura 120 - Modelo da placa da fonte de alimentação em 3D.....	141
Figura 121 - Fotografia da placa <i>buffer</i>	142
Figura 122 - Fotografia da placa do inversor monofásico.....	142

LISTA DE TABELAS

Tabela 1 – Pesquisa de mercado para UPS tipo Passive Standby.	13
Tabela 2 - Parâmetros do inversor.	32
Tabela 3 – Especificações do módulo IRAMS10UP60A.	34
Tabela 4 - Parâmetros do inversor.	91
Tabela 5 - Ganhos dos controladores PI da malha de corrente e tensão.	92
Tabela 6 - Ganhos dos controladores P+Ress da malha de corrente e tensão.	92
Tabela 7 - Tempos de detecção de distúrbios da STS.....	108
Tabela 8 - Desempenho da STS com a topologia de tiristores	109
Tabela 9 - Desempenho da STS com a topologia de IGBTs.....	114

LISTA DE ABREVIATURAS E SIGLAS

Capes	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
QEE	Qualidade da Energia Elétrica
Elat	Grupo de Eletricidade Atmosférica
INPE	Instituto Nacional de Pesquisas Espaciais
UPS	<i>Uninterruptible Power Supplies</i>
IEC	<i>International Electrotechnical Commission</i>
ABNT	Associação Brasileira de Normas Técnicas
STS	<i>Static Transfer Switch</i>
PWM	<i>Pulse Width Modulation</i>
PI	Proporcional-Integral
P+Ress	Proporcional-Ressonante
THD	<i>Total Harmonic Distortion</i>
PLL	<i>Phase Locked Loop</i>

LISTA DE SÍMBOLOS

C	Capacitância do filtro do inversor
$c(t)$	Sinal da portadora
cpk	Valor de pico do sinal da portadora
$d(t)$	Razão cíclica
f	Frequência do sinal senoidal de referência
fcl_i	Largura de banda do controlador de corrente
fcl_v	Largura de banda da malha de tensão
fp	Frequência do sinal da portadora
$G(s)$	Função de transferência do inversor
$Gol_i(s)$	Função de transferência de malha aberta da malha de corrente
$Gol_v(s)$	Função de transferência de malha aberta da malha de tensão
$G_{p+ress}(s)$	Função de transferência do controlador proporcional-ressonante
$G_{ress}(s)$	Função de transferência do controlador ressonante
Gti	Ganho do circuito de aquisição do sinal de corrente
Gtv	Ganho do circuito de aquisição do sinal de tensão
I_0	Corrente de saída do inversor
I_{0ref}	Sinal de referência da corrente
I_{ALT}	Corrente da fonte alternativa
$I_{interruptor}$	Corrente do interruptor
I_{PREF}	Corrente da fonte preferencial
$I_{s,pico}$	Corrente de saída de pico
Ki_i	Ganho integral do controlador de corrente
Ki_v	Ganho integral do controlador de tensão
Kp_i	Ganho proporcional do controlador de corrente
Kp_v	Ganho proporcional do controlador de tensão
L	Indutância do filtro do inversor
$Li(k)$	Limite máximo dinâmico da ação integral
$m(t)$	Sinal modulante
mf	Índice de modulação
m_{max}	Limite máximo da ação proporcional
phm	Margem de fase
$S_{saidamax}$	Potência máxima de saída
Rs	Resistência série do indutor
S_{ALT}	Sinal de distúrbio da fonte alternativa
S_{PREF}	Sinal de distúrbio da fonte preferencial
T_{ALT}	Sinal de disparo do TRIAC da fonte alternativa
T_{PREF}	Sinal de disparo do TRIAC da fonte preferencial
Ts	Período de amostragem
$V0$	Tensão de saída
$V0_{max}$	Tensão de saída máxima
V_{0c}	Tensão de saída do inversor
V_{0ref}	Sinal de referência da tensão
V_{ALT}	Amplitude da tensão da fonte alternativa
V_{cap}	Tensão no capacitor
V_{carga_nom}	Tensão nominal na carga

V_{dc}	Tensão do barramento CC do inversor
$V_{interruptor}$	Tensão máxima que os interruptores estão sujeitos
V_l	Tensão no indutor
V_{lmax}	Tensão máxima no indutor
V_{oc}	Tensão de saída do inversor
V_{oc1ef}	Valor eficaz da componente fundamental da tensão de saída do inversor
V_{oc1max}	Valor máximo da componente fundamental da tensão de saída do inversor
$V_{ocmedio}$	Tensão média de saída do inversor
V_{PREF}	Amplitude da tensão da fonte preferencial
V_{REF}	Tensão de Referência
ω_0	Frequência fundamental
ω_{cut}	Largura de banda do controlador ressonante que minimiza a sensibilidade do compensador
ω_f	Frequência de ressonância do filtro LC
Z_{capmin}	Impedância mínima do capacitor
Z_{carga_nom}	Impedância nominal da carga
Z_{lmax}	Máxima impedância do indutor

1 - CAPÍTULO - INTRODUÇÃO

A rede elétrica em geral está constantemente sujeita a sofrer oscilações e interrupções, ou seja, distúrbios, que é a palavra usada para englobar todos os fenômenos que afetam a qualidade da energia elétrica. Os distúrbios geralmente encontrados em um sistema de distribuição de energia elétrica são: sub e sobretensões, picos rápidos de tensão de valores muito elevados, ruídos por interferência eletromagnética, entre outros (SCHIAVON JR, 2007). Estes distúrbios podem ocasionar o desligamento de equipamentos, como também danificá-los, principalmente aqueles que possuem circuitos eletrônicos mais sensíveis.

O uso de Fontes Ininterruptas de Energia (UPS, do termo em inglês *Uninterruptible Power Supplies*) surgiu como uma forma de solução a esses problemas. Basicamente, uma UPS é composta por um retificador, um banco de baterias, um inversor de tensão e uma chave de transferência; esta última responsável pela transferência da alimentação da carga do modo UPS (energia fornecida pelas baterias) para o modo normal (rede elétrica) ou vice-versa. (FERREIRA, 2009)

Logo, este trabalho apresenta duas propostas: implementar o controle de um inversor monofásico, garantindo melhor qualidade de energia para a carga e também desenvolver algoritmos de detecção de distúrbio e comutação de chave estática de transferência, com a finalidade de reduzir o tempo de transferência de alimentação da carga. Ambos são aplicáveis a UPS do tipo *Passive Standby*, que é uma das topologias de UPSs existentes na norma IEC (*International Electrotechnical Commission*) 62040-3.

Devido à complexidade dos algoritmos de controle, optou-se pela implementação completamente digital, isto é, um processador amostra as tensões e correntes do sistema, processa os algoritmos de controle e fornece os sinais de comandos aos transistores.

O controle adotado para o inversor monofásico apresenta um arranjo multimalhas, onde possui uma malha interna de corrente e outra externa de tensão. O trabalho traz um método analítico para determinar os melhores

ganhos possíveis que podem ser alcançados por controladores proporcional-integral e proporcional-ressonante em ambas as malhas. Por razão do uso de controle digital, foi levado em conta, no projeto dos controladores, o atraso que a modulação por largura de pulso digital (DPWM) inerentemente introduz ao sistema. Ao contrário da modulação analógica, estes atrasos limitam os ganhos dos compensadores que, por sua vez, influenciam no rastreamento do sinal de referência.

Em relação à chave estática de transferência, o trabalho investiga estratégias de controle para a mesma, com o uso de métodos simples para detecção de distúrbio, porém de desempenho satisfatório. Cada método utiliza um algoritmo específico para detectar o valor de pico de tensão nas fontes de alimentação.

No trabalho também são analisadas, avaliadas e comparadas duas topologias distintas para a chave estática: uma clássica na literatura composta por tiristores e outra por IGBTs e diodos.

1.1 Organização do trabalho

O Capítulo 2 analisa outros trabalhos da literatura na mesma área da pesquisa, bem como traz a justificativa para o desenvolvimento deste trabalho.

O Capítulo 3 apresenta o princípio de funcionamento do inversor monofásico tipo fonte de tensão, além de explicar dois tipos de modulação senoidal para o acionamento das chaves semicondutoras. Esse capítulo também traz um modelo de projeto para o dimensionamento do filtro LC de saída do inversor.

O Capítulo 4 mostra a estrutura física do trabalho, detalhando todos os circuitos utilizados para o desenvolvimento do mesmo.

O Capítulo 5 apresenta a estratégia de controle do inversor monofásico, onde é usado um arranjo multimalhas, com uma malha interna de corrente e outra externa de tensão. O capítulo traz um modelo analítico de projeto de controladores proporcional-integral e proporcional-ressonante para o inversor,

além de apresentar o algoritmo PLL, responsável por gerar um sinal sincronizado com o sinal de tensão da rede elétrica.

O Capítulo 6 traz a estratégia de controle da chave estática de transferência, onde são apresentados dois algoritmos de detecção de distúrbio e duas topologias da STS, uma composta por tiristores e outra por IGBTs.

O Capítulo 7 ilustra os resultados experimentais e de simulação do inversor monofásico onde mostram variações de carga para teste do controle multimalhas aplicado. Também são apresentados os resultados da chave estática de transferência que traz os tempos de transferência entre as fontes, sendo possível avaliar o desempenho dos métodos de detecção de distúrbio e das topologias citadas no trabalho.

Por fim, o Capítulo 8 apresenta as conclusões gerais deste trabalho, no que diz respeito aos temas abordados e apresenta possíveis sugestões para trabalhos futuros que possam dar continuidade a esta pesquisa.

2 - CAPÍTULO - JUSTIFICATIVA E COMENTÁRIOS DO TRABALHO PROPOSTO

Apesar dos esforços que vêm sendo realizados a fim de atenuar os distúrbios que afetam a qualidade da energia elétrica, a energia disponível nas redes de distribuição ainda não é de qualidade aceitável para algumas aplicações. Com o desenvolvimento da indústria eletroeletrônica, é cada vez mais comum que equipamentos eletrônicos estejam presentes nos setores essenciais da sociedade, tais como centrais telefônicas, hospitais, fábricas e agências bancárias, onde um determinado sistema eletrônico não pode ter seu fornecimento de energia interrompido. Claro que por melhor que seja o sistema de fornecimento de energia para estes consumidores, ainda haverá possibilidade de que ocorram distúrbios na rede elétrica. Estes problemas são a grosso modo, considerados como fenômenos de Qualidade da Energia Elétrica (QEE) (FERREIRA, 2009).

As oscilações da rede são imperceptíveis aos usuários e desgastam lentamente os componentes eletrônicos dos produtos. “Equipamentos produzidos para durar anos têm sua vida útil reduzida devido à má qualidade da energia fornecida e os usuários, que não têm consciência desse fator, consideram a qualidade do produto ruim”, explica Auster Nascimento, Diretor Geral da SMS, empresa fabricante de equipamentos para proteção de energia do Brasil (INFORMATION MANAGEMANT, 2012).

Segundo dados divulgados pelo Grupo de Eletricidade Atmosférica (Elat), do Instituto Nacional de Pesquisas Espaciais (INPE), a estimativa é de que com a frequente ocorrência de raios – responsáveis por cerca de 40% das quedas de energia nas distribuidoras, o Brasil tenha anualmente prejuízos em torno de R\$ 1 bilhão, sendo R\$ 600 milhões só no setor elétrico. A queda de raios tem aumentado atualmente segundo estudo realizado na região Centro-Sul e essas quedas são responsáveis por danos muitas vezes incalculáveis, como o desgaste dos usuários diante da perda de informações de projetos importantes. (INFORMATION MANAGEMANT, 2012)

A relação custo-benefício de proteger equipamentos sensíveis contra surtos ou interrupção do fornecimento de energia é bastante vantajosa tanto

para ambientes domésticos, quanto para ambientes corporativos, onde é necessária a proteção nas infra-estruturas de TI (tecnologia da informação) e industriais, por exemplo (INFORMATION MANAGEMENT, 2012).

O uso de Fontes Ininterruptas de Energia surgiu como uma forma de solução a esses problemas, sendo bastante eficiente para proteção de cargas contra transientes seja em sub ou sobretensão, e para operações que não toleram interrupções no fornecimento de energia e também precisam de uma tensão livre de ruídos ou distorções harmônicas.

Cada vez mais usuários estão se conscientizando e percebendo o quanto é importante o uso de UPSs, principalmente em lugares onde a queda de energia ocasiona grandes prejuízos; com isso, naturalmente, surge uma maior demanda por esses equipamentos.

Como é apresentado no Anexo A, o desempenho de uma UPS é definido por uma série de características relacionadas a qualidade da energia entregue à carga. Para uma boa performance é requerido que o inversor de tensão da UPS sintetize tensão de saída senoidal com baixa taxa de distorção harmônica (TDH) para diversos tipos de carga e ao mesmo tempo possua rápida resposta a transientes, boa estabilidade e alta confiabilidade.

Outro aspecto que é observado como forma de avaliar o desempenho de uma UPS é o tempo de transferência de carga, ou seja, o tempo decorrido para que chave estática que conecta a rede elétrica à carga seja bloqueada e a chave estática que conecta o inversor à carga entre em condução. Essa característica permite que o equipamento fique menos sujeito às oscilações da fonte que está sofrendo o distúrbio.

2.1 Inversor monofásico com controle multimalhas

Em uma UPS, o inversor é responsável por sintetizar uma tensão alternada para a alimentação da carga, que deve possuir frequência, forma e amplitude estabilizada, independentemente das eventuais alterações de tensão na bateria e/ou variações de carga.

É desejável que a tensão de saída de uma UPS seja senoidal, pois outras formas de onda como, por exemplo, a semi-senoidal apresenta alta taxa de conteúdo harmônico (THD em torno de 15 a 35%). Essa alta taxa compromete a vida útil e a correta operação de alguns tipos de equipamentos, como os de comunicação e processamento de dados ou como os de eletrônica de precisão, utilizados pela medicina moderna. É possível dizer que esses equipamentos são diretamente influenciados pela distorção harmônica da tensão de alimentação (SCHIAVON; TREVISO, 2011).

O grau com que harmônicas podem ser toleradas em um sistema de alimentação depende da susceptibilidade da carga. Os equipamentos menos sensíveis, geralmente, são os de aquecimento (carga resistiva), para os quais a forma de onda não é relevante. Os mais sensíveis são aqueles que, em seu projeto, assumem a existência de uma alimentação senoidal. No entanto, mesmo para as cargas de baixa susceptibilidade, a presença de harmônicas na tensão pode ser prejudicial, produzindo maiores esforços nos componentes e isolantes (SEIXAS; PASCHOARELI JR.; FARIA JR., 2002).

Em motores e geradores o efeito dos harmônicos causa um aquecimento excessivo devido ao aumento das perdas no ferro e no cobre, afetando-se assim sua eficiência e o torque disponível.

Alguns equipamentos eletrônicos podem ser muito sensíveis às distorções na forma de onda de tensão, como por exemplo, se um aparelho utiliza os cruzamentos com o zero (ou outros aspectos da onda de tensão) para realizar alguma ação, distorções na forma de onda podem alterar ou mesmo inviabilizar seu funcionamento.

Aparelhos de medição e instrumentação, em geral, são afetados por harmônicos, especialmente se ocorrerem ressonâncias que afetam a grandeza medida; assim como dispositivos com discos de indução, como os medidores de energia, que podem apresentar erros dependendo do harmônico presente.

Logo, é relevante que a tensão de saída da UPS seja senoidal e estabilizada, principalmente para a alimentação de equipamentos sensíveis à má qualidade de energia e, para isso, necessita de um bom sistema de controle.

Existem diferentes implementações de controle para inversores. De forma simplificada, pode-se dividir em sistemas de uma única malha de realimentação e multimalhas.

No sistema de uma única malha há somente um sinal de realimentação. Em geral, utiliza-se o sinal da tensão de saída do inversor como sinal de realimentação. A implementação desta técnica é mais simples, porém, não oferece qualquer limitação em relação ao valor da corrente de saída do inversor, como no caso da ocorrência de um curto-circuito ou transitórios em alterações de carga.

No sistema multimalhas utilizam-se dois ou mais sinais para a realimentação, que neste trabalho correspondem aos sinais de tensão de saída e corrente no indutor do filtro do inversor. Embora esta técnica seja mais complexa, o controle do inversor torna-se mais robusto e eficaz, além de oferecer proteção ao inversor no caso de ocorrer uma sobrecorrente.

Observando-se alguns trabalhos, nota-se em (FERREIRA, 2009) a ausência de um sinal de tensão senoidal na saída do inversor, bem como não há nenhuma preocupação com a sua regulação. Em (AAMIR; KIM, 2011) o estágio de saída da UPS fornece uma tensão senoidal para carga, mas sem regulação. Em (GNOATTO, 2011) e (MENEZES, 2007) foram aplicados controladores de tensão e apresentados resultados experimentais para diversos tipos de carga como teste, porém, em ambos os casos não foi desenvolvido nenhum tipo de controle ou proteção para a corrente no estágio de saída da UPS.

Em (SCHIAVON; TREVISO, 2011) e (CIANI *et al.*, 2009) foram desenvolvidas UPSs com controle de tensão no estágio de saída, porém não apresentaram um modelo matemático para cálculo dos ganhos dos controladores.

Em (KECUN; YUXING, 2007) apresenta-se uma estratégia de controle de corrente e tensão para inversores monofásicos, utilizando um controlador *deadbeat* com ação integral repetitiva aplicado à fonte ininterrupta de energia. Porém, o trabalho não detalha o critério de escolha do ganho do controlador repetitivo. Ademais, nos resultados experimentais obtidos não foi divulgado qual tipo de carga foi utilizado para os testes, além de não mostrar a resposta transitória do protótipo para variações de carga.

Em (SARASWATHY; PUNITHA; DEVARAJ, 2013), (MONFARED, 2014), (GUELDNER; WOLF; BLACHA, 2011) e (SUN *et al.*, 1999) foram desenvolvidos o controle do estágio de saída de UPSs, obtendo-se como resultado uma diminuição das harmônicas da tensão de saída. Em todos foram aplicados algum método de controle de corrente de saída como forma de limitar a potência do conversor. Porém, não foram obtidos resultados experimentais do sistema, apenas de simulação. Além de que, em (GUELDNER; WOLF; BLACHA, 2011) as simulações não mostraram a resposta transitória do controle com variações de carga; não sendo possível avaliar o desempenho do controlador nesse quesito.

Logo, nota-se que há trabalhos onde:

- UPSs não apresentam controle para o sinal de tensão de saída, como também, este pode não ser do tipo senoidal;
- Muitas vezes nenhum tipo de controle para a corrente no estágio de saída da UPS é implementado;
- Nem sempre os critérios de escolha de um determinado tipo de controlador e mesmo de seleção de ganhos são devidamente detalhados;
- Não é sempre que ocorre a implementação do controle proposto para o inversor em um sistema real.

Neste sentido, este trabalho visa contribuir com o sistema de controle de inversores monofásicos utilizados em UPS, apresentando um controle multimalhas com controladores proporcional-integral (PI) e controladores proporcional-ressonante (P+Ress). O projeto dos controladores é detalhado e considera o atraso da resposta dinâmica do modulador PWM (*Pulse Width Modulation*) digital no sistema em malha fechada, já que este é um fator que limita os ganhos dos compensadores.

A metodologia de trabalho utilizada consistiu na modelagem do sistema, seleção dos parâmetros do controlador, simulação computacional do modelo e implementação do controle proposto em um sistema real.

2.2 Chave estática de transferência

A chave de transferência, como mostra a Figura 1, realiza a transferência da alimentação da carga de uma fonte preferencial para uma fonte alternativa. No caso da UPS, ela é utilizada para comutar a alimentação da carga do modo rede para o modo bateria e vice-versa.

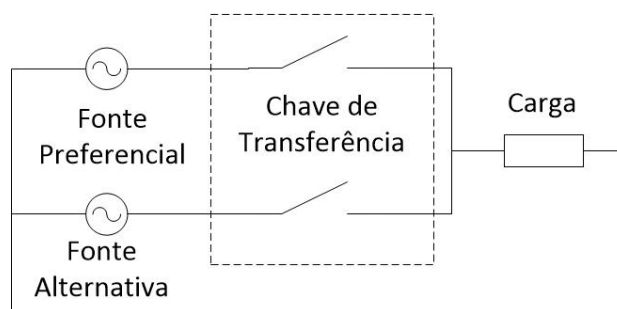


Figura 1 – Esquema elétrico simplificado da chave estática de transferência.

Fonte: Autor.

Em operação normal, a carga é alimentada pela rede elétrica, representada pela fonte preferencial da Figura 1. Na ocorrência de um distúrbio, a alimentação da carga é transferida para a fonte alternativa, o inversor. Após a sua extinção, a alimentação da carga retorna para a rede novamente.

É comum o uso de dispositivos semicondutores na chave de transferência, sendo assim denominada de Chave Estática de Transferência (STS do inglês, *Static Transfer Switch*). A STS tem sido empregada para substituir as chaves mecânicas/eletromecânicas, pelas diversas vantagens como: permite número elevado de manobras, opera sem formação de arco-voltaico (adequado para ambientes explosivos), possui rápido tempo de comutação, é mais robusta e opera de forma silenciosa.

O desempenho da STS é avaliado com base no tempo de transferência. Definições de tempo de detecção, transferência e o tempo total de transferência de carga de acordo com as normas IEEE (MOSCHAKIS; HATZIARGYRIOU, 2003) são as seguintes: o tempo de detecção, t_d , é a diferença de tempo entre o momento em que ocorre o distúrbio e quando o distúrbio é detectado. O tempo de transferência, t_f , é a diferença de tempo entre quando o distúrbio é detectado e o momento em que a carga é

transferida para outra fonte. E o tempo total de transferência de carga, tt , é a soma do tempo de detecção com o tempo de transferência.

A redução do tempo de transferência de uma fonte para a outra contribui para que a carga fique menos tempo sujeita às oscilações da fonte que está sofrendo o distúrbio. Portanto, um bom desempenho da STS garante que as UPSs forneçam energia com mais qualidade para a carga, o que é altamente desejável.

O acionamento da STS é realizado sempre que ocorrer um distúrbio em qualquer fonte que esteja alimentando a carga. O valor de pico do sinal da tensão da rede é constantemente monitorado e, sempre que este apresentar um valor acima ou abaixo do seu valor nominal, a STS é acionada.

São apresentados dois diferentes métodos de detecção de distúrbio do sinal de tensão da rede elétrica: o primeiro método é baseado no sistema de coordenadas dq e o segundo é realizado através de um algoritmo PLL (*Phase Locked Loop*), que realiza a detecção do ângulo de fase da onda fundamental de um sinal.

É muito comum na literatura (UGRAS, 2010), (DEUS, 2011), (MOSCHAKIS; HATZIARGYRIOU, 2003) e (JAVED; MAHMOOD; CHOUDHRY, 2015) a utilização de tiristores, principalmente o SCR (*Silicon Controlled Rectifier*) ou TRIAC (*Triode for Alternating Current*) na implementação da STS, como mostra a Figura 2, que ilustra uma topologia composta por SCRs, onde cada par corresponde a uma chave bidirecional em corrente.

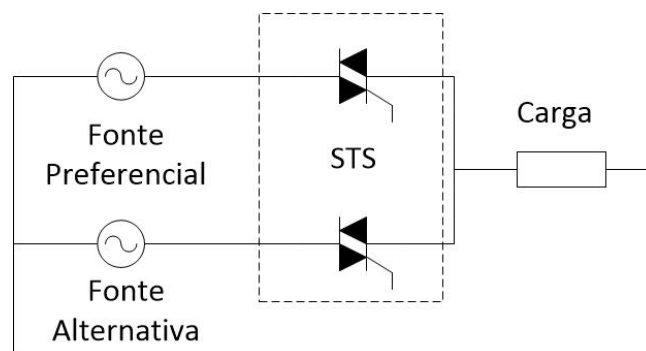


Figura 2 – Esquema elétrico simplificado da chave estática de transferência com topologia de tiristores.

Fonte: Autor.

Para este trabalho, o estudo concentrou-se inicialmente no emprego da topologia convencional de tiristores, evoluindo para o uso de uma topologia formada pela associação de IGBTs e diodos. É mostrado que a topologia de IGBTs apresenta uma redução significativa no tempo de transferência t_f (tempo decorrido entre a transferência da alimentação da fonte e a detecção do distúrbio) em relação a de tiristores.

Com a diminuição de t_f , consensequentemente há uma grande redução no tempo total de transferência de carga, permitindo que o equipamento fique menos sujeito às oscilações da fonte que está sofrendo o distúrbio.

O trabalho apresenta detalhes do *hardware* (topologias da STS) e dos algoritmos de controle utilizados para a detecção de distúrbio e mostra resultados experimentais e de simulação do sistema proposto.

2.3 Mercado atual para o projeto

A Tabela 1 apresenta alguns modelos de UPS de diferentes fabricantes que estão sendo comercializados atualmente da topologia *Standby*. A Tabela 1 mostra qual forma de onda de tensão de saída e o tempo de comutação das UPS dessa topologia, ou seja, a transferência de alimentação da carga do modo rede para o modo bateria.

Nota-se, primeiramente, que os equipamentos da topologia *Standby* não fornecem tensão senoidal de saída no modo bateria e muito menos apresentam controle da tensão. Como se sabe, muitos equipamentos eletrônicos não necessitam de uma tensão de alimentação senoidal pura, como é o caso do computador, monitor de vídeo e outros. Porém há equipamentos que exigem alta qualidade da energia fornecida e necessitam de alimentação de uma tensão senoidal pura controlada.

Em relação à comutação do modo rede para o modo bateria, alguns fabricantes simplesmente não divulgam o tempo de comutação e os que divulgam especificam que a transferência se dá em aproximadamente 10 ms, mas não informam especificamente quais são os distúrbios que causam a

comutação. Apenas informam que quando há a interrupção de energia da rede (queda de energia) o equipamento irá fazer a transferência para o modo bateria.

Com isso o equipamento pode estar sujeito a oscilações da rede que são imperceptíveis aos usuários, já que a frequência de tais variações desgastam lentamente os componentes eletrônicos destes produtos e com isso tem sua vida útil reduzida devido à má qualidade da energia.

Tabela 1 – Pesquisa de mercado para UPS tipo *Passive Standby*.

Empresa/Modelo	Topologia	Tensão de saída	Tempo de comutação
MULTILASER – 400 - 1500	<i>Standby</i>	Onda Quadrada	10 ms
Shenzhen Jingfuyuan Tech - XPE series off line - UPS XPE 400	<i>Standby</i>	Pseudo-senoidal	10 ms
APC Back-UPS 400VA, 600VA e 700VA	<i>Standby</i>	Pseudo-senoidal	Não divulgado
Delta UPS - Agilon – 600VA	<i>Standby</i>	Não divulgado	Não divulgado
Shenzhen Must Power Limited - EA1000-500	<i>Standby</i>	Pseudo-senoidal	8 ms
Minuteman® EnSpire™ Standby UPS Series - EN400	<i>Standby</i>	Pseudo-senoidal	8 ms
Foshan Shante Electronics - T450	<i>Standby</i>	Pseudo-senoidal	10 ms
Guangdong Cemdeo Technology Co - CDS-D1000	<i>Standby</i>	Pseudo-senoidal	10 ms

Fonte: Autor.

2.4 Conclusão

Neste capítulo foi feita uma análise de outros trabalhos da literatura na mesma área da pesquisa, bem como, apresentou-se a justificativa para o desenvolvimento deste trabalho.

O próximo capítulo discorre sobre o funcionamento do inversor monofásico em relação aos possíveis métodos de acionamento das chaves semicondutoras, além de trazer um modelo de projeto para o filtro LC de saída do inversor.

3– CAPÍTULO - ANÁLISE DO INVERSOR MONOFÁSICO TIPO FONTE DE TENSÃO

Esse capítulo apresenta o princípio de funcionamento do inversor monofásico tipo fonte de tensão, além de explicar a modulação senoidal bipolar e modulação senoidal unipolar aplicada no acionamento das chaves semicondutoras do inversor. Também é apresentado um modelo de projeto para o dimensionamento do filtro LC de saída do inversor.

3.1 Inversor monofásico tipo fonte de Tensão

O inversor monofásico do tipo fonte de tensão (VSI – *Voltage Source Inverter*), mostrado na Figura 3 é o conversor CC-CA responsável por realizar a conversão de energia de corrente contínua para corrente alternada. A tensão alternada produzida na saída do inversor, V_{oc} , é obtida a partir da comutação das chaves CH1, CH2, CH3 e CH4. Existem diferentes técnicas de acionamento das chaves semicondutoras, porém a mais indicada para obtenção de um sinal senoidal de tensão na carga é modulação por largura de pulso (PWM) (HOLMES *et al.*, 2009).

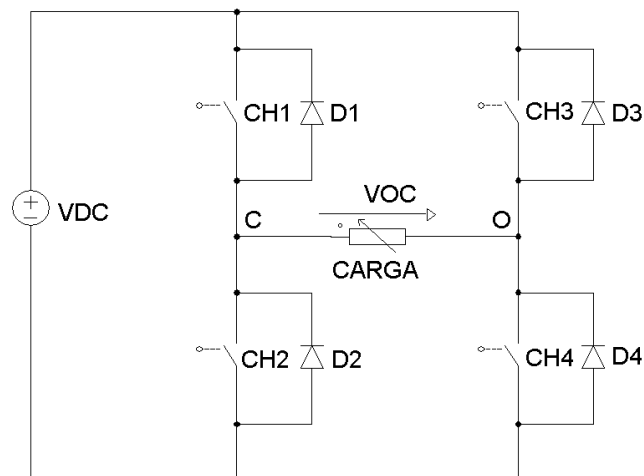


Figura 3. VSI monofásico.
Fonte: Autor.

Os níveis de tensão de saída do inversor podem ser fixos ou variáveis, assim como a sua frequência de operação e possui como requisitos básicos valor médio nulo e simetria na amplitude.

Por razão da tensão na saída do inversor ser uma forma de onda retangular, apresenta alto conteúdo harmônico. Para determinadas aplicações esse tipo de forma de onda pode ser aceitável. Contudo, em muitos casos desejam-se formas de onda senoidais com baixo conteúdo harmônico.

Felizmente, com o desenvolvimento atual dos dispositivos semicondutores de potência de alta velocidade, o conteúdo harmônico das formas de onda de saída dos inversores pode ser minimizado, e em muitos casos reduzido significativamente, utilizando técnicas específicas de modulação e filtragem (PACHECO, 2012).

Segundo (BARBI; MARTINS, 2009) as chaves estáticas semicondutoras mais utilizadas em circuitos inversores são: TBJs, MOSFETs e IGBTs. Todas essas chaves estáticas são controladas tanto na entrada em condução como no bloqueio. A Figura 4 mostra uma distribuição dos componentes semicondutores, indicando limites aproximados para valores de tensão de bloqueio e corrente de condução.

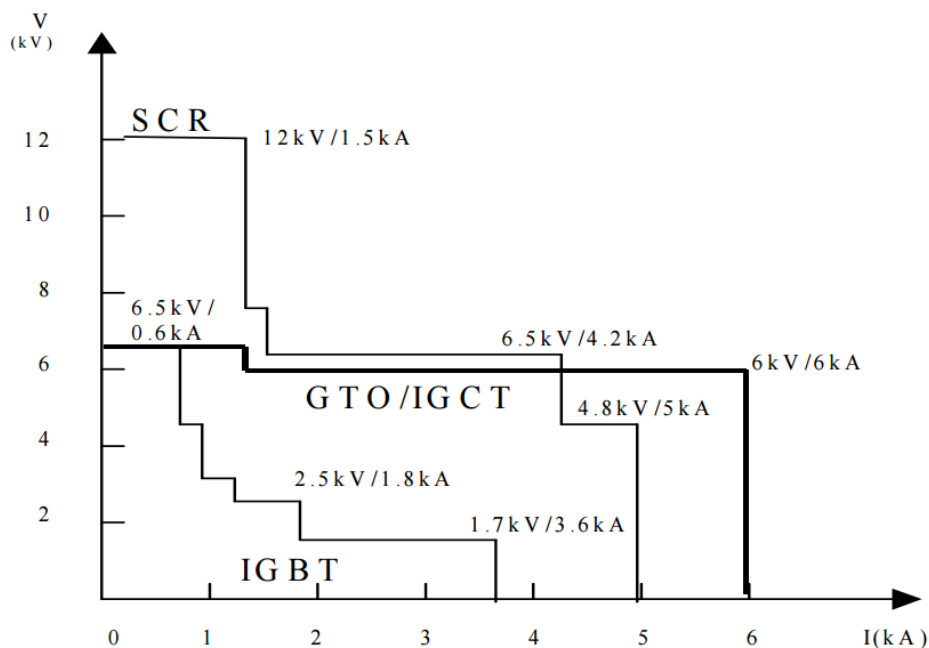


Figura 4 - Limites aproximados de tensão de bloqueio e corrente de condução dos semicondutores de potência.

Fonte: (WU, 2005).

A tensão contínua na entrada do inversor pode ser originada a partir da saída de um retificador alimentado pela rede elétrica CA ou também a partir de uma fonte independente, como por exemplo, um banco de baterias ou um

conjunto de painéis solares fotovoltaicos (TREVISO; DEMIAN JR; FERREIRA, 2009).

3.2 Modulação por largura de pulsos (PWM) senoidal

Existem várias técnicas de acionamento das chaves semicondutoras, porém a de maior sucesso, para o caso do inversor de tensão monofásico, é sem dúvida, a modulação por largura de pulso (PWM – *Pulse Width Modulation*) (HOLMES *et al.*, 2009). O princípio da modulação PWM senoidal está apresentado na Figura 5. Ele se baseia na comparação de uma onda de referência senoidal (onda moduladora) de baixa frequência ($f=1/T$) com uma onda triangular (onda portadora) de alta frequência ($f_p=1/TP$). A intersecção dessas formas de onda estabelece a duração dos sinais de comando das chaves estáticas controladas. Desse modo, a variação da amplitude da onda senoidal propicia a variação dos pulsos da tensão de carga, que seguem naturalmente uma lei senoidal. Em cada semi-período a largura dos pulsos é máxima na parte central; a partir do centro a largura dos pulsos decresce para ambos os lados segundo uma função senoidal, conforme representado na Figura 5 (PACHECO, 2012).

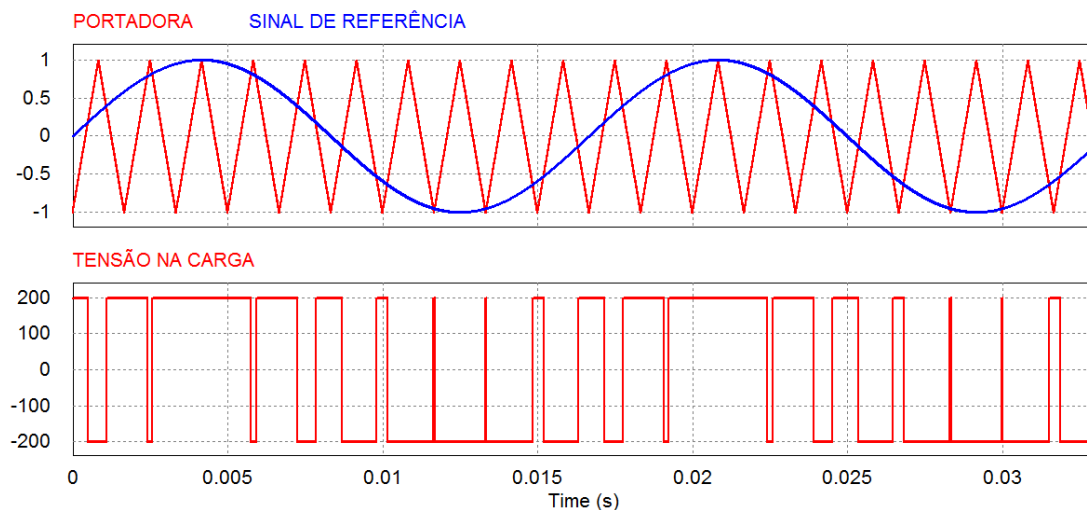


Figura 5 – Modulação Bipolar.
Fonte: Autor.

A frequência da onda moduladora senoidal define a frequência da componente fundamental da tensão de saída, enquanto que a frequência da

onda portadora triangular define a frequência de comutação das chaves. A tensão de saída, que é aplicada à carga, é formada por uma sucessão de ondas retangulares de amplitude igual à tensão de alimentação CC de entrada (VDC).

A relação entre a frequência do sinal da portadora f_p e a frequência do sinal de referencia senoidal f é dado por:

$$m_f = \frac{f_p}{f} \quad (1)$$

Assim, aumentando-se a frequência da onda portadora triangular aumenta-se m_f e, conseqüentemente a frequência de comutação das chaves. Isso permite deslocar as componentes harmônicas para frequências mais elevadas, facilitando a sua filtragem. Diante dessa colocação é de se esperar que, do ponto de vista teórico, não haja limites no aumento da frequência da onda triangular, de modo a se obter um número de pulsos elevados na tensão de saída antes da filtragem; contudo, nas estruturas reais esse número de pulsos está limitado pela máxima frequência de comutação das chaves semicondutoras. A desvantagem do aumento da frequência de chaveamento consiste no aumento das perdas por comutação do conversor, que devem ser avaliadas com muita prudência (PACHECO, 2012).

O índice de modulação m é a relação entre V_p e V_{ref} , como mostra a Figura 5, onde V_{ref} é a amplitude de tensão da senóide fundamental de referência e V_p é a amplitude de tensão da portadora triangular.

$$m = \frac{V_{ref}}{V_p} \quad (2)$$

Normalmente V_p é mantida constante e V_{ref} pode ser variável. Logo, o parâmetro m pode variar de zero a um. Se $m \leq 1$, a amplitude e o valor eficaz da componente fundamental da tensão de saída apresentam uma relação linear com o índice de modulação, isto é:

$$V_{oc1_{max}} = m \times VDC \quad (3)$$

$$V_{oc1ef} = \frac{V_{oc1_{max}}}{\sqrt{2}} \quad (4)$$

Portanto, a amplitude e, conseqüentemente, o valor eficaz da componente fundamental da tensão de saída são controlados através do parâmetro m . Essa característica é particularmente interessante no caso da fonte de alimentação CC de entrada não ser controlada, pois assim o parâmetro m pode ser ajustado de modo a compensar as variações na fonte de entrada VDC, produzindo uma tensão de saída com amplitude constante (PACHECO, 2012).

De tudo o que foi apresentado até o presente momento conclui-se que a modulação PWM senoidal tem como função principal atenuar as harmônicas de baixa ordem que são difíceis de serem filtradas, além de permitir a regulação da frequência e da tensão de carga.

Os dois principais tipos básicos de modulação PWM senoidal são: a modulação PWM senoidal bipolar e a modulação PWM senoidal unipolar. A seguir esses dois tipos são explicados.

3.2.1 Modulação bipolar ou dois níveis

A técnica de modulação bipolar consiste simplesmente em comandar o fechamento dos interruptores de um mesmo braço de forma complementar entre si e os interruptores de braços diferentes de forma cruzada.

Assim, tomando como referência a Figura 3, os interruptores são acionados aos pares, ou seja, CH1 e CH4 recebem um sinal de comando e os interruptores CH2 e CH3 recebem outro.

Pode-se observar através da Figura 6, que a tensão na carga só assume os valores tensão de +VDC ou -VDC onde ambos são assumidos tanto no semiciclo positivo como no semiciclo negativo da moduladora, daí o nome de bipolar dado a essa técnica de modulação. A tensão de carga é composta por uma componente fundamental, cuja frequência é a mesma da moduladora e outra componente com a frequência da portadora. A variação da largura do

pulso através da variação da amplitude do sinal de controle permite controlar o valor eficaz da tensão de saída.

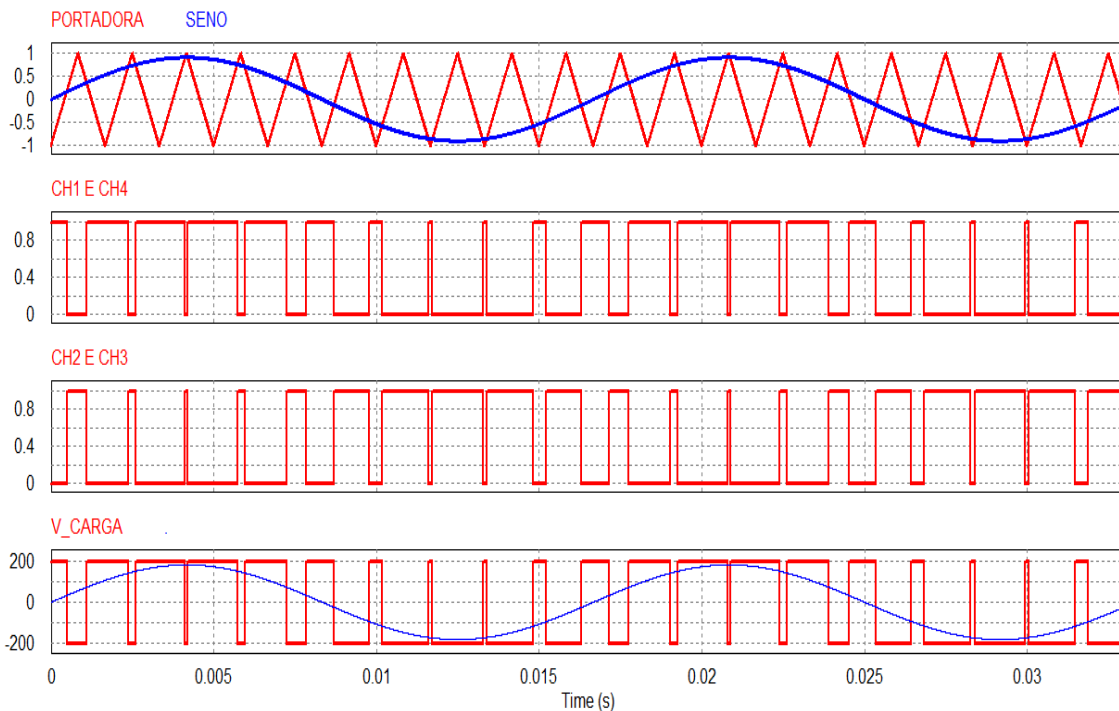


Figura 6 – Modulação Bipolar.
Fonte: Autor.

3.2.2 Modulação unipolar ou três níveis

Essa técnica é mais elaborada que a bipolar, já que dois sinais de comando dos interruptores têm que ser gerados. Existem duas formas de realizar essa técnica. A primeira forma é necessário obter dois sinais senoidais defasados 180° que serão comparados com uma portadora. A segunda é defasar a portadora em 180° e utilizá-la juntamente com a portadora não defasada comparando-as com apenas um sinal senoidal para a geração dos sinais de comando.

Cada braço do inversor é comandado através da comparação de um sinal senoidal com o triangular, portanto cada braço possui sinais de comando independente entre si. Em cada braço o acionamento das chaves é complementar.

As etapas de funcionamento do inversor monofásico são mostradas nas figuras que seguem, onde foram descritas considerando a carga com característica indutiva.

A Figura 7 mostra a 1ª Etapa onde as chaves CH1 e CH4 conduzem a corrente de carga. A tensão na carga é igual a +VDC. Durante esta etapa a fonte de alimentação VDC entrega energia à carga e CH2 e CH3 estão bloqueadas. A corrente de carga cresce exponencialmente.

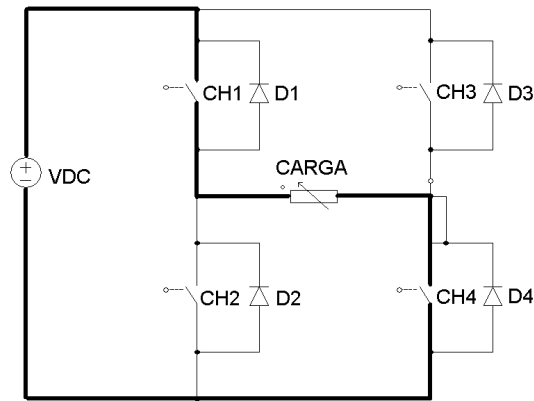


Figura 7 – 1ª Etapa de funcionamento do inversor monofásico.
Fonte: Autor.

Na 2ª Etapa, como ilustra a Figura 8, apenas CH1 e o diodo D3 conduzirão. Nesse caso a tensão na carga é nula e a corrente permanece no mesmo sentido da etapa anterior.

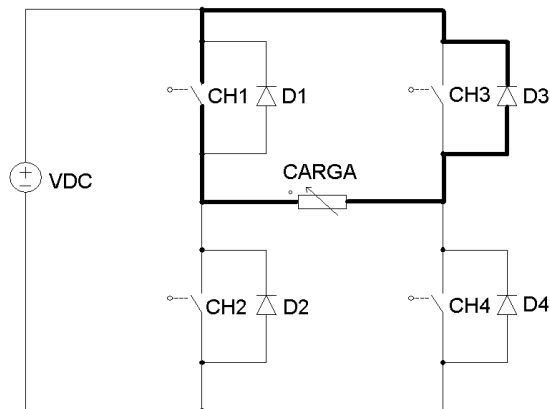


Figura 8 - 2ª Etapa de funcionamento do inversor monofásico.
Fonte: Autor.

Na 3ª etapa, como mostra a Figura 9, a corrente continua circulando pelo mesmo sentido das etapas anteriores, porém agora quem conduz são os diodos D2 e D3. Nesse momento a tensão sobre a carga é de -VDC.

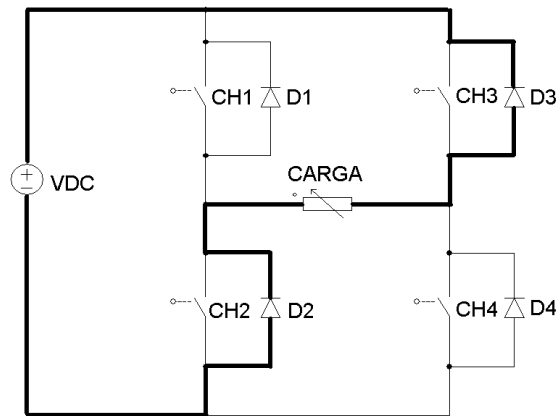


Figura 9 - 3ª Etapa de funcionamento do inversor monofásico.
Fonte: Autor.

Na 4ª Etapa, como ilustra a Figura 10, apenas CH4 e o diodo D2 conduzirão. Nesse caso a tensão na carga é nula e a corrente permanece no mesmo sentido da etapa anterior.

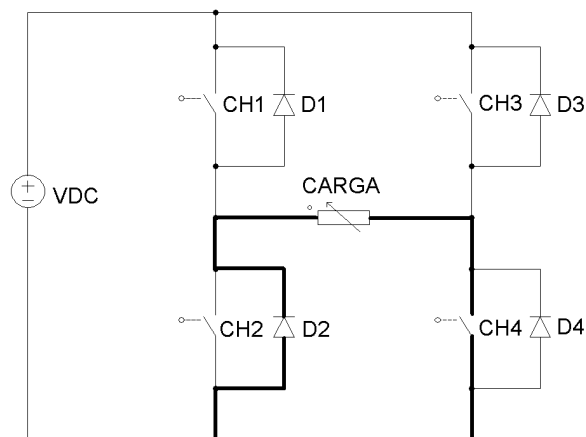


Figura 10 - 4ª Etapa de funcionamento do inversor monofásico.
Fonte: Autor.

A Figura 11 mostra a 5ª etapa onde as chaves CH2 e CH3 conduzem a corrente de carga. A tensão na carga é igual a $-V_{DC}$. Durante esta etapa a fonte de alimentação VDC entrega energia à carga e CH1 e CH4 estão bloqueadas. A corrente de carga cresce exponencialmente em sentido contrário ao da 1ª etapa.

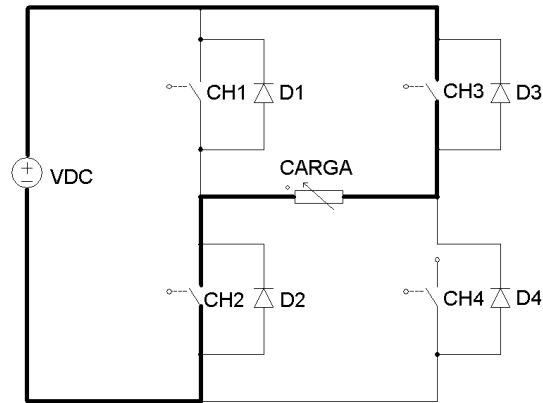


Figura 11 - 5ª Etapa de funcionamento do inversor monofásico.

Fonte: Autor.

Na 6ª Etapa, como ilustra a Figura 12, apenas CH3 e o diodo D1 conduzirão. Nesse caso a tensão na carga é nula e a corrente permanece no mesmo sentido da etapa anterior.

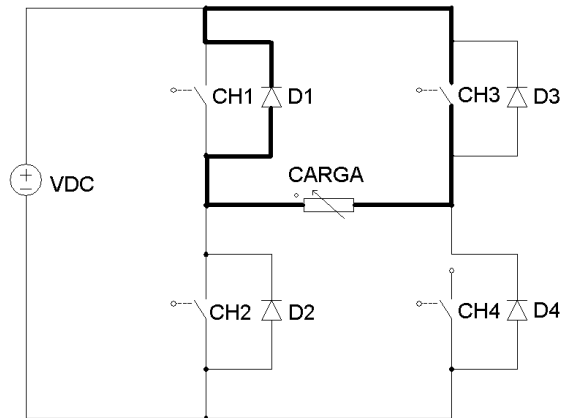


Figura 12 - 6ª Etapa de funcionamento do inversor monofásico.

Fonte: Autor.

Na 7ª etapa, como mostra a Figura 13, a corrente continua circulando pelo mesmo sentido da 5ª e 6ª etapas, porém agora que conduz são os diodos D1 e D4. Nesse momento a tensão sobre a carga é de +VDC.

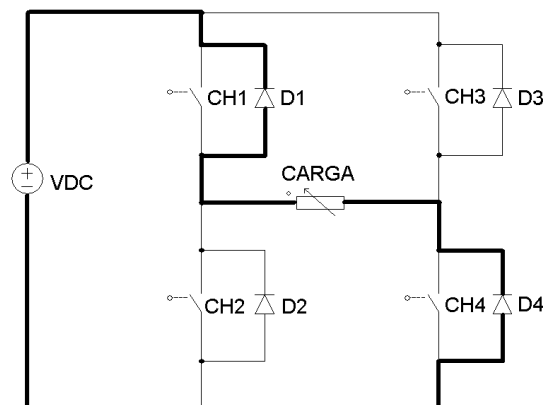


Figura 13 - 7ª Etapa de funcionamento do inversor monofásico.

Fonte: Autor.

Na 8ª Etapa, como ilustra a Figura 14, apenas CH2 e o diodo D4 conduzirão. Nesse caso a tensão na carga é nula e a corrente permanece no mesmo sentido da etapa anterior.

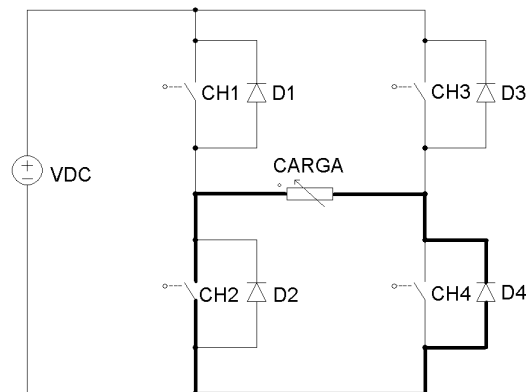


Figura 14 - 8ª Etapa de funcionamento do inversor monofásico.
Fonte: Autor.

A técnica de modulação unipolar consiste enviar sinais de disparo sempre em dois interruptores (nem sempre os interruptores que receberem sinais de disparo conduzirão), porém não necessariamente de forma cruzada como na modulação bipolar (SILVA, 2007).

Através da Figura 15, é possível observar que, ao contrário da modulação bipolar, na modulação unipolar a tensão na carga pode assumir três níveis de tensão: $+VDC$, $-VDC$ e 0. Durante o semiciclo positivo da senoide de referência, a tensão na carga assume os valores de $+VDC$ ou 0 V e durante o semiciclo negativo assume valores de $-VDC$ ou 0V.

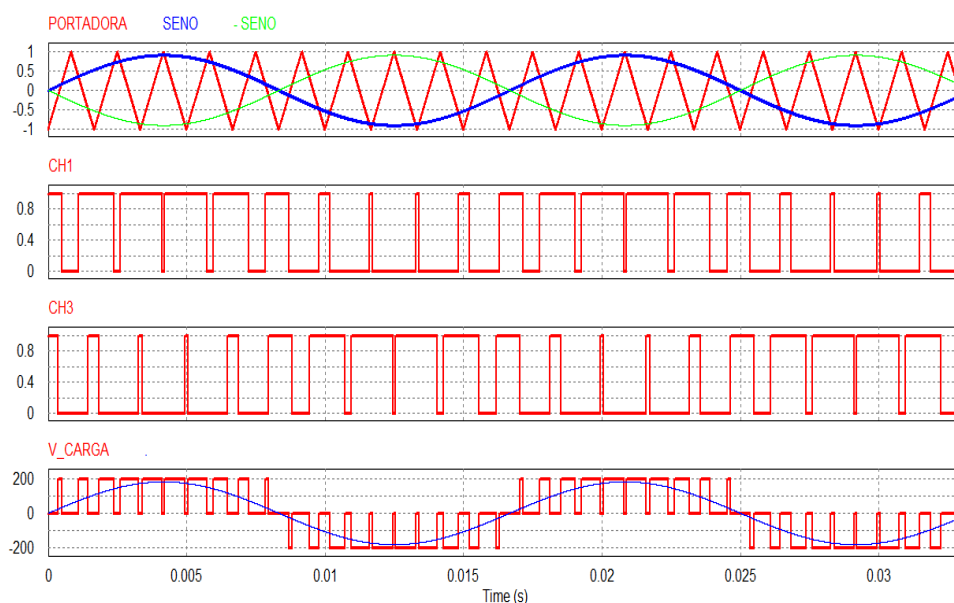


Figura 15 – Modulação unipolar.
Fonte: Autor.

Em ambos os tipos de modulação, a tensão na carga resultante é composta por uma componente fundamental cuja forma de onda é a mesma do sinal de referência. Porém uma modulação difere da outra em relação à amplitude e frequência das outras componentes harmônicas.

A Figura 16 mostra o espectro de frequência da tensão de saída para a modulação bipolar onde apresenta a componente fundamental (60 Hz) e as demais componentes estão centradas em torno da frequência da portadora ($f_p = 600$ Hz) e seus múltiplos. Na Figura 17, na modulação unipolar o espectro da tensão de saída também apresenta a componente fundamental, mas as demais componentes estão centradas com o dobro da frequência da portadora. Essa é uma característica importante dessa modulação, pois permite a redução do filtro de saída quando comparado a modulação bipolar.

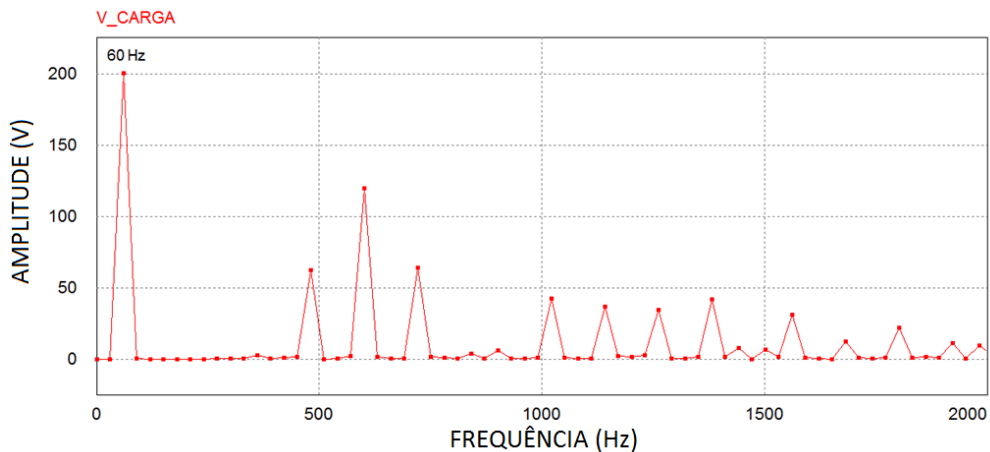


Figura 16 – Espectro da tensão de saída para a modulação bipolar.
Fonte: Autor.

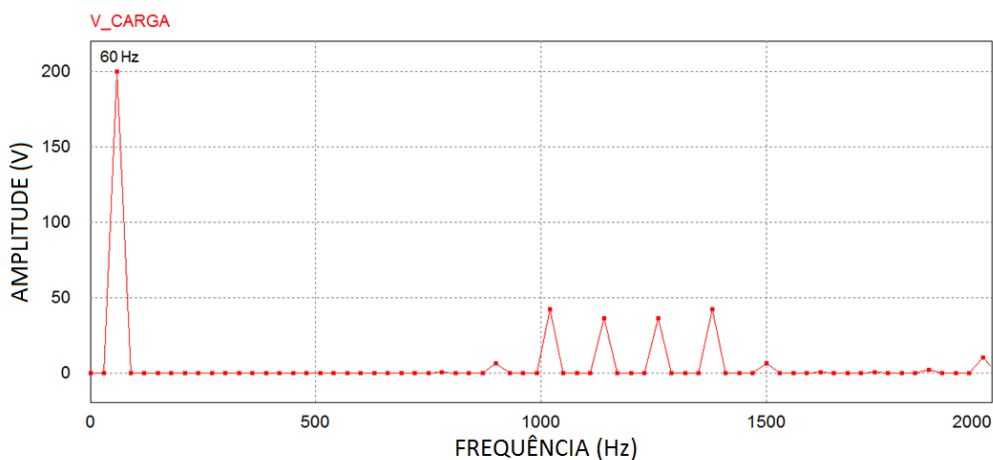


Figura 17 – Espectro da tensão de saída para a modulação unipolar.
Fonte: Autor.

3.3 Principais formas de onda do inversor na modulação unipolar

Nessa seção são apresentadas as principais formas de onda do inversor com a modulação unipolar.

A Figura 18 mostra a tensão de saída V_{oc} antes e depois do filtro LC, onde é possível observar a modulação unipolar, a tensão modulada e a tensão filtrada.

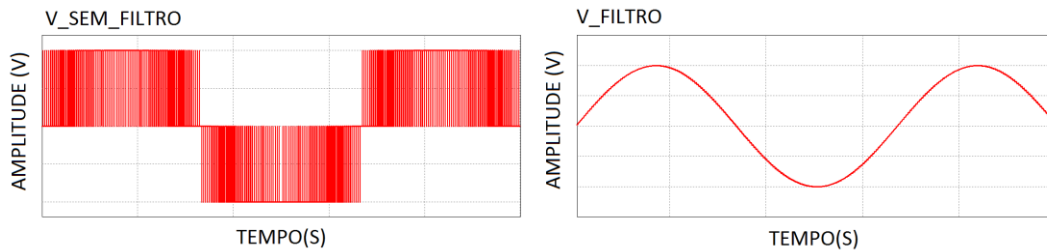


Figura 18 - Tensão de saída antes e depois do filtro LC.

Fonte: Autor.

A Figura 19 mostra o sinal da corrente no indutor para a frequência da tensão de saída e no detalhe para a frequência de comutação.

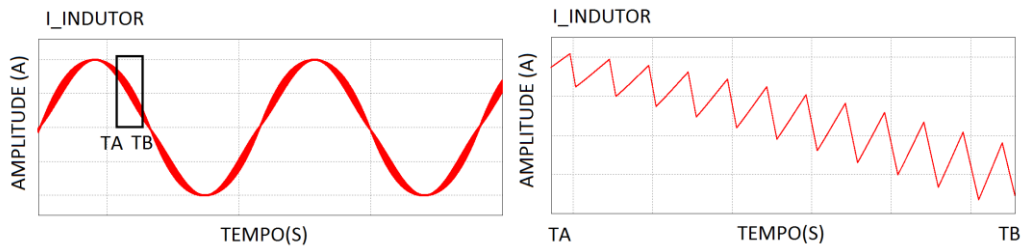


Figura 19 - Corrente no indutor.

Fonte: Autor.

Na Figura 20 observa-se a corrente no capacitor, onde se percebe que a corrente que circula pelo mesmo é a ondulação de corrente no indutor.

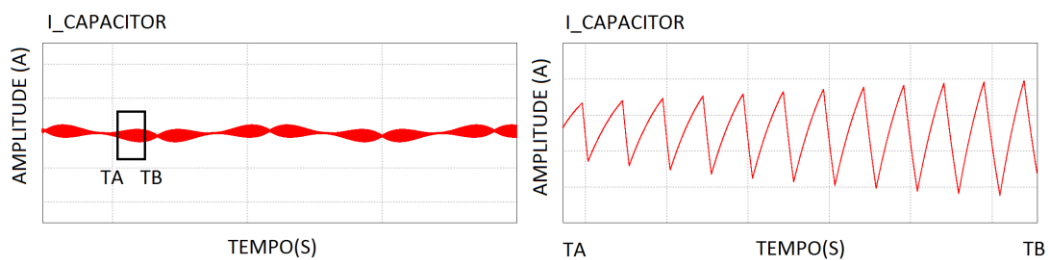


Figura 20 - Corrente no capacitor.

Fonte: Autor.

Com a Figura 21 é possível notar que cada interruptor do braço do inversor só contribui para um semiciclo da tensão de saída.

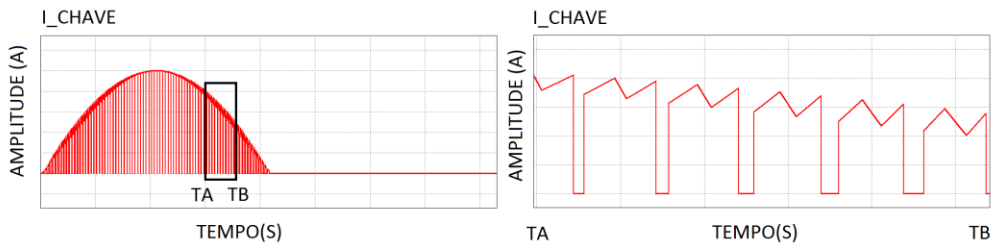


Figura 21 - Corrente na chave.

Fonte: Autor.

A Figura 22 mostra a corrente através do diodo D1 da Figura 3, assim como os outros diodos, ele só participa em um semiciclo da tensão de saída.

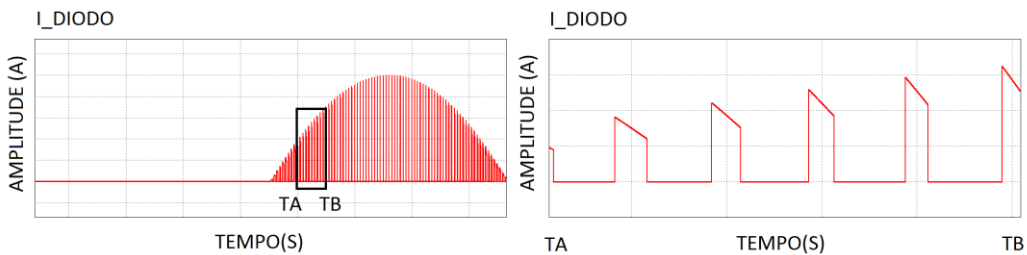


Figura 22 – Corrente no diodo.

Fonte: Autor.

3.4 Dimensionamento do filtro de saída do inversor

Como o espectro do sinal de saída do inversor é composto pela frequência do sinal de referência e os múltiplos da frequência da portadora triangular do sinal PWM é necessário um filtro passa-baixas na saída do inversor com a finalidade da carga ser alimentada por uma tensão senoidal sem distorções (MARTINZ, 2007). Utilizando um filtro LC de segunda ordem e desprezando as resistências série do indutor L e do capacitor C, a frequência de corte do filtro sem amortecimento é igual a frequência de ressonância, dada por:

$$\omega_f = \sqrt{\frac{1}{LC}} \quad (5)$$

Idealmente, o filtro projetado garante ganho unitário na banda de passagem e defasagem nula na frequência fundamental. A escolha da frequência de corte mantém um compromisso entre a maior frequência do sinal de referência a ser sintetizado e a frequência de operação do inversor.

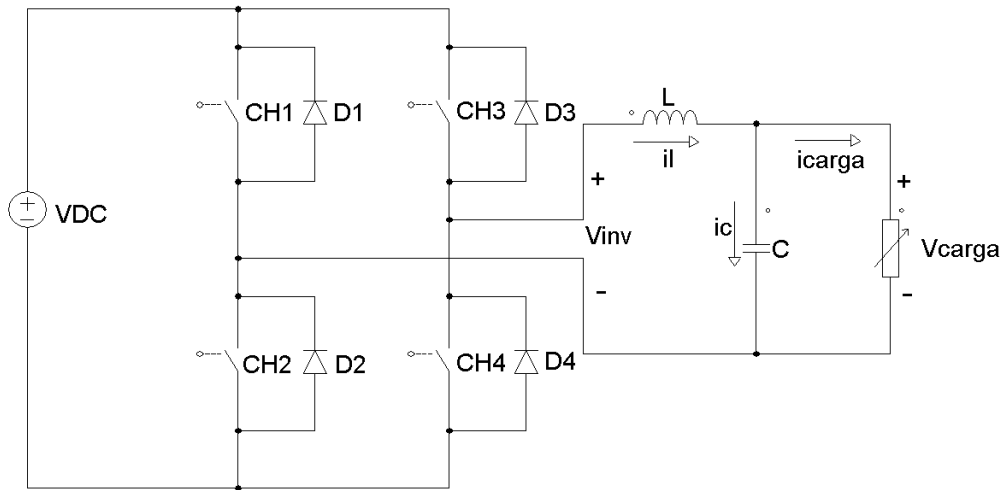


Figura 23 – Inversor Monofásico com filtro LC.

Fonte: Autor.

Sendo V_l a tensão no indutor, pela Figura 23 é possível afirmar que:

$$V_{inv}(t) = V_l(t) + V_{cap}(t) \quad (6)$$

Admitindo-se a tensão nominal na carga como V_{carga_nom} , a queda de tensão máxima no indutor como V_{lmax} e kl como a máxima queda de tensão admitida no indutor em relação a tensão nominal de carga tem-se:

$$V_{lmax} = kl \cdot V_{carga_nom} \quad (7)$$

Dividindo ambos os termos da Equação 7 pela corrente nominal de carga I_{carga_nom} resulta em:

$$Z_{lmax} = kl \cdot Z_{carga_nom} \quad (8)$$

Onde Z_{lmax} é a máxima impedância do indutor de filtro e Z_{carga_nom} é a impedância nominal da carga na frequência fundamental. Da Equação 8 a indutância do filtro na frequência fundamental ω_0 é igual a:

$$L = \frac{kl \cdot Z_{carga_nom}}{\omega_0} \quad (9)$$

Através da Figura 23 é possível afirmar que:

$$I_{capmax} = kc \cdot I_{carga_nom} \quad (10)$$

Onde I_{capmax} é a corrente máxima admitida no capacitor e kc é a máxima corrente do capacitor admitida em relação à corrente de carga. Dividindo ambos os termos da Equação 10 pela tensão de saída do inversor, tem-se:

$$Z_{capmin} = \frac{1}{kc} \cdot Z_{carga_nom} \quad (11)$$

Onde Z_{capmin} é a mínima impedância do capacitor de filtro. Da Equação 11, a capacitância do filtro na frequência fundamental ω_0 é igual a:

$$C = \frac{kc}{Z_{carga_nom} \cdot \omega_0} \quad (12)$$

Substituindo-se as Equações 9 e 12 na Equação 5:

$$\omega_f = \frac{1}{\sqrt{\frac{kl \cdot Z_{carga_nom}}{\omega_0} \cdot \frac{kc}{Z_{carga_nom} \cdot \omega_0}}} \quad (13)$$

$$\frac{\omega_f}{\omega_0} = \frac{1}{\sqrt{kl \cdot kc}} \quad (14)$$

Valores elevados de kl implicam em aumento na tensão nominal do inversor, requerendo operação com maior valor de tensão VDC e chaves com maior suportabilidade de tensão de bloqueio. Valores elevados de kc implicam em maiores correntes no inversor, exigindo chaves e indutores com maior capacidade de corrente. Resumindo, a utilização de elevados valores de kl e kc requerem um inversor com maior potência aparente e maior custo.

De acordo com (MARTINZ, 2007), valores típicos de kc e kl situam-se na faixa de até 0,2. Adotando-se $kl = 0,05$, $kc = 0,15$ e $\omega_0 \cong 377$ rad/s ($f=60$ Hz), a frequência de corte do filtro será aproximadamente 660 Hz. Para a escolha dos parâmetros do filtro, o valor da indutância deve ser menor que o valor encontrado na Equação 9 e a capacitância de filtro foi calculada com base na Equação 5, desde que a condição imposta pela Equação 12 seja respeitada.

Logo foram adotados os valores de 5 mH para o indutor e 11 uF para o capacitor.

3.5 Conclusão

Esse capítulo apresentou o princípio de funcionamento do inversor monofásico tipo fonte de tensão, o qual é responsável por realizar a conversão de energia de corrente contínua para corrente alternada.

Foram explicadas duas técnicas de acionamento PWM das chaves semicondutoras do inversor: a modulação senoidal bipolar e a senoidal unipolar. A modulação unipolar permite a redução do tamanho do filtro de saída em relação a modulação bipolar, porém é mais complexa para ser implementada.

Esse capítulo também apresentou um modelo de projeto para o dimensionamento do filtro LC de saída do inversor, considerando como parâmetros os coeficientes k_c e k_l , que representam, respectivamente, a máxima corrente admitida no capacitor e a máxima queda de tensão admitida no indutor.

No próximo capítulo é apresentado a estrutura física do trabalho, detalhando todos os circuitos utilizados para o desenvolvimento do mesmo.

4 - CAPÍTULO - HARDWARE: DESCRIÇÃO DOS CIRCUITOS UTILIZADOS

Este capítulo apresenta e detalha a estrutura física do trabalho, que é composta pelo Controlador Digital de Sinais TMS320F28335 da *Texas Instruments*; inversor monofásico tipo fonte de tensão; circuitos de condicionamento dos sinais da corrente e tensão; duas topologias para a chave estática de transferência, uma composta por tiristores e outra por IGBTs; *buffer*; circuito de alimentação e conversor D/A, além de mostrar o esquema elétrico geral do trabalho.

4.1 Controlador digital de sinais TMS320F28335

O DSC (*Digital Signal Controller*) TMS320F28335 de 32 bits é membro da família C2000 da *Texas Instruments*, usa a aritmética de ponto flutuante, possui *clock* de 150 MHz, o núcleo trabalha com uma tensão de 1,9 V / 1,8 V, os dispositivos de entrada e de saída funcionam a 3,3 V. Ele possui uma resposta rápida para interromper o processamento, a programação pode ser em C ou C ++, tem 16-32 bits para interfaces externas, a memória *flash* é de 256Kx16, a memória Saram 34Kx16 e a ROM 8Kx16.

O sistema de controle digital desse trabalho é implementado inteiramente utilizando esse processador, o qual alia o poder de processamento dos DSC's com periféricos, tais como conversores analógico/digital e geração de PWM (*Pulse Width Modulation*). O TMS320F28335 contém dois gerenciadores de eventos, acesso a 1 M-byte de memória externa, módulo ADC (*Analogic Digital Converter*) de 12 bits com 16 canais e mais de oito formas de gerar sinais PWM. As funções requeridas pelo processo de controle, tais como leitura de variáveis, geração dos sinais PWM, utilização de periféricos como as portas de entrada e saída de propósito geral GPIO (*General Purpose Input Output*), canais de comunicação série e paralelo, entre outros, são acessadas através do Kit de desenvolvimento para o DSC TMS320F28335, veja a Figura 24.

TMS320F28335 é um DSC especializado em aplicações de controle, tais como de robótica, automação industrial, dispositivos de armazenamento em massa, redes ópticas, fontes de alimentação e outras aplicações de controle que necessitam de um único processador de alto desempenho.

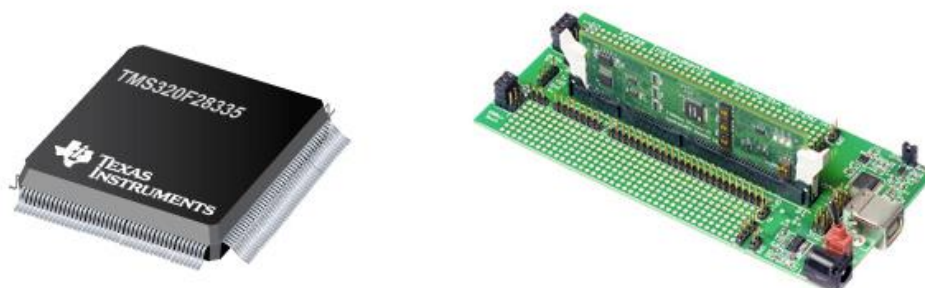


Figura 24 - DSC TMS320F28335 e o Kit de desenvolvimento.
Fonte: Texas Instruments.

4.2 Inversor monofásico

Com a finalidade de determinar os esforços de corrente e tensão que os interruptores e os diodos em antiparalelo do inversor estarão sujeitos é necessário ter conhecimento sobre qual potência máxima que o sistema poderá trabalhar. Por razão dos sensores de corrente de efeito Hall ACS712 (ver seção 4.4 deste capítulo) suportarem até 5 A, a potência máxima de saída é:

$$S_{saidamax} = V_{rms} \cdot I_{rms} = 127 \cdot \frac{5}{\sqrt{2}} \cong 450 \text{ VA} \quad (15)$$

A Tabela 2 mostra os parâmetros de projeto do inversor monofásico.

Tabela 2 - Parâmetros do inversor.

Parâmetros do Inversor	
Parâmetros	Valores
Potência máxima de saída	450 VA
Tensão de saída	180 V pico
Tensão barramento CC de entrada	240 V
Corrente máxima de pico de saída	5 A
Corrente eficaz máxima de saída	3,54 A
Frequência de comutação das chaves	15 kHz

A escolha dos componentes deve satisfazer os esforços máximos que podem ser determinados pelo equacionamento apresentado em (CARRAH, 2010).

4.2.1 Interruptores:

A tensão máxima sobre os interruptores é a própria tensão do barramento CC:

$$V_{s_{max}} = V_{cc} = 240 V \quad (16)$$

Para calcular a corrente máxima que os interruptores do inversor deverão suportar é necessário conhecer o índice de modulação (equação (2)), que é dado pela relação entre a tensão de pico da moduladora senoidal e a tensão de pico da portadora. O pior caso para o dimensionamento dos interruptores é considerar $m = 1$ (CARRAH, 2010).

Logo, a corrente média é:

$$I_{s_{med}} = I_{o_{pico}} \left(\frac{1}{2\pi} + \frac{m}{8} \right) = 1,4208 A \quad (17)$$

A corrente eficaz é:

$$I_{s_{rms}} = \frac{I_{o_{pico}}}{24} \sqrt{3 \cdot \left(9m^2 + \frac{64}{\pi} m + 12 \right)} = 2,32 A \quad (18)$$

A corrente de pico é:

$$I_{s_{pico}} = I_{o_{pico}} + \frac{1 V_{cc}}{4 L \cdot f} = 5,8 A \quad (19)$$

Onde $V_{cc} = 240 V$; L é o valor da indutância do filtro de saída inversor ($L = 0,005 H$), que foi projetado na seção 3.4 desse trabalho e f é a frequência de comutação das chaves do inversor, cujo valor adotado é de $f = 15 kHz$.

4.2.2 Diodos em antiparalelo aos interruptores

A tensão máxima sobre os diodos é a tensão do barramento CC:

$$Vd_{max} = V_{cc} = 240 V \quad (20)$$

Para calcular a corrente máxima que os diodos deverão suportar, também é necessário conhecer o índice de modulação m . Porém, o pior caso para o dimensionamento dos diodos é considerar $m = 0$ (CARRAH, 2010).

Logo, a corrente média é:

$$Id_{med} = I_{o_{pico}} \left(\frac{1}{2\pi} - \frac{m}{8} \right) = 0,795 A \quad (21)$$

A corrente eficaz é:

$$Id_{rms} = \frac{I_{o_{pico}}}{24} \sqrt{3 \cdot \left(9m^2 - \frac{64}{\pi} m + 12 \right)} = 1,25 A \quad (22)$$

A corrente de pico no diodo é mesma que circula pelos interruptores do inversor:

$$Id_{pico} = I_{o_{pico}} + \frac{1}{4} \frac{V_{cc}}{L \cdot f_s} = 5,8 A \quad (23)$$

Portanto, foi escolhido o módulo integrado de potência IRAMS10UP60A da *International Rectifier* que suporta uma corrente eficaz máxima de 10 A. Esse módulo é composto por 6 IGBTs e circuitos de acionamento dos mesmos (*drivers*), como mostra Figura 25 extraída de seu *datasheet*. Os IGBTs suportam as seguintes especificações mostradas na Tabela 3.

Tabela 3 – Especificações do módulo IRAMS10UP60A.

Parâmetros	Descrição	Valor máximo	Unidade
V_{ces}	Máxima tensão reversa de bloqueio	600	V
$I_o - T_c - 25^\circ C$	Corrente eficaz	10	A
I_{pk}	Máxima corrente de pico ($t_p < 100ms$)	15	A
F_p	Máxima frequência de comutação	20	kHz

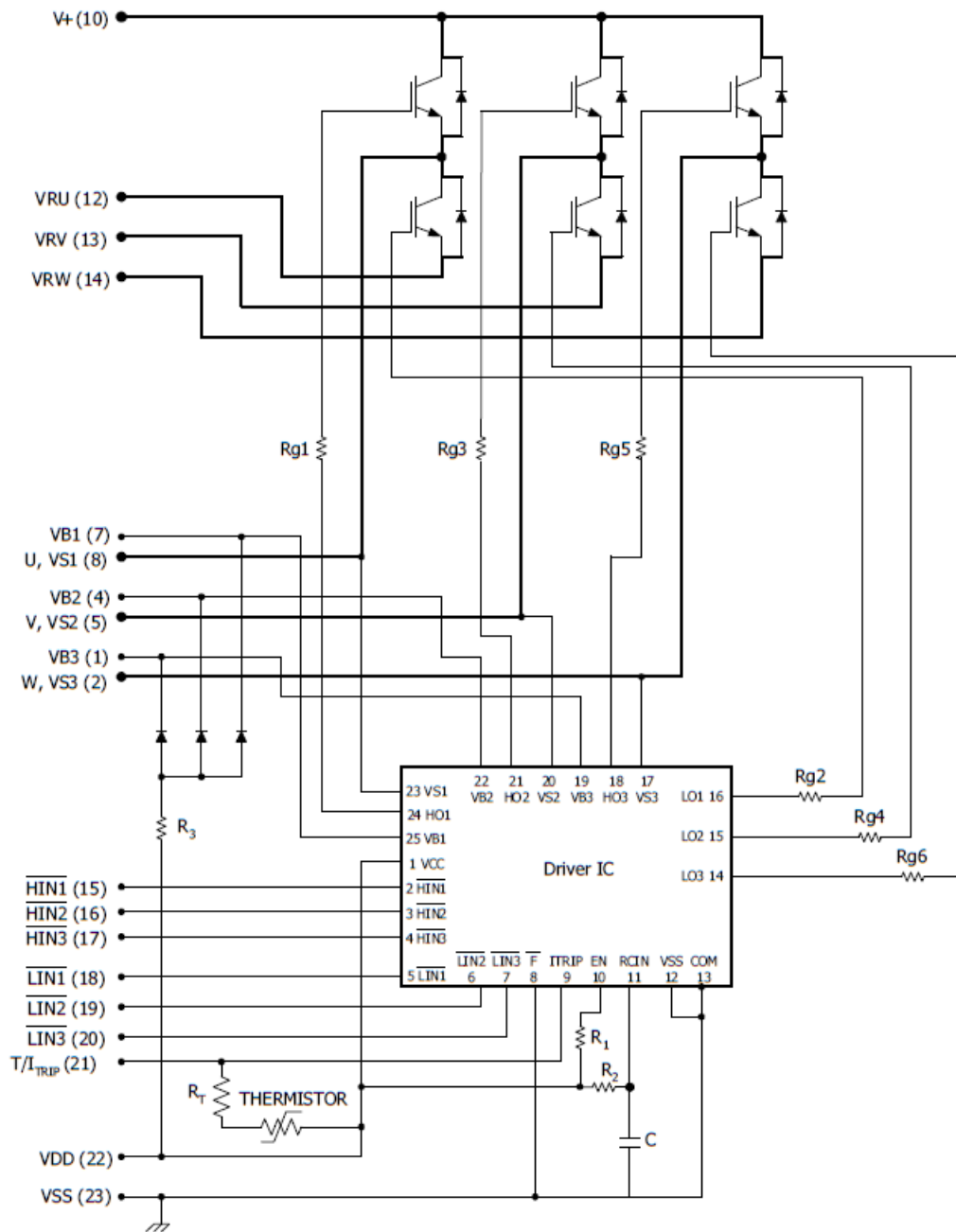


Figura 25 - IRAMS10UP60A.
 Fonte: Datasheet IRAMS10UP60A.



Figura 26- Módulo IRAMS10UP60A.
 Fonte: Autor.

4.2.3 Descrição do circuito de potência

Os resistores R17, R18 e R19, da Figura 27, são conectados em série com o emissor dos transistores inferiores de cada braço do inversor, e atuam como resistores shunt, possibilitando a medição do sinal de corrente. Foram especificados em 0,1 Ohm, 5 Watts, o que permite medir correntes de até aproximadamente 10 A de pico. A tensão sobre estes resistores será utilizada pelo circuito de proteção.

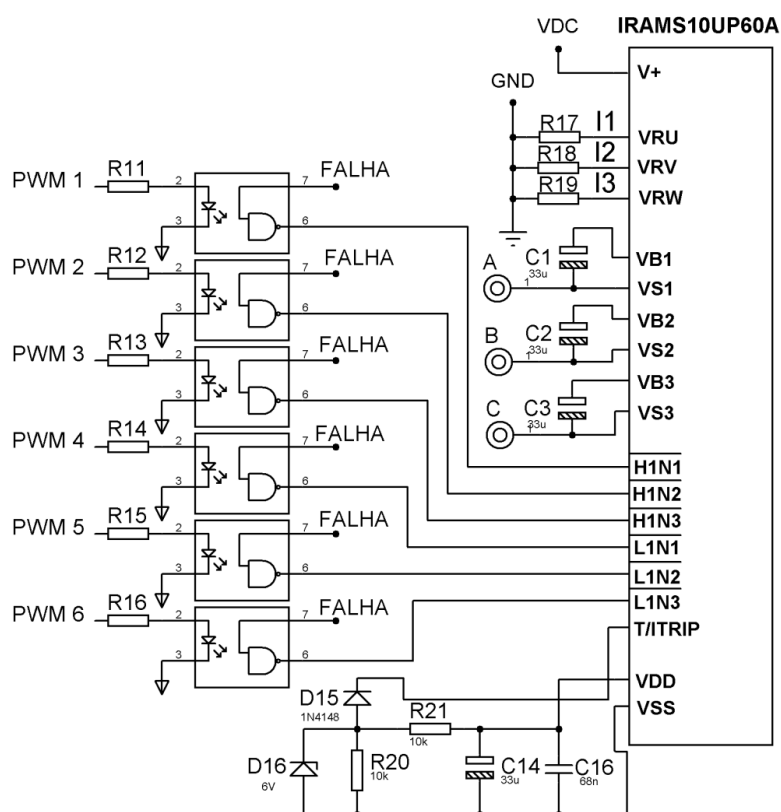


Figura 27 - Circuito de potência do inversor monofásico.

Fonte: Autor.

Os sinais de comando das chaves são isolados eletricamente por uma questão de segurança e proteção do circuito de controle. A isolação é obtida através da utilização de opto-acopladores.

4.2.4 Descrição do circuito de proteção

O circuito de proteção engloba duas proteções do módulo IRAM: de sobrecorrente e de energização.

A proteção de sobrecorrente tem a função de proteger o circuito (principalmente as chaves - IGBTs, mas também as trilhas e conectores) contra altos valores de corrente, como no caso de um curto-circuito.

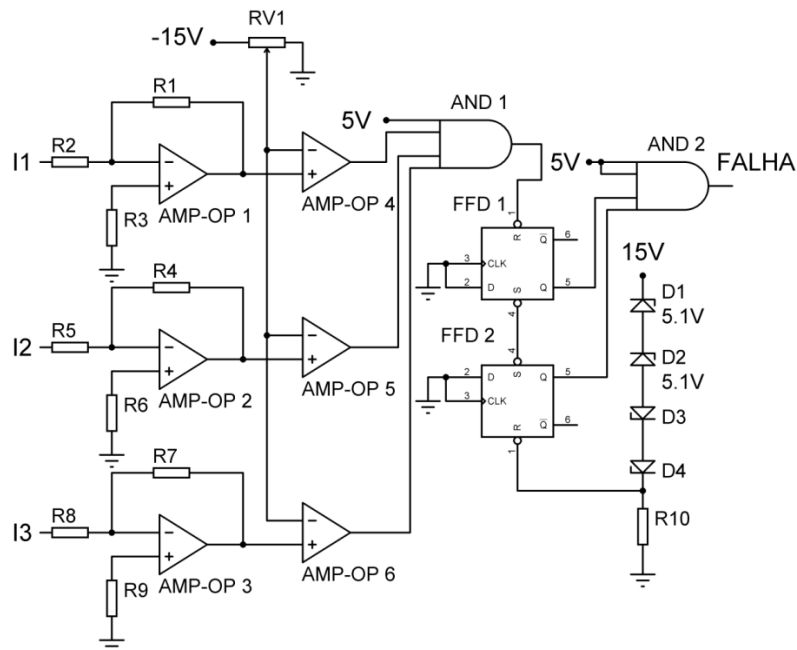


Figura 28 – Circuito de Proteção do inversor.
Fonte: Autor.

O seu princípio de funcionamento se baseia na comparação dos valores de tensão nos resistores *shunt* com um valor de referência. Quando o valor da tensão em qualquer um dos resistores *shunt* exceder o valor de referência, o sinal de saída do comparador mudará de estado e será acionado o sinal de “FALHA”, ativando o circuito de proteção que permanecerá nesta situação até que o usuário faça o *reset*. Como pode ser visto na Figura 27, cada optoacoplador possui um sinal de habilitação. Na ocorrência de uma falha, todos os opto-acopladores ficam inativos e as chaves são bloqueadas.

Como a proteção de sobrecorrente é feita por *hardware* e com componentes rápidos, ela age de forma automática. O ajuste da amplitude do valor da tensão de comparação que representa o valor de corrente máxima sobre as chaves é realizado por meio de um trimpot de múltiplas voltas (RV1). Uma vez ultrapassado o limite de corrente, em qualquer um dos braços do inversor, a proteção atuará.

Quando a placa do IIRAM é energizada há a ativação de um sinal de falha que inibe o acionamento das chaves IGBTs. Isso evita que alguma chave

seja acionada, protegendo o módulo IRAM. É necessário um *reset* manual na placa para que os IGBTs possam ser acionados. Dessa forma, cada vez que a placa do IRAM é ligada pela primeira vez, um *reset* manual deve ser realizado. Isso é utilizado como medida de segurança para evitar curto de braço no inversor durante a alimentação da placa quando a mesma encontra-se desligada.

4.2.5 Fonte de alimentação auxiliar

A placa do inversor também possui uma fonte de alimentação auxiliar para os circuitos integrados, composta de um transformador, diodos, capacitores e reguladores de tensão, como mostra a Figura 29.

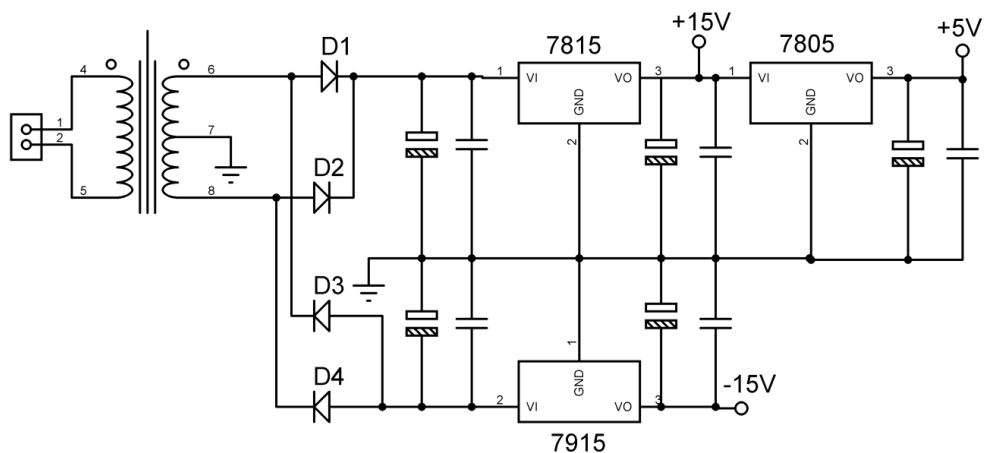


Figura 29 – Fonte de Alimentação.
Fonte: Autor.

4.3 Circuito de condicionamento do sinal da tensão

O sinal da tensão de saída do inversor para ser adquirido pelo conversor A/D do processador necessita de um circuito de condicionamento. A topologia utilizada é de um amplificador de instrumentação. Esta configuração é mais adequada para obter a medição da tensão diferencial. O esquema elétrico da topologia é mostrado na Figura 30, onde a amplitude do sinal de saída é dada por:

$$VO = \left(1 + \frac{2R}{RG}\right) \cdot (V1 - V2) + VREF \quad (24)$$

Pelo fato do sinal assumir valores positivos e negativos de tensão é necessário que o circuito de condicionamento possua um valor de *offset*, pois o valor lido pelo conversor A/D do processador é de 0 a 3 V.

Sabendo-se que a amplitude máxima (pico) da tensão medida é de 180 V e adotando-se uma margem de 10% de segurança no caso de *overshoot*, tem-se a relação que 198 V deve corresponder a 3 V na saída do circuito de condicionamento, sendo que este valor de tensão possui um valor de offset de 1,5 V.

As amplitudes do sinal de tensão na entrada do circuito de condicionamento irão variar de +198 V a -198 V, sendo os valores de tensão de saída de 0 a 3 V. Logo, o circuito gera uma atenuação de 132 vezes o sinal de entrada, portanto é possível afirmar que o ganho, G_{tv} , é de aproximadamente $7,575 \cdot 10^{-3}$ V/V.

A atenuação do sinal de tensão de saída do inversor é feita por um divisor de tensão composto pelos resistores R1(1 M Ω), R2(1 M Ω) e R3(10 k Ω) na entrada VB e pelos resistores R4(1 M Ω), R5(1 M Ω) e R6(10 k Ω) na entrada VA, como mostra a Figura 30.

Como o valor máximo de pico estipulado é de 198 V, portanto a tensão máxima diferencial de entrada do amplificador de instrumentação é de:

$$V_{1_{max}} - V_{2_{max}} = \frac{198}{2,01 \cdot 10^6} 10 \cdot 10^3 = 0,985 \text{ V} \quad (25)$$

Considerando R = 10 k Ω ; VREF = 1,5 V e VO_max = 3 V é possível determinar o valor de RG através da Equação 26:

$$3 = \left(1 + \frac{2 \cdot 10 \cdot 10^3}{RG} \right) \cdot (0,985) + 1,5 \quad (26)$$

Obtendo-se:

$$RG \cong 38,25 \text{ k}\Omega \quad (27)$$

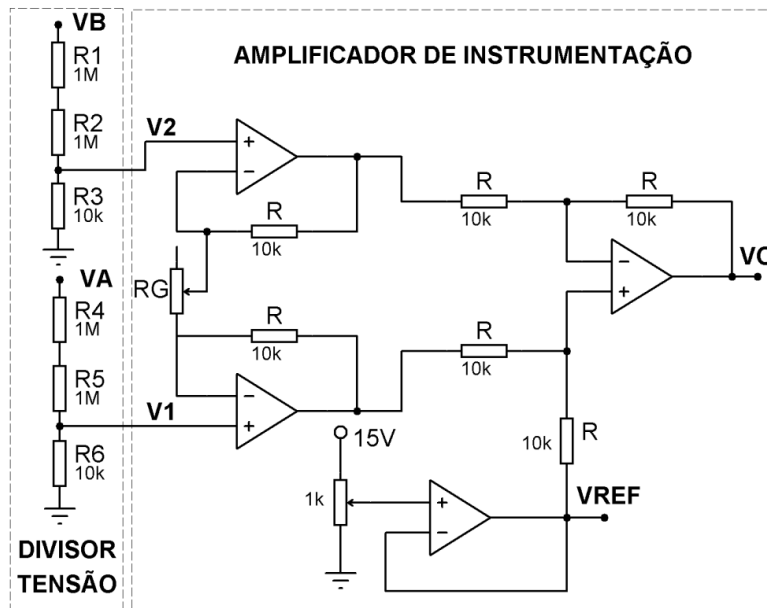


Figura 30 – Circuito de condicionamento do sinal de tensão.
Fonte: Autor.

A placa confeccionada para fazer o sensoriamento e condicionamento do sinal de tensão possui 3 circuitos iguais ao da Figura 30, como mostra o Apêndice C.

É importante destacar que o circuito de condicionamento para aquisição do sinal da tensão é do tipo não isolado eletricamente. Entre a fase da rede elétrica ou o neutro existe uma impedância com valor de 2,01 MΩ em relação ao terra da alimentação do circuito.

4.4 Circuito de condicionamento do sinal da corrente

Para a aquisição do sinal da corrente pelo conversor AD do processador TMS320F28335 foi utilizado um sensor linear de efeito Hall modelo ACS712 na forma de circuito integrado, juntamente com um circuito de condicionamento de sinais, como mostra a Figura 31.

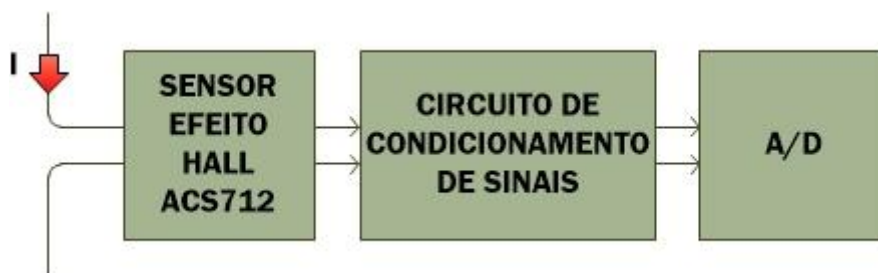


Figura 31 – Diagrama de blocos do condicionamento de corrente.
Fonte: Autor.

O sensor apresenta uma característica linear da sua tensão de saída com a corrente de entrada, o que pode ser visto na Figura 32.

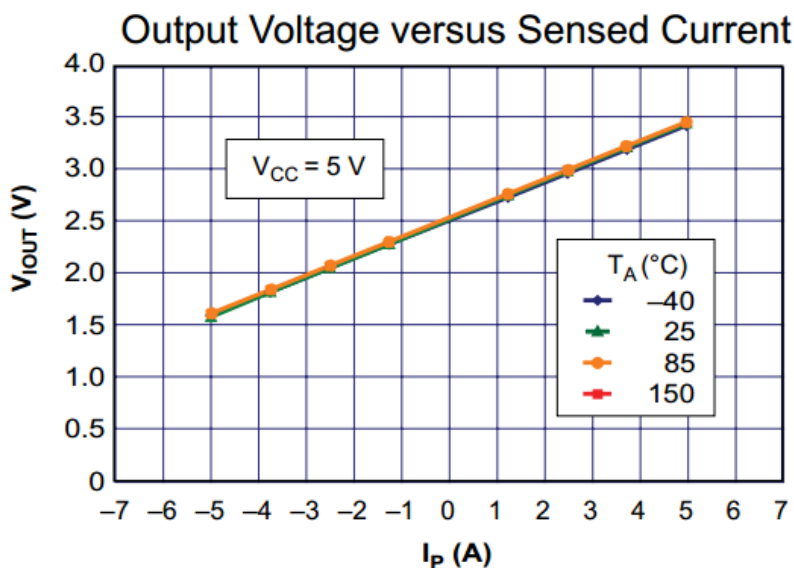


Figura 32 – Relação entre corrente e tensão de saída do sensor Hall ACS712.
Fonte: Datasheet ACS712.

Como a amplitude do sinal de entrada no conversor AD do controlador digital de sinais deve ser entre 0 e 3 V, um circuito de condicionamento é necessário para adequar o sinal de saída do sensor de corrente para o conversor AD.

A Figura 33 apresenta o esquema elétrico do circuito de condicionamento para o sensor de corrente ACS712. O circuito é formado por amplificadores operacionais, na configuração de somador inversor e amplificador inversor e por um filtro passa-alta.

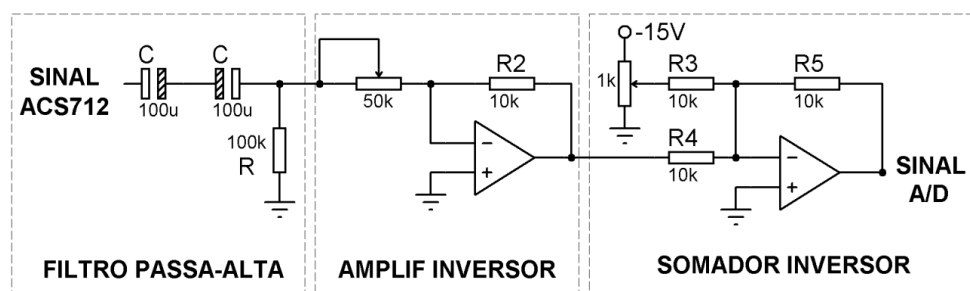


Figura 33 - Circuito de condicionamento do sinal de corrente.
Fonte: Autor.

O filtro passa-alta é utilizado para eliminar a componente DC da tensão de saída do sensor ACS712. O amplificador inversor é responsável pelo ganho do sinal e o somador inversor por adicionar um valor de offset de tensão.

Quando o sinal de corrente for de 5A, a tensão de saída do circuito de condicionamento da corrente será de 3 V; e quando a corrente for de -5A a tensão de saída do circuito de amostragem será de 0V. Logo, o circuito gera uma atenuação de aproximadamente 3,33, portanto o ganho, G_{ti} , do circuito de condicionamento da corrente é de 0,3 V/A.

A placa confeccionada para fazer o condicionamento do sinal de corrente possui 3 circuitos iguais ao da Figura 33, como mostra o Apêndice C.

4.5 Chave estática de transferência – topologia com tiristores

Essa topologia de chave estática é composta pelos TRIACs TIC226D, mostrados na Figura 34. Para acionar os gates dos TRIACs, um circuito usando opto-acopladores MOC3023 foi utilizado.

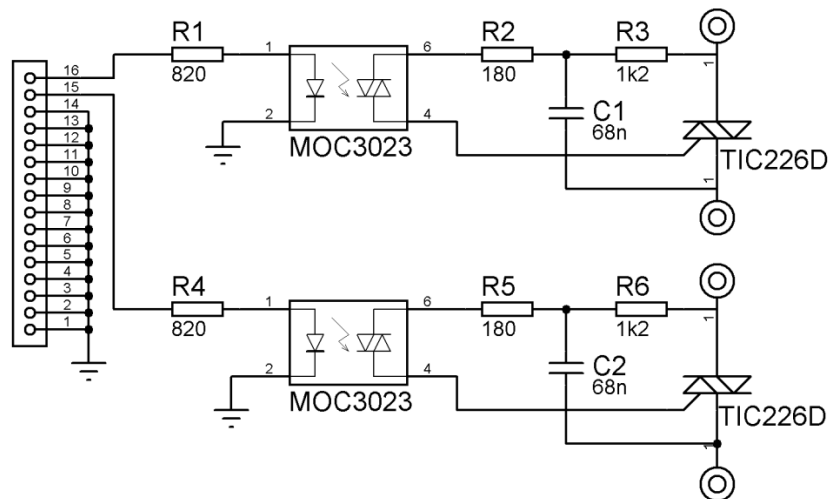


Figura 34 - Circuito da Chave de Estática Transferência da topologia com tiristores.

Fonte: Autor.

4.6 Chave estática de transferência – topologia com IGBTs

Nesta topologia de chave estática foram utilizados quatro IGBTs IRGB15B60KD, como mostra a Figura 35. A corrente de coletor máxima de

cada IGBT é 15 A RMS e 62 A de pico. Esse dispositivo apresenta tensão máxima de bloqueio do coletor para emissor de 600V.

Como mostra a Figura 35, para o acionamento dos IGBTs foram utilizados os circuitos integrados HCPL-3150 e DM7407. O DM7407 consiste de seis *buffers* independentes com saída em coletor-aberto que requerem resistores de *pull-up* externos para a lógica de operação. O HCPL-3150 consiste de um opto-acoplador dedicado ao acionamento de drivers de potência com IGBT e MOSFETs. Esse circuito integrado permite larga faixa de tensão de alimentação (15 a 30 V).

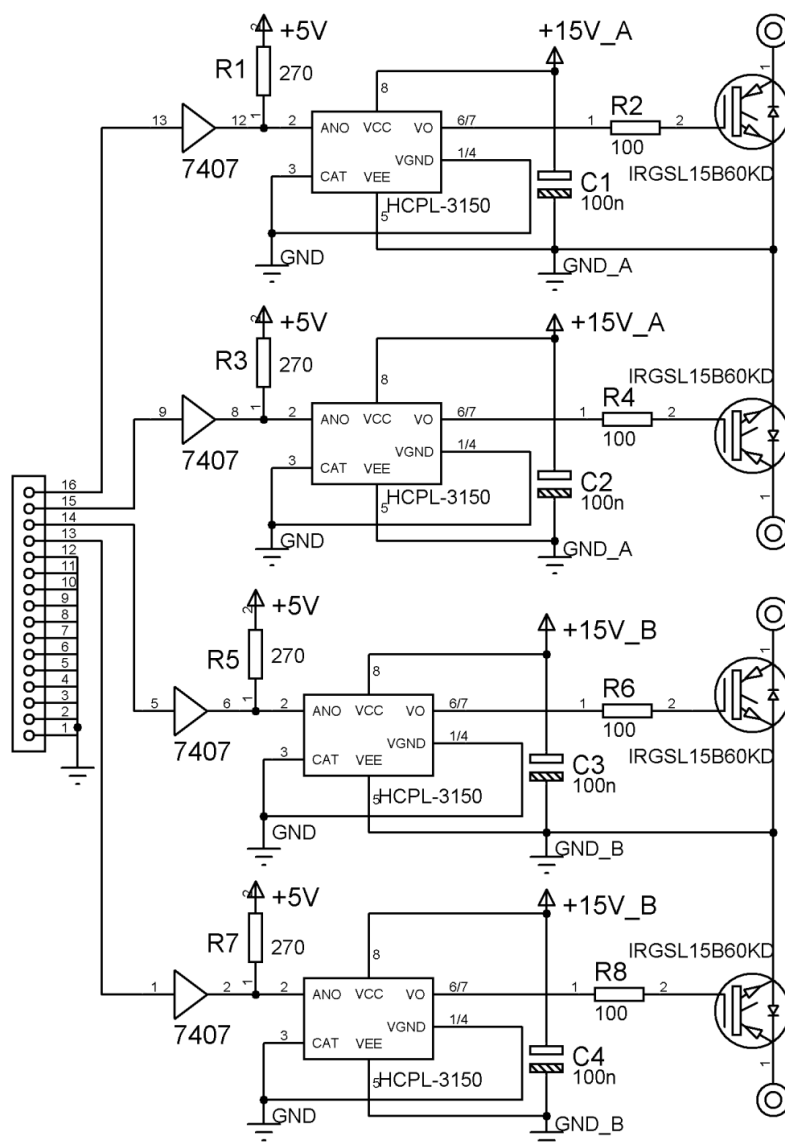


Figura 35 - Circuito da Chave de Estática Transferência da topologia com IGBTs.

Fonte: Autor.

4.7 Buffer

Para acionar com segurança tanto os IGBTs do módulo IRAM, quanto os semicondutores da STS é necessário um circuito de interface entre o DSC e os *drivers* das chaves.

Cada saída digital do DSC utilizado pode fornecer no máximo corrente da ordem de alguns mili-ampéres, porém tantos os IGBTs do inversor quanto os semicondutores da STS consomem correntes maiores para seus acionamentos. O circuito integrado octal *buffer* 74LS245 é utilizado, como mostra a Figura 36, para essa finalidade.

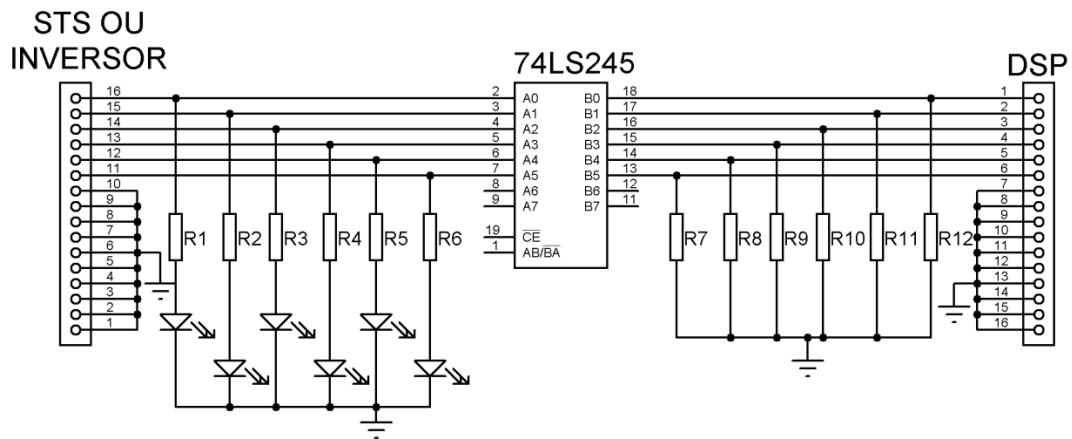


Figura 36 – Buffer.
Fonte: Autor.

4.8 Circuito de Alimentação

Este circuito foi construído com a finalidade de alimentar outros circuitos que fazem parte do trabalho proposto. O circuito é composto de um transformador, diodos, capacitores e reguladores de tensão, como mostra a Figura 37. A tensão +15 V/-15 V alimenta os circuitos de condicionamento dos sinais de corrente e tensão, +12 V alimenta um ventilador utilizado para a refrigeração do módulo IRAMS10UP60A e +5 V é usado para alimentar o circuito buffer.

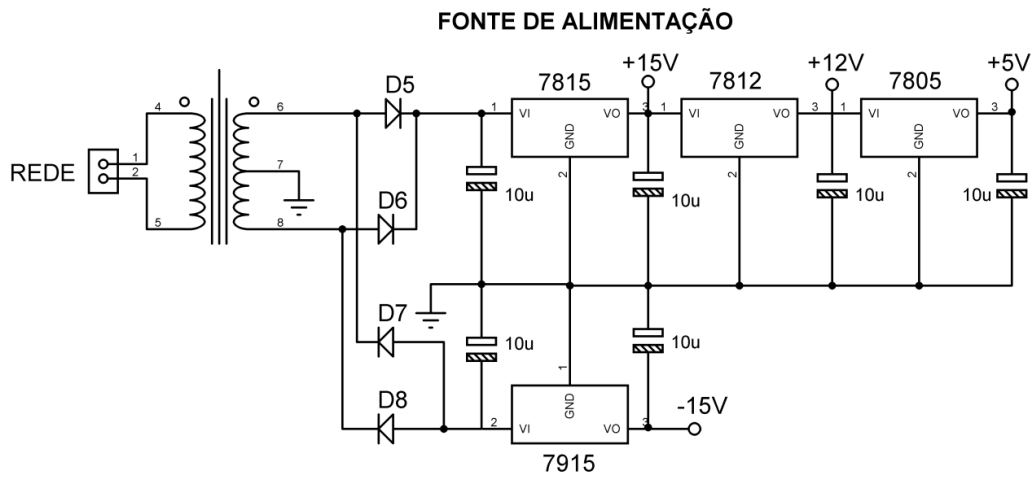


Figura 37 – Circuito de Alimentação.
Fonte: Autor.

4.9 Conversor D/A

Foi construído um circuito utilizando integrado MCP4922, que é um conversor D/A (Digital/Analógico) de 12 bits com interface SPI. Através dos sinais de saída deste conversor é possível visualizar as variáveis internas do DSC na forma de sinais na tela de um osciloscópio ou mesmo quantizar o seu valor.

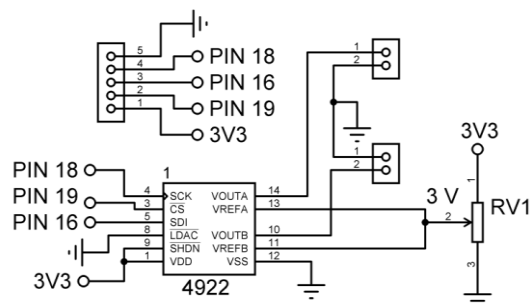


Figura 38 – Conversor D/A.
Fonte: Autor.

4.10 Esquema elétrico geral

A Figura 39 mostra o esquema elétrico geral do trabalho.

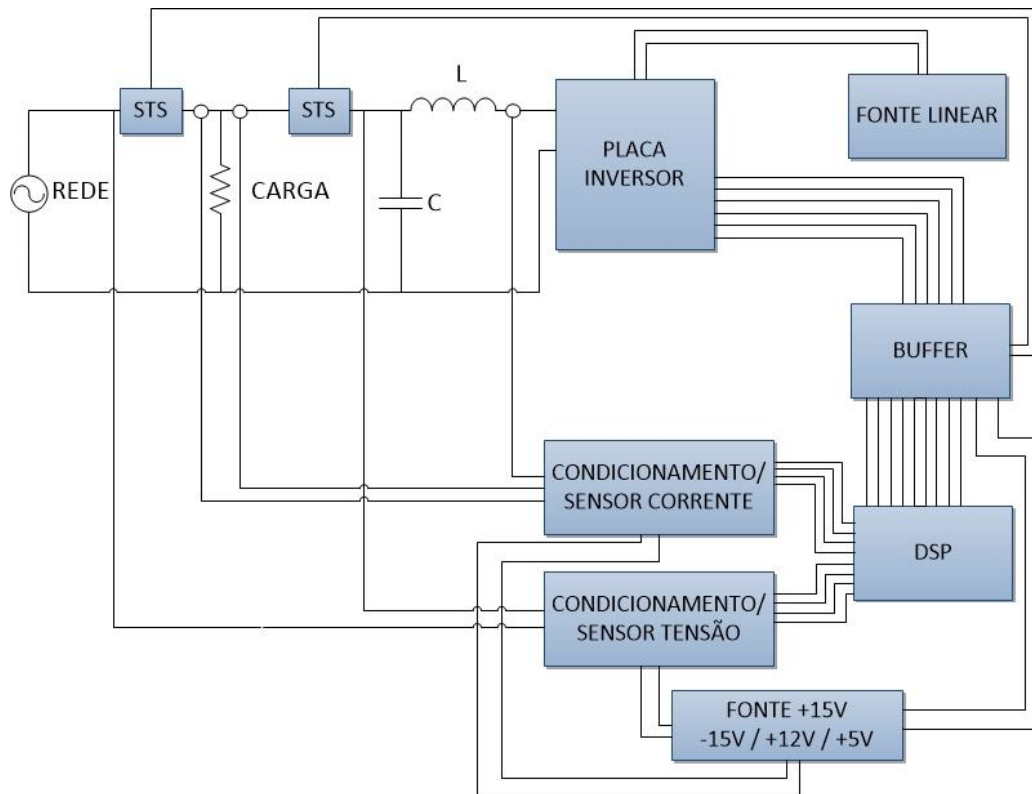


Figura 39 - Esquema elétrico geral.
Fonte: Autor.

4.11 Conclusão

A estrutura física do trabalho é composta pelo DSC TMS320F28335, circuitos de condicionamento de sinais de tensão e corrente, circuitos de potência e proteção do inversor, circuito da chave estática de transferência, *buffer*, circuito de alimentação e conversor D/A.

Foram apresentadas algumas topologias clássicas e funcionais, já conhecidas na literatura, de fácil projeto e implementação. Sendo assim, a construção de toda estrutura é relativamente simples, embora seja composta de diferentes circuitos que executam funções distintas.

O capítulo seguinte apresenta a estratégia de controle para o rastreamento da tensão e corrente do inversor monofásico, e traz um modelo de projeto de controladores proporcional-integral e proporcional-ressonante para o mesmo, além de apresentar o algoritmo PLL, responsável por gerar um sinal sincronizado com o sinal de tensão da rede elétrica.

5- CAPÍTULO - ESTRATÉGIA DE CONTROLE DO INVERSOR MONOFÁSICO TIPO FONTE DE TENSÃO

Este capítulo apresenta a modelagem do inversor monofásico e a estratégia de controle para o rastreamento da tensão e corrente do mesmo. O texto mostra que a modulação por largura de pulso digital (DPWM), inerentemente introduz atrasos, ao contrário de modulação analógica, e estes atrasos limitam os ganhos dos compensadores que, por sua vez, influenciam no rastreamento do sinal de referência. Dadas estas limitações, o texto apresenta um método analítico para determinar os melhores ganhos possíveis que podem ser alcançados pelos reguladores. O controle adotado apresenta um arranjo em cascata, onde é utilizada uma malha interna de corrente e outra externa de tensão. Também é apresentado um algoritmo PLL (*Phased Locked Loop*) em malha fechada para a detecção da frequência e do ângulo de fase do sinal da tensão da componente fundamental da rede elétrica. Esse algoritmo será responsável por gerar um sinal sincronizado com a rede elétrica.

5.1 Controlador Multimalhas para inversor monofásico do tipo fonte de tensão

A Figura 40 apresenta o esquema elétrico simplificado da topologia e o diagrama de controle do inversor, onde se observam duas malhas de realimentação. O sinal de tensão de carga V_o é comparado com o sinal de referência de tensão V_{oref} , resultando um sinal de erro que serve de entrada para o controlador de tensão. O sinal de saída deste controlador corresponde ao sinal de referência de corrente que é então comparado com o sinal de corrente do indutor do filtro LC. O erro resultante da comparação dos sinais de corrente é o sinal de entrada para o controlador de corrente que produz o sinal de referência para o gerador PWM, e este, por fim, produz os sinais de comando para o acionamento das chaves do inversor (BUSO; MATTAVELLI, 2006).

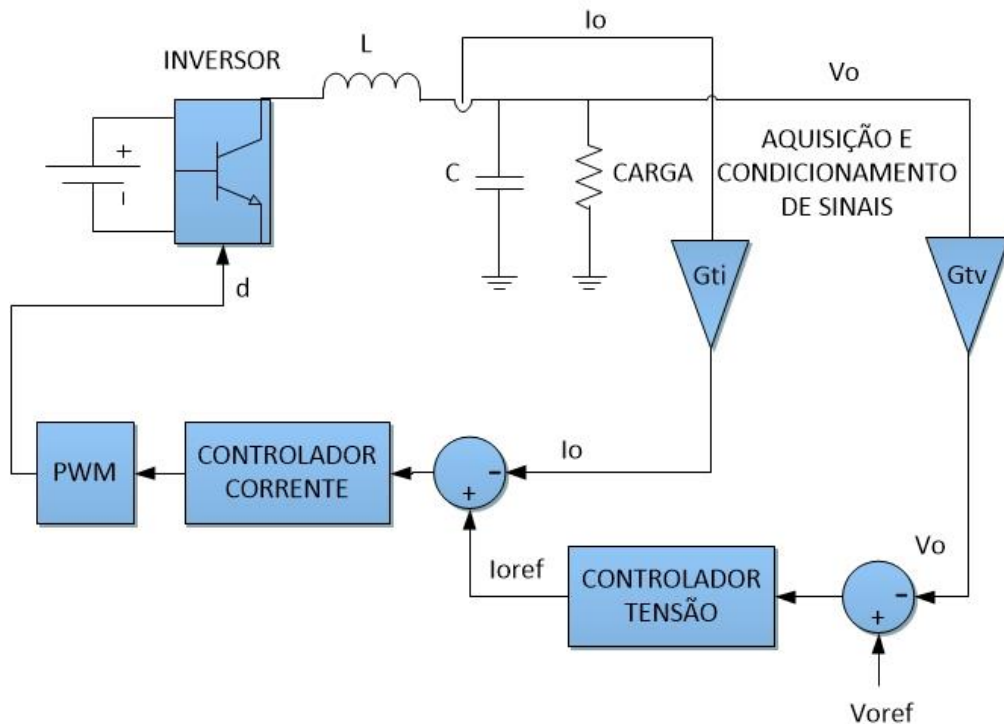


Figura 40 - Esquema elétrico simplificado da topologia e diagrama do controlador multimalhas.

Fonte: Autor.

Para ambas as malhas, o trabalho traz um modelo analítico de projeto de controladores proporcional-integral (PI) e proporcional-ressonante (P+Ress) para o inversor monofásico, onde se determinam os melhores ganhos possíveis que podem ser alcançados pelos respectivos controladores.

As seções 5.5 e 5.6 apresentam o equacionamento que determinam os ganhos do controlador PI para a malha de corrente e tensão, respectivamente; já as seções 5.8 e 5.9 apresentam o equacionamento para cálculo dos ganhos do controlador P+Ress.

5.2 Modelagem do inversor

O inversor monofásico do tipo fonte de tensão (VSI), mostrado na Figura 41 é conversor CC-CA responsável por realizar a conversão de energia de corrente contínua para corrente alternada. A tensão alternada produzida na saída do inversor, V_{oc} , é obtida a partir da comutação dos transistores T1, T2, T3 e T4.

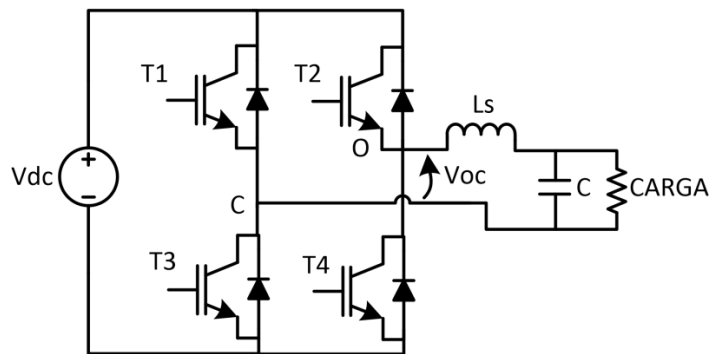


Figura 41 - Inversor monofásico do tipo fonte de tensão (VSI).
Fonte: Autor.

Devido à tensão de saída do inversor V_{oc} apresentar uma forma de onda retangular, com alto conteúdo harmônico, um filtro passa-baixas LC é utilizado, de modo que o sinal de tensão na carga seja senoidal sem distorções.

A topologia apresentada na Figura 41 pode ser simplificada através da ausência do capacitor C , o que facilita a sua modelagem. Normalmente o filtro LC possui uma frequência natural de ressonância baixa, cerca de 600 Hz, valor distante da frequência de comutação das chaves do inversor, f_s , que é alto (kHz). A impedância do filtro em um valor de frequência próximo ao da comutação torna-se praticamente indutiva. Desta forma, a modelagem realizada com a ausência do capacitor é uma boa aproximação matemática do inversor (BUSO; MATTAVELLI, 2006).

Na Figura 42 é mostrada a topologia utilizada para o equacionamento do modelo matemático que estabelece a relação entre a corrente de saída I_o em função da tensão V_{oc} . Esta equação fará parte das equações da malha de corrente. O indutor L_s , neste caso, atua como uma fonte de corrente alternada, sendo que R_s representa a sua resistência série.

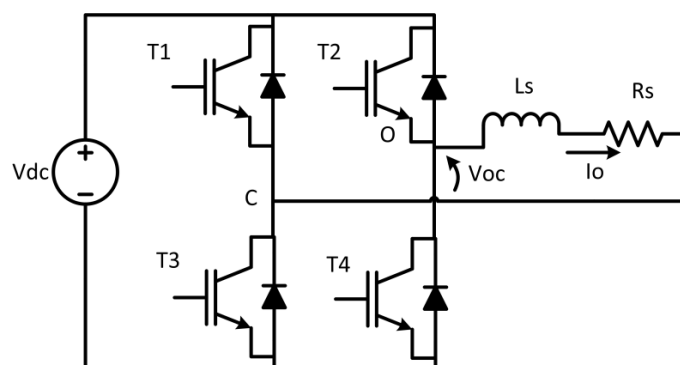


Figura 42 – Inversor monofásico tipo fonte de tensão.
Fonte: Autor.

Através do inversor monofásico mostrado na Figura 42, se pode afirmar que:

$$V_{oc} = (sLs + R_s)I_o \quad (28)$$

Resultando em:

$$G(s)_{I_oV_{oc}} = \frac{I_o}{V_{oc}}(s) = \frac{1}{R_s} \frac{1}{1 + s \frac{Ls}{R_s}} \quad (29)$$

Assumindo que o sinal modulante (sinal senoidal) varia lentamente no tempo em relação ao sinal da portadora (sinal triangular), é possível relacionar a tensão média no inversor em função da razão cíclica.

$$V_{oc_{medio}}(t) = V_{dc}(2d(t) - 1) \quad (30)$$

Derivando-se a Equação 30, determina-se a relação entre as variações de $V_{oc_{medio}}$ em função de d para pequenas perturbações da razão cíclica, resultado a Equação 31.

$$\frac{\partial V_{oc_{medio}}}{\partial d} = 2V_{dc} \quad (31)$$

Onde V_{dc} é assumido como constante. Considerando pequenas perturbações em torno de um ponto de operação, a função de transferência que relaciona a corrente de carga em função da razão cíclica é expressa pela Equação 32.

$$G(s) = \frac{\tilde{I}_o}{\tilde{d}}(s) = \frac{2V_{dc}}{R_s} \frac{1}{1 + s \frac{Ls}{R_s}} \quad (32)$$

Onde \tilde{I}_o e \tilde{d} representam pequenas perturbações das variáveis I_o e d em torno de um ponto de operação.

A validação do modelo (Equação 32) é realizada via simulação numérica no *software* PSIM utilizando a ferramenta *ac Sweep*, da qual é possível se obter o diagrama de Bode do comportamento dinâmico do conversor para perturbações de pequenos sinais.

A Figura 43 ilustra a comparação utilizando *ac Sweep* no circuito real com o modelo matemático apresentado. Observa-se que a planta que relaciona

corrente por razão cíclica apresenta o comportamento esperado de um sistema de primeira ordem.

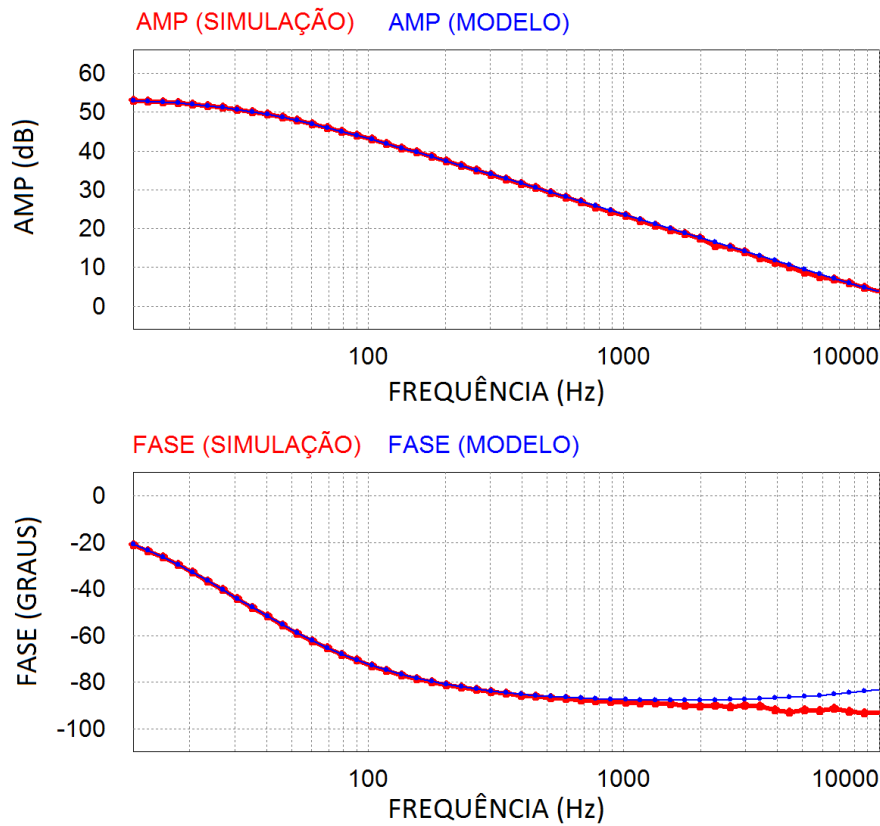


Figura 43 - Diagrama de Bode de $\tilde{I}_o(s)/\tilde{d}(s)$ com $V_{dc} = 240 V$, $R_s = 1 \Omega$ e $L_s = 0,005 H$.

Fonte: Autor.

5.3 Controlador de corrente

O controlador de corrente é responsável por gerar o sinal de referência de modulação, que corresponde ao sinal modulante ($m(t)$) a ser utilizado sobre uma portadora para a geração do sinal PWM de comando das chaves. O sinal de entrada do controlador é o sinal de erro ou diferença entre um valor de referência de corrente I_{oref} e a corrente de saída I_o multiplicado por G_{ti} , que representa o ganho do sensor de corrente juntamente com o circuito de condicionamento de sinais. A Figura 44 ilustra o diagrama de blocos do controle da malha de corrente.

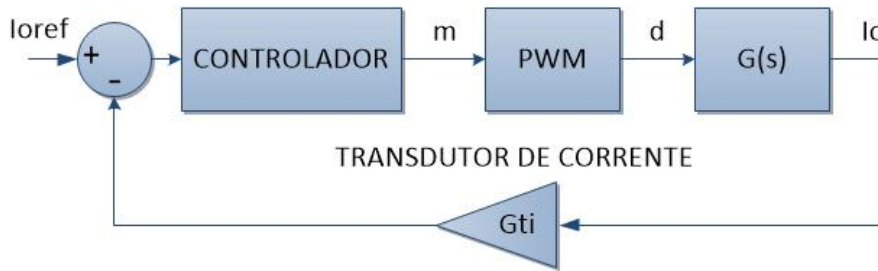


Figura 44. Diagrama de blocos do controle da malha corrente
Fonte: Autor.

A função de transferência do controlador depende se o mesmo é proporcional-integral ou proporcional ressonante.

A Equação 32 representa o bloco $G(s)$. O modelo matemático do bloco PWM será visto a seguir.

5.4 Análise do atraso da modulação por largura de pulso digital

A implementação analógica do sinal PWM é obtida através da comparação de dois sinais, um sinal modulante ($m(t)$) e uma onda portadora ($c(t)$), tipicamente um sinal triangular ou dente de serra. Um circuito PWM simples é mostrado na Figura 45.

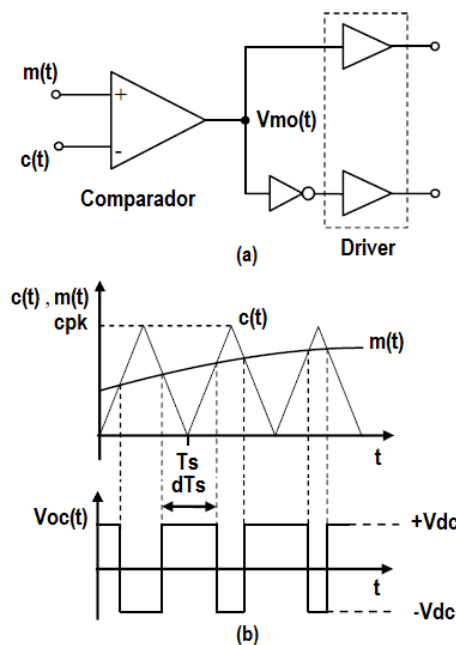


Figura 45. Implementação analógica do modulador PWM.

Fonte: Autor.

Observando a Figura 45(b), a comparação entre os sinais $m(t)$ e $c(t)$ produz um sinal quadrado $V_{mo}(t)$ na saída do comparador, que serve de sinal de comando para o acionamento das chaves do inversor (Figura 42). O sinal de tensão resultante entre os braços do inversor apresenta uma forma de onda retangular como mostrado na Figura 45(b) no gráfico de $V_{oc}(t)$.

Os limites de tensão de $V_{oc}(t)$ são $+V_{dc}$ e $-V_{dc}$, com frequência constante $f_s = 1/T_s$, sendo T_s o período do sinal da portadora $c(t)$. O tempo de duração de $+V_{dc}$ depende da razão cíclica d e do período de modulação T_s . É possível relacionar o sinal modulante $m(t)$, com a razão cíclica d através da expressão:

$$d = \frac{m}{c_{pk}} \quad (33)$$

Onde m é assumido constante em um período de modulação e c_{pk} é o valor de pico da portadora.

Considerando a Figura 45(b), nota-se que uma mudança repentina na amplitude do sinal de modulação implica sempre uma resposta imediata no ajuste da razão cíclica. Isto significa que a implementação analógica do sinal PWM garante um retardo mínimo entre o sinal de modulação e a razão cíclica. Em (VAN DE SYPE *et al.*, 2004) demonstra-se que o atraso de fase do modulador naturalmente amostrado é zero, concluindo que o atraso do modulador PWM analógico pode ser sempre considerado insignificante.

Em implementações digitais do sinal PWM, há a introdução de efeitos de *sample-and-hold* e o atraso não é desprezível. A Figura 46 mostra o atraso de resposta dinâmica do modulador.

A atualização do valor do sinal modulante é realizada apenas no início de cada período de modulação. É possível modelar esse modo de operação considerando os efeitos de *sample-and-hold*. Ignorando-se o contador digital e assumindo resolução infinita na operação de comparação binária, o modulador digital funciona exatamente como um analógico, onde o sinal de modulação $m(t)$ é amostrado no início de cada período de modulação e o valor amostrado mantém-se constante durante todo o período.

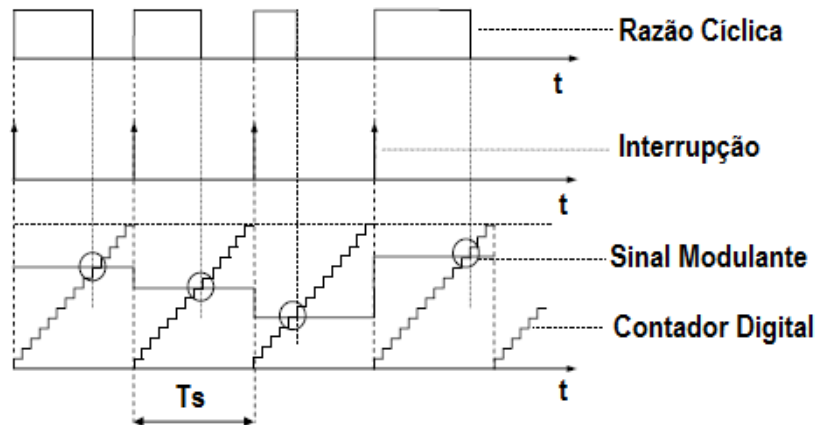


Figura 46. Formas de onda do PWM Digital.

Fonte: Autor.

Devido ao efeito *sample and hold*, a resposta do modulador para qualquer perturbação durante um período só poderá ocorrer no período seguinte onde haverá a mudança do valor da razão cíclica. A resposta não acontece no período quando ocorre a perturbação.

Este efeito de atraso corresponde a uma grande diferença em relação à implementação do modulador analógico, onde a resposta pode ocorrer durante o mesmo período de modulação.

A utilização de um sistema de geração de sinal PWM digital apresenta um atraso de resposta. Isto reduz de forma significativa a margem de fase do sistema, o que muitas vezes obriga o projetista a adotar um projeto mais conservador do compensador e trabalhar com uma menor largura de banda no sistema de malha fechada.

Um modelo equivalente de implementação do PWM digital está representado na Figura 47, onde se pode observar o sinal $m(t)$ em tempo contínuo e o sinal $M_s(t)$ discreto. A chave corresponde ao circuito de *sample-and-hold*, amostrador ideal e ZOH, um retentor de ordem zero (*zero-order hold*) com período de amostragem igual a T_s .

O sinal $M_s(t)$ é comparado como sinal $c(t)$ através de um comparador analógico, resultando o sinal PWM $V_{mo}(t)$ como ilustra a Figura 47(a).

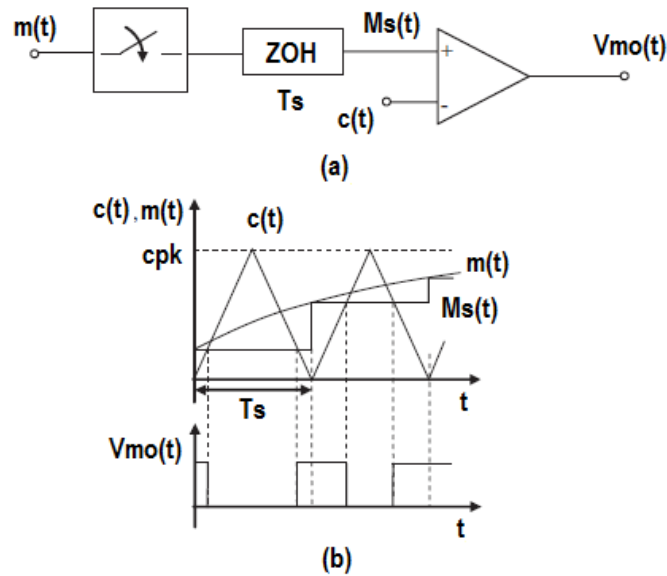


Figura 47. Modelo equivalente do PWM digital e formas de onda.

Fonte: Autor.

De acordo com (VAN DE SYPE *et al.*, 2004), para um sinal triangular de portadora $c(t)$, a função de transferência que relaciona os sinais $Vmo(t)$ e $m(t)$ no domínio da frequência é dada por:

$$PWM(s) = \frac{Vmo(s)}{M(s)} = \frac{1}{2cpk} \left(e^{-s(1-d)\frac{Ts}{2}} + e^{-s(1+d)\frac{Ts}{2}} \right) \quad (34)$$

Onde $Vmo(s)$ e $M(s)$ representam a transformada de Laplace de $Vmo(t)$ e $m(t)$, respectivamente. É possível simplificar a Equação 34 e obter:

$$PWM(s) = \frac{1}{2cpk} \left(e^{-s(1-d)\frac{Ts}{2}} + e^{-s(1+d)\frac{Ts}{2}} \right) \cong \frac{1}{cpk} e^{-s\frac{Ts}{2}} \quad (35)$$

Utilizando-se a aproximação de Padé de primeira ordem (BUSO; MATTAVELLI, 2006):

$$e^{-s\frac{Ts}{2}} \cong \frac{1 - s\frac{Ts}{4}}{1 + s\frac{Ts}{4}} \quad (36)$$

Substituindo a Equação 36 na Equação 35, resulta em:

$$PWM(s) = \frac{1}{cpk} e^{-s\frac{Ts}{2}} \cong \frac{1}{cpk} \frac{1 - s\frac{Ts}{4}}{1 + s\frac{Ts}{4}} \quad (37)$$

A utilização da Equação 37, que é uma função de transferência racional, é claramente mais fácil para manipulações matemáticas do que funções exponenciais e representa o modelo matemático do bloco PWM da Figura 44.

5.5 Determinação dos ganhos do controlador PI para a malha de corrente

A função de transferência do controlador proporcional-integral é dada por:

$$G_{PI}(s) = Kp_i + \frac{Ki_i}{s} \quad (38)$$

Para determinação dos valores dos ganhos Kp_i e Ki_i , que representam, respectivamente, os ganhos proporcional e integral do controlador, são necessárias duas condições: o módulo da função de transferência em malha aberta do diagrama de blocos da Figura 44 deve ser igual a 1 na frequência de cruzamento desejada e a margem de fase igual a 60° , de acordo com (BUSO; MATTAVELLI, 2006). A largura de banda fcl_i será um sexto da frequência de comutação fs .

A função de transferência em malha aberta para o diagrama de blocos da Figura 44 é dada pela associação em cascata de todos os blocos:

$$Gol_i(s) = \left(Kp_i + \frac{Ki_i}{s} \right) \left(\frac{Gti}{cpk} \right) \left(\frac{1 - s \frac{Ts}{4}}{1 + s \frac{Ts}{4}} \right) \left(\frac{2Vdc}{Rs} \frac{1}{1 + s \frac{Ls}{Rs}} \right) \quad (39)$$

Substituindo-se o termo s da expressão $Gol_i(s)$ por jw , determinam-se as expressões de módulo e fase, onde o módulo deverá ser igual a 1 para a frequência desejada de cruzamento $w = wcl_i = 2\pi fcl_i$ (sabendo que $Ki_i \ll wcl_i Kp_i$) e a fase igual a 60° . A equação obtida para módulo é dada por:

$$Kp_i = \left(\frac{cpk}{2Vdc} \right) \frac{Rs}{Gti} \sqrt{1 + \left(wcl_i \frac{Ls}{Rs} \right)^2} \quad (40)$$

A equação encontrada para uma margem phm mínima é apresentada em (41).

$$K_{i_i} = \frac{wcl_i Kp_i}{\tan\left(-90^\circ + phm + 2 \tan^{-1}\left(wcl_i \frac{TS}{4}\right) + \tan^{-1}\left(wcl_i \frac{LS}{RS}\right)\right)} \quad (41)$$

5.6 Modelo matemático da malha de tensão e determinação dos ganhos do controlador PI

A malha de tensão é responsável por gerar o sinal de corrente de referência para a malha de corrente, como ilustrado na Figura 40. O valor da corrente de referência depende da impedância da carga, e deve ser determinado de modo que o produto dos valores de corrente e impedância resulte no valor de tensão desejada. Se a carga variar, um novo valor de corrente de referência deve ser determinado para que a tensão na carga se mantenha constante.

A partir do valor da corrente de referência, a malha de corrente controla o valor da corrente injetada na carga. O inversor pode funcionar somente com a malha de corrente mas, neste caso, não ocorrerá a regulação da tensão na carga já que o valor da corrente de referência será fixo. Se a carga variar, o valor da tensão também irá variar, de acordo com o resultado do produto do valor fixo da corrente pela impedância da carga. Por isso a necessidade de corrigir o valor da corrente de referência e assim, há necessidade de duas malhas de realimentação no controle do inversor, uma mais externa (tensão) e outra mais interna (corrente) (VENDRUSCULO *et al.*, 2005) (MATTAVELLI *et al.*, 2004).

O efeito do atraso do modulador PWM digital não será considerado na malha de tensão, já que está incluído na malha de corrente.

Para a malha tensão, é necessário um modelo simplificado da malha de corrente que, de acordo com (BUSO; MATTAVELLI, 2006) pode ser obtido de forma relativamente simples, porém exato o suficiente para reproduzir a dinâmica do sistema de uma forma razoavelmente fiel e permitir uma boa modelagem do sistema em malha fechada. Um exemplo de modelo matemático para a malha de corrente, encontrado em (BUSO; MATTAVELLI, 2006) é expresso na Equação 42.

$$G_c(s) = \frac{I_o}{I_{oref}}(s) = G_o \left(\frac{1}{1 + s\tau_{cc}} \right) \left(\frac{1 - s\frac{T_s}{4}}{1 + s\frac{T_s}{4}} \right) \quad (42)$$

Onde:

$$\tau_{cc} = \frac{1}{2\pi f_{cl_i}} \quad (43)$$

O ganho G_o é igual ao inverso do ganho de transdutor de corrente.

A Figura 48 ilustra o diagrama de blocos da malha de tensão com o controlador PI. O sinal de referência V_{oref} é comparado com o sinal da tensão de saída V_o multiplicado pelo ganho G_{tv} do circuito de condicionamento de sinais do sinal de tensão, resultando um sinal de erro que serve de entrada para o controlador, produzindo o sinal da corrente de referência, I_{oref} que alimenta o bloco $G_c(s)$.

Na Figura 48 o sinal de tensão V_o apresenta um ganho G_{tv} e serve de realimentação negativa para V_{oref} . Este ganho é proveniente do circuito de aquisição do sinal de tensão.

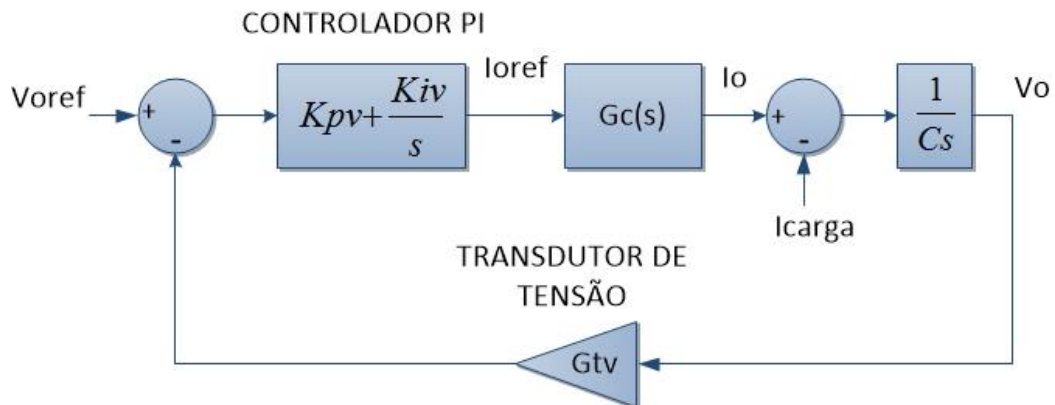


Figura 48. Diagrama de blocos do controle de tensão em malha fechada.
Fonte: Autor.

É importante salientar que o controlador de corrente foi projetado assumindo uma configuração de carga diferente do esquema mostrado na Figura 48, ou seja, não foi assumido o capacitor de saída na modelagem. No entanto, para um projeto típico de um controlador de um VSI monofásico com arranjo de duas malhas, a modelagem feita anteriormente pode ser aplicada

sendo uma boa aproximação para o projeto do controlador (BUSO; MATTAVELLI, 2006).

Através da Figura 48 nota-se que a corrente de carga (I_{carga}) pode ser considerada uma perturbação no controle da tensão de saída. Sendo $G_{PIV}(s)$ o controlador PI de tensão, a função de transferência de malha fechada desse sistema é dada por:

$$V_o = V_{oref} \cdot \frac{G_{PIV}(s) \cdot G_c(s)}{Cs + G_{tv} \cdot G_{PIV}(s) G_c(s)} - I_{carga} \cdot \frac{1}{Cs + G_{tv} \cdot G_{PIV}(s) G_c(s)} \quad (44)$$

O segundo termo da Equação 44 deteriora o rastreamento de V_o , sendo I_{carga} , portanto, considerada como uma entrada de distúrbio. Uma realimentação da corrente de carga na malha de tensão, conforme mostra a Figura 49, desacopla a tensão de saída da corrente de carga.

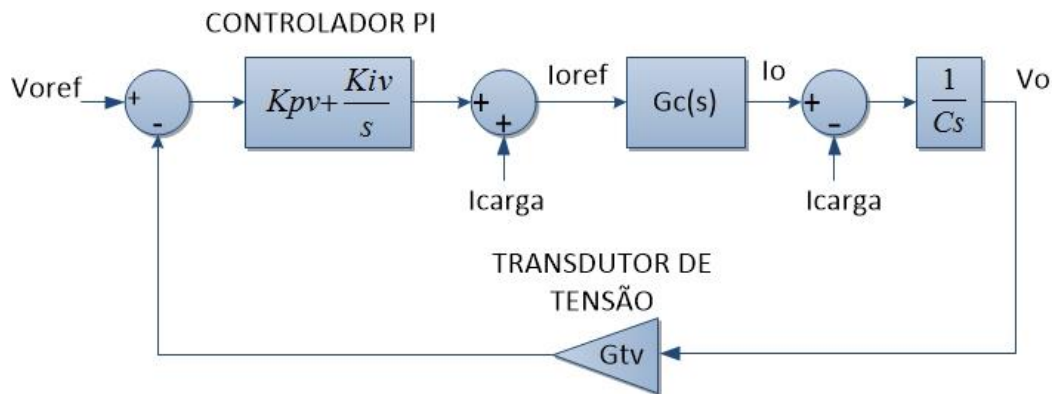


Figura 49 - Diagrama de blocos do controle de tensão com realimentação *feedforward*.
Fonte: Autor.

A corrente de carga pode ser medida ou estimada em tempo real, sendo que a corrente no indutor é igual a soma da corrente de carga com a corrente do capacitor. A corrente no indutor é adquirida para efetuar o controle da malha interna e a corrente no capacitor pode ser calculada pois é proporcional à taxa de variação da tensão de saída. Neste caso, porém deve-se lembrar de que funções do tipo derivada requerem muito cuidado na implementação, uma vez que ocorre amplificação de frequências mais altas, o que é altamente indesejável.

Nas simulações e na montagem prática desse trabalho todas as variáveis realimentadas e perturbações foram medidas. Portanto, pode-se aplicar o controle por pré-alimentação (*disturbance feedforward control*). O

controle por pré-alimentação minimiza o erro de *set point*, ou seja, compensa as perturbações de maneira aproximada antes que elas afetem a saída do sistema de controle (OGATA, 2011).

Mesmo com o controle *feedforward* não é possível cancelar idealmente a entrada distúrbio, porém ajuda de forma significativa na melhora da performance do controlador.

Com a finalidade de obter uma expressão matemática para cálculo dos ganhos do controlador de tensão é considerado que com o uso controle por pré-alimentação, como mostrado na Figura 49, a perturbação é cancelada. Com isso, a função de transferência de malha aberta para o diagrama de blocos da Figura 49 é:

$$G_{ol_v}(s) = \left(Kp_v + \frac{Ki_v}{s} \right) \frac{G_{tv}}{G_{ti}} \left(\frac{1}{1 + s\tau_{cc}} \frac{1 - s\frac{Ts}{4}}{1 + s\frac{Ts}{4}} \right) \frac{1}{sC} \quad (45)$$

A compensação *feedforward* é um meio de alcançar uma resposta satisfatória no desempenho do controlador sem a necessidade de utilizar uma estratégia de controle mais complexa.

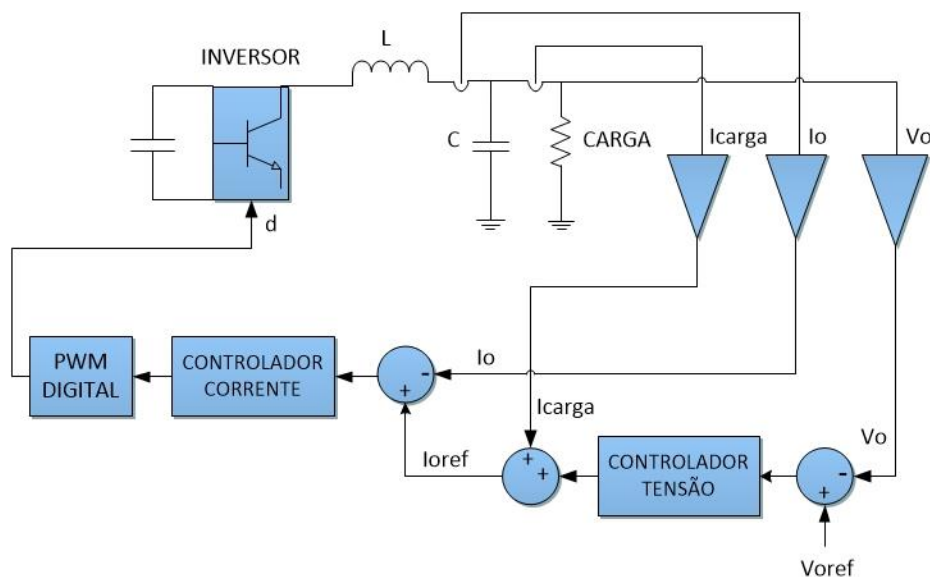


Figura 50 – Diagrama de blocos completo do controle.
Fonte: Autor.

Para o projeto de um controlador externo, a fim de conseguir um controle satisfatório da forma de onda de tensão, mesmo com a presença de cargas não lineares, é necessário que a largura de banda da malha de tensão, f_{cl_v} ,

seja pelo menos, 15 a 20 vezes maior que a frequência do sinal de referência, isto é de 900 a 1200 Hz, considerando a referência em 60 Hz (BUSO; MATTAVELLI, 2006).

Da Equação 45 são necessárias duas condições para determinar os ganhos Kp_v e Ki_v do controlador PI.

A primeira condição é dada pela Equação 46:

$$\frac{Gtv}{Gti} \left(\frac{\sqrt{Ki_v^2 + (wcl_v \cdot Kp_v)^2}}{wcl_v^2 \cdot C} \right) \frac{\sqrt{1 + (wcl_v \cdot \tau cc)^2}}{1 + (wcl_v \cdot \tau cc)^2} = 1 \quad (46)$$

Onde $wcl_v = 2\pi fcl_v$.

A segunda condição é impor uma margem de fase mínima, phm , para a função de transferência de malha aberta na frequência de cruzamento. Consequentemente é encontrado:

$$phm = -\tan^{-1}(wcl_v \cdot \tau cc) + \tan^{-1}\left(wcl_v \frac{Kp_v}{Ki_v}\right) - 2\tan^{-1}\left(\frac{\omega cl_i \cdot Ts}{4}\right) + \pi \quad (47)$$

A fim de se obter um amortecimento razoável na resposta dinâmica, pode-se adotar phm igual a 60° (BUSO; MATTAVELLI, 2006).

5.7 Controlador Proporcional-Ressonante

De acordo com (HOLMES *et al.*, 2009) o controlador PI quando utilizado no sistema de coordenadas fixa, a-b-c, não apresenta desempenho ideal, pois gera erros de amplitude e fase no rastreamento dos sinais de referência. Em contraste, no sistema de coordenadas síncrono, d-q, o controlador PI atua com sinal contínuo e pode alcançar erro zero em regime permanente e são, portanto, usualmente considerados superiores atuando no sistema de coordenadas fixas (RODRIGUES, 2010).

O controlador proporcional-ressonante (P+Ress) apresenta o mesmo desempenho em regime transitório ou permanente que o controlador PI no modo síncrono. Logo, o uso desse controlador apresenta vantagem por operar no sistema de coordenada fixa e de requerer muito menos processamento

digital do que um controlador operando no sistema síncrono, por não necessitar da transformação de coordenadas (RODRIGUES, 2010).

Em (ZMOOD; HOLMES, 2003) os autores comparam o desempenho do controlador PI no sistema de coordenadas fixas e síncrona e o do controlador proporcional-ressonante no sistema de coordenada fixa. Para o controlador proporcional-ressonante pode ser vista a eliminação do erro em regime estacionário e a resposta transitória é praticamente idêntica ao do controlador PI operando em coordenadas síncronas (RODRIGUES, 2010).

A funcionalidade básica de um controlador proporcional-ressonante é inserir um ganho alto na frequência de ressonância selecionada para eliminar o erro de regime permanente nessa frequência; isso é conceitualmente similar a um integrador, cujo alto ganho força o erro de regime permanente DC a zero.

O controlador P+Ress é representado pelo ganho proporcional Kp_i e um controlador ressonante sintonizado na frequência fundamental ω_0 :

$$G_{p+ress}(s) = Kp + \frac{2Ki\omega_{cut}s}{s^2 + 2\omega_{cut}s + \omega_0^2} \quad (48)$$

Onde ω_{cut} é a faixa de frequência em torno da frequência ω_0 , na qual se permite ganho alto, mas finito para o controlador ressonante real. A largura de banda, ω_{cut} , observada ao redor da frequência ω_0 , minimiza a sensibilidade do compensador ressonante às pequenas variações de ω_0 .

5.8 Determinação dos ganhos do controlador P+Ress para a malha de corrente

Apenas substituindo no diagrama de blocos da Figura 44 o controlador proporcional-integral pelo controlador proporcional-ressonante, obtém-se o diagrama de blocos da Figura 51.

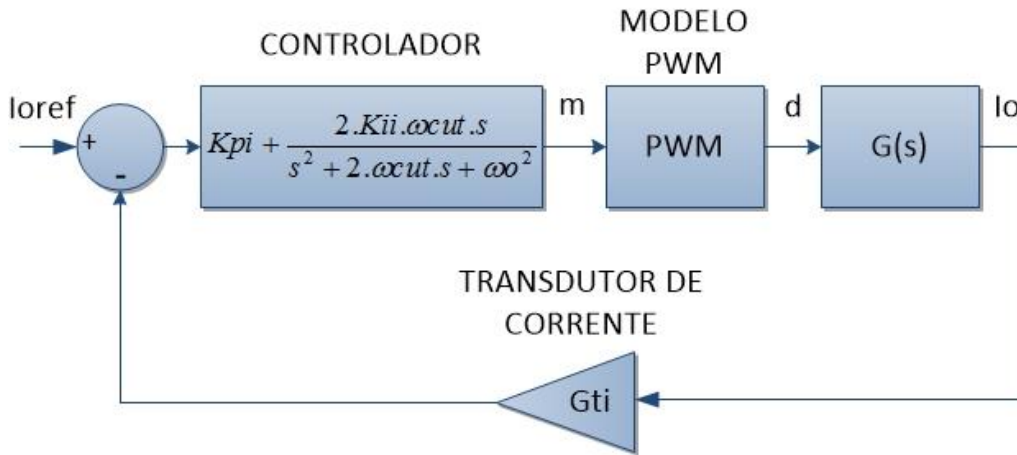


Figura 51 - Diagrama de blocos do controle de corrente em malha fechada com o controlador P+ Ress.

Fonte: Autor.

A função de transferência de malha aberta para o diagrama de blocos da Figura 51 é dada pela associação em cascata de todos os blocos:

$$G_{ol_i}(s) = G_{p+ress}(s).PWM(s).G(s).G_{ti} \quad (49)$$

Como no caso do controlador PI, o projeto do regulador é conduzido por especificações relativas ao máximo erro permitido de rastreamento com respeito ao sinal de referência que devem obedecer a largura de banda e margem de fase desejada para o sistema como um todo. Logo, de acordo com (BUSO; MATTAVELLI, 2006), a largura de banda f_{cl_i} é limitada a um sexto da frequência de comutação f_s , e a margem de fase, phm , em 60° .

Logo, são necessárias duas condições para determinar o ganho proporcional K_{p_i} e ressonante K_{i_i} do controlador P+Ress na malha de corrente.

A primeira condição é dada pela Equação 50, que é obtida impondo a magnitude da Equação 49 igual a um, na frequência desejada de cruzamento ($\omega = \omega_{cl_i} = 2\pi f_{cl_i}$). Sabendo que $\omega_{cl_i} \gg \omega_0 \gg \omega_{cut}$, obtém-se:

$$\frac{V_{dc}G_{ti}\sqrt{(4K_{i_i}\omega_{cut}^2 + K_{p_i}\omega_{cl_i}^2)^2 + (2K_{i_i}\omega_{cut}\omega_{cl_i})^2}}{0,5.\omega_{cl_i}^2.cpk.Rs\sqrt{1 + \left(\frac{\omega_{cl_i}Ls}{Rs}\right)^2}} = 1 \quad (50)$$

A segunda condição é impor uma margem de fase mínima, phm , para a função de transferência de malha aberta na frequência de cruzamento. Consequentemente é encontrado:

$$phm = \left\{ \begin{array}{l} \tan^{-1} \left(\frac{2K_i \omega_{cut} \omega_{cl_i}}{4K_i \omega_{cut} + K_p \omega_{cl_i}^2} \right) \\ - 2 \tan^{-1} \left(\frac{\omega_{cl_i} T_s}{4} \right) - \tan^{-1} \left(\frac{\omega_{cl_i} L_s}{R_s} \right) + \pi \end{array} \right\} \quad (51)$$

5.9 Determinação dos ganhos do controlador P+Ress para a malha de tensão

Substituindo-se no diagrama de blocos da Figura 49 o controlador proporcional-integral pelo controlador proporcional-ressonante, obtém-se o diagrama de blocos da Figura 52.

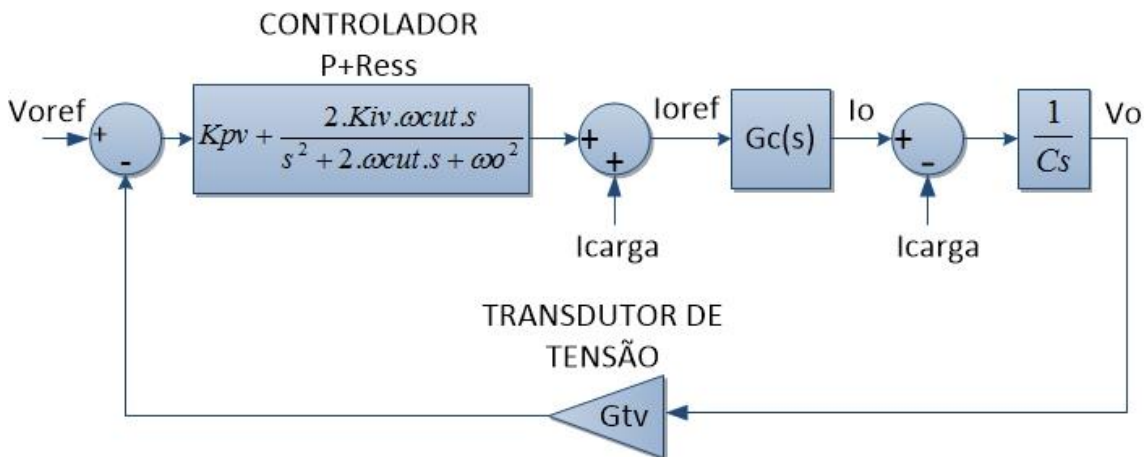


Figura 52 - Diagrama de blocos do controle de tensão em malha fechada com o controlador P+Ress.

Fonte: Autor.

Com a finalidade de se obter uma expressão matemática para cálculo dos ganhos do controlador P+Ress de tensão é considerado que com o uso do controle por pré-alimentação, como mostrado na Figura 52, a perturbação é cancelada, como foi feito no projeto com o controlador PI. Com isso, a função de transferência de malha aberta para o diagrama de blocos da Figura 52 é:

$$G_{ol_v}(s) = \left(K_{pv} + \frac{2K_{iv}\omega_{cut}s}{s^2 + 2\omega_{cut}s + \omega_o^2} \right) \frac{G_{tv}}{G_{ti}} \left(\frac{1}{1 + s\tau_{cc}} \frac{1 - s\frac{T_s}{4}}{1 + s\frac{T_s}{4}} \right) \frac{1}{sC} \quad (52)$$

Da Equação 52, são necessárias duas condições para determinar o ganho proporcional Kp_v e ressonante Ki_v do controlador P+Res na malha de tensão.

A primeira condição é dada pela Equação 53:

$$\frac{Gtv}{Gti} \left(\frac{\sqrt{(4Ki_v \omega_{cut}^2 + Kp_v \omega_{cl_i}^2)^2 + (2Ki_v \omega_{cut} \omega_{cl_v})^2}}{\omega_{cl_v}^3 C \sqrt{1 + (\omega_{cl_v} \tau_{cc})^2}} \right) = 1 \quad (53)$$

Onde $\omega_{cl_v} = 2\pi f_{cl_v}$.

A segunda condição é impor uma margem de fase mínima, phm , para a função de transferência de malha aberta na frequência de cruzamento. Consequentemente é encontrado:

$$phm = \left\{ \begin{array}{l} \tan^{-1} \left(\frac{2Ki_v \omega_{cut} \omega_{cl_v}}{4Ki_v \omega_{cut} + Kp_v \omega_{cl_v}^2} \right) \\ - \tan^{-1}(\omega_{cl_v} \tau_{cc}) - 2 \tan^{-1} \left(\frac{\omega_{cl_i} Ts}{4} \right) + \frac{\pi}{2} \end{array} \right\} \quad (54)$$

A fim de se obter um amortecimento razoável na resposta dinâmica, pode-se adotar phm igual a 60° (BUSO; MATTAVELLI, 2006).

5.10 Discretização do controlador PI

A Figura 53 mostra o tradicional controlador Proporcional-Integral (PI).

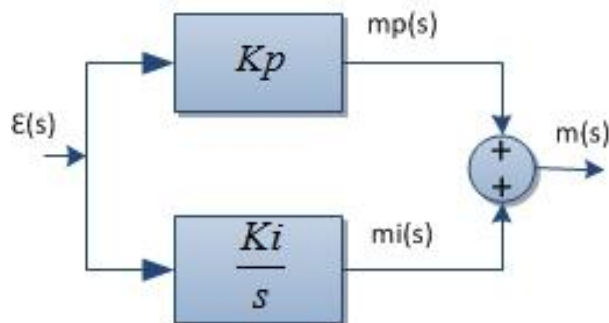


Figura 53 – Controlador Proporcional-Integral.

Fonte: Autor.

A função no domínio contínuo do controlador da Figura 53 é:

$$\frac{m(s)}{\varepsilon(s)} = Kp + \frac{Ki}{s} \quad (55)$$

Onde $m(s)$ é saída do PI, $\varepsilon(s)$ é a entrada do PI, Kp é o ganho proporcional e Ki é o ganho integral do controlador. É possível escrever a Equação 55 da seguinte forma:

$$m(s) = Kp \cdot \varepsilon(s) + \frac{Ki}{s} \cdot \varepsilon(s) \quad (56)$$

Para discretizar o controlador PI é aplicado a transformação de Euler na Equação 56, obtendo:

$$m(z) = Kp \cdot \varepsilon(z) + \frac{Ki}{\frac{z-1}{z \cdot Ts}} \cdot \varepsilon(z) \quad (57)$$

Onde Ts corresponde ao período de amostragem e de acordo com o método Backward Euler :

$$s = \frac{z-1}{z \cdot Ts} \quad (58)$$

É possível escrever a Equação 57 da seguinte forma:

$$m(z) = \frac{Kp \cdot \varepsilon(z) \cdot (z-1)}{z-1} + \frac{Ki \cdot z \cdot Ts}{z-1} \cdot \varepsilon(z) \quad (59)$$

$$m(z) \cdot (z-1) = Kp \cdot (z-1) \cdot \varepsilon(z) + Ki \cdot z \cdot Ts \cdot \varepsilon(z) \quad (60)$$

$$m(z) \cdot z = Kp \cdot z \cdot \varepsilon(z) + Ki \cdot z \cdot Ts \cdot \varepsilon(z) + m(z) - Kp \cdot \varepsilon(z) \quad (61)$$

Aplicando a transformada z inversa na Equação 61 é obtido:

$$m(k) = Kp \cdot \varepsilon(k) + Ki \cdot Ts \cdot \varepsilon(k) + m(k-1) - Kp \cdot \varepsilon(k-1) \quad (62)$$

Sabendo que:

$$mi(k-1) = m(k-1) - Kp \cdot \varepsilon(k-1) \quad (63)$$

Logo, tem-se a seguinte equação de diferenças (Figura 54):

$$m(k) = K_p \cdot \varepsilon(k) + K_i \cdot T_s \cdot \varepsilon(k) + m_i(k - 1) \quad (64)$$

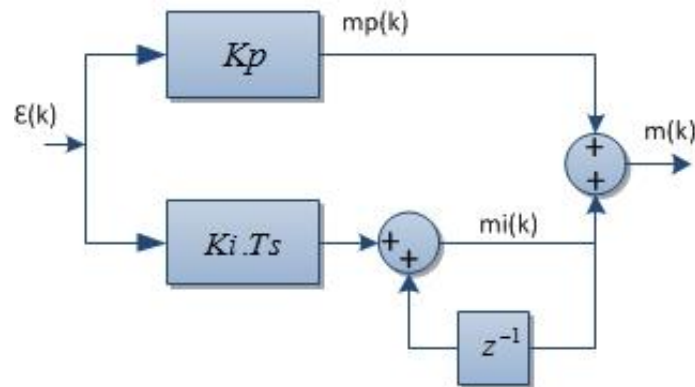


Figura 54 - Controlador Proporcional-Integral Discreto.
Fonte: Autor.

5.11 Controlador PI com Anti-windup

Durante transitórios ou na ocorrência de saturações internas das malhas de controle, quando um erro assume valores elevados por longo tempo, a saída da parte integral do controlador pode atingir valores elevados. Esse fenômeno é conhecido como *windup*. Como consequência, transitórios longos com elevado sobre-sinal podem ocorrer, uma vez que o tempo integral irá demorar a sair da situação de saturação, requerendo ainda que o erro assumira sinal contrário ao existente no início do transiente, causando sobre-sinal. Isto pode ser evitado prevendo-se um bloco *anti-windup* que restrinja a ação integral quando o erro for muito elevado (MARTINZ, 2007).

De acordo com (BUSO; MATTAVELLI, 2006) uma maneira eficiente de limitar os erros elevados de transitórios é mostrado na Figura 55, onde a ação proporcional possui um limite fixo e na ação integral um novo limite é calculado a cada iteração de controle e se necessário a saída integrante é limitada.

Portanto, o limite máximo da ação proporcional é fixo e dado por m_{max} e o limite da ação integral $Li(k)$ é dinâmico e dado por:

$$Li(k) = m_{max} - |K_p \cdot \varepsilon(k)| \quad (65)$$

Onde $\varepsilon(k)$ é o k-ésimo valor de erro, ou seja, a entrada do PI.

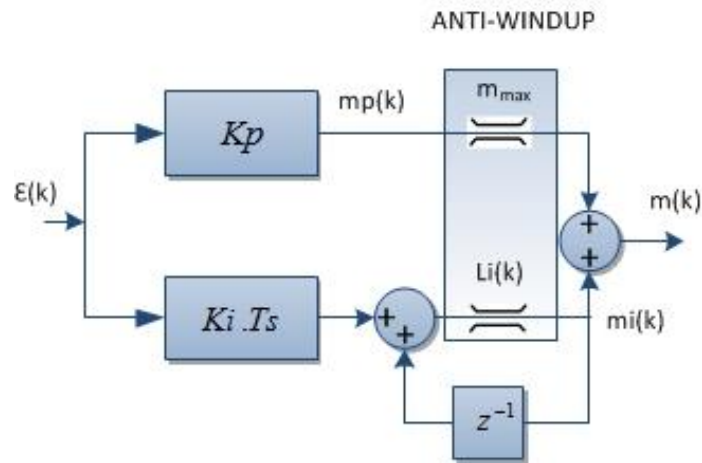


Figura 55 - Controlador Proporcional-Integral com anti-windup.
Fonte: Autor.

Esta estratégia *Anti-Windup* foi utilizada para os controladores PI nesse trabalho.

5.12 Discretização do controlador ressonante

Usando a técnica de discretização bilinear (método de Tustin) onde:

$$s = K_t \left(\frac{z-1}{z+1} \right) = \frac{2}{T_s} \left(\frac{z-1}{z+1} \right) \quad (66)$$

Onde T_s é o período de amostragem e sabendo que a função de transferência do controlador ressonante é:

$$G_{ress}(s) = \frac{Y(s)}{E(s)} = \frac{2K_i \omega_{cut} s}{s^2 + 2\omega_{cut} s + \omega^2} \quad (67)$$

Substituindo a Equação 66 na Equação 67, obtém o domínio discreto z da função de transferência do controlador ressonante dada pela Equação 68 (TEODORESCU *et al.*, 2006).

$$G_{ress}(z) = \frac{Y(z)}{E(z)} = \frac{a_0 z^{-1} - a_1 z^{-2}}{b_0 - b_1 z^{-1} + b_2 z^{-2}} \quad (68)$$

$$a_0 = a_1 = 2K_i K_t \omega_{cut}$$

$$b_0 = b_2 = K_t^2 + 2K_t \omega_{cut} + \omega^2$$

$$b_1 = 2K_t^2 - 2\omega^2$$

Aplicando a transformada inversa z na Equação 68 é obtida a seguinte equação de diferenças (TEODORESCU *et al.*, 2006):

$$y(k) = \frac{1}{b_0} \{a_1[e(k-1) - e(k-2)] + b_1y(k-1) - b_2y(k-2)\} \quad (69)$$

5.13 PLL

PLL (*Phased Locked Loop*) é um algoritmo em malha fechada para a detecção precisa e rápida da frequência e do ângulo de fase da onda fundamental de um sinal. É bastante utilizado devido à sua rápida convergência e precisão (PÁDUA, 2006)

Constituem-se basicamente de um detector de fase, um filtro passa-baixas e um oscilador controlado por tensão. Este último é responsável pelo sinal que será comparado com o sinal de entrada no detector de fase, como na Figura 56 (PÁDUA, 2006).

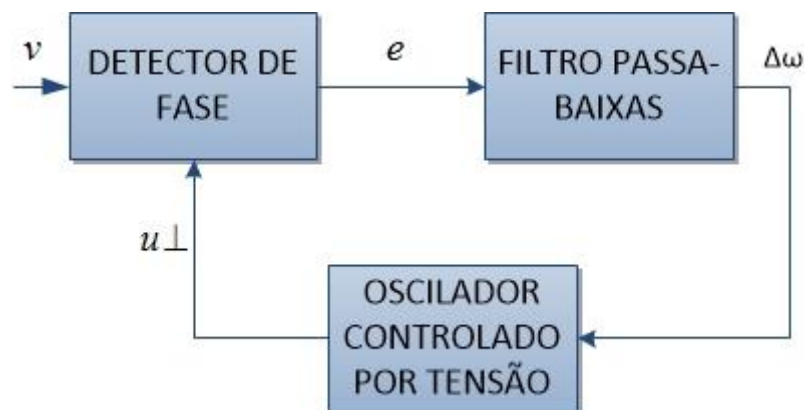


Figura 56 - Diagrama representativo de um PLL genérico.
Fonte: Autor.

No detector de fase, um sinal de entrada v é comparado com um sinal u_{\perp} , idealmente ortogonal a ele, sintetizado pelo PLL. Caso a diferença de fase não seja de 90° , um sinal de erro é gerado e filtrado, sendo interpretado como um desvio de frequência $\Delta\omega$ que ajustará, pelo Oscilador Controlado, o sinal u_{\perp} para o próximo passo de cálculo. Sendo assim, é possível identificar a frequência e a fase fundamental do sinal de entrada através do sinal u_{\perp} (PÁDUA, 2006).

A teoria utilizada para construir a estrutura do PLL implementado neste trabalho é a de ortogonalidade de vetores. De acordo com (STEINBRUCH; WINTERLEE, 1987), dois vetores u e v , quando fatores de um produto escalar, resultam em:

$$v \cdot u = v_a \cdot u_a + v_b \cdot u_b + \dots + v_n \cdot u_n = \sum_{i=0}^n v_i \cdot u_i \quad (70)$$

E ainda, deve-se saber, que dois vetores serão ortogonais se e somente se a média do produto escalar desses vetores em um determinado período for nula, assim, conclui-se que a Equação 71, aplicada a implementação digital para sinais senoidais, será nula quando os vetores v e u forem ortogonais.

$$\overline{v[k] \cdot u[k]} = \frac{1}{T_1} \sum_{k=N}^k \left(\sum_{i=0}^n v_i[k] \cdot u_i[k] \right) = 0 \quad (71)$$

Onde T_1 é o período da componente fundamental, N é o número de amostras por período, n é a dimensão dos vetores v e u , e k é o índice da amostra em um dado instante.

5.13.1 PLL monofásico

Baseado nas informações descritas acima é possível definir o diagrama de blocos que representa o PLL monofásico, mostrado na Figura 57. O sinal de referência dp^* é igual a zero, deste modo o valor médio do produto escalar dos vetores v e u deverá tender a zero se ambos forem ortogonais entre si. Em (PÁDUA, 2006) mostra que um controlador Proporcional + Integral (PI) consegue deixar o PLL com uma resposta transitória rápida e sem erro estacionário para a frequência fundamental e o ângulo de fase.

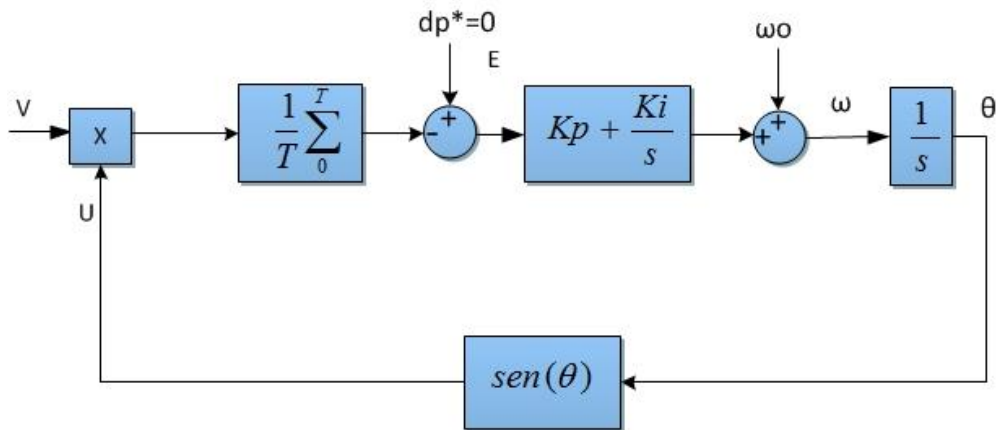


Figura 57 – Modelo PLL monofásico.
Fonte: Autor.

O algoritmo do PLL funciona da seguinte forma: o sinal amostrado da tensão da rede v é multiplicado pelo sinal u . A seguir, determina-se o valor médio do resultado do produto escalar entre v e u , que será utilizado como valor de comparação com o valor de dp^* , que é igual a zero. Havendo ortogonalidade entre os sinais v e u , o valor médio do resultado do produto tende a zero. O erro ou diferença entre dp^* e o resultado do valor médio serve como sinal de entrada ao controlador PI, cuja função é de anular o erro e juntamente com o incremento de ω_0 ($2\pi 60$ rad/s) sintetizar em sua saída, a frequência angular fundamental ω de v . O valor de ω é integrado através da função $1/s$, resultando no ângulo de fase θ , que representa o ângulo de fase de v e que varia de 0 a 2π radianos. Calculando-se o seno de θ , sintetiza-se então o sinal u , ortogonal a v .

O cálculos dos ganhos do controlador PI que determinam ao PLL uma resposta rápida, boa dinâmica de desempenho e erro de regime nulo, além de ser robusto a transitórios e ruídos na entrada são detalhados em (PÁDUA, 2006).

O PLL implementado nesse projeto é responsável por gerar um sinal sincronizado com a rede elétrica, para que o inversor sintetize em sua saída um sinal de tensão em fase com a mesma. Porém durante uma interrupção da rede, o algoritmo não pode interromper a geração do sinal de referência. Para que isso não ocorra, a lógica implementada neste algoritmo continua gerando este sinal sem nenhuma modificação.

Para ilustrar o funcionamento do PLL monofásico proposto e mostrar o seu desempenho, a Figura 58 mostra a entrada (senóide em azul), a senóide ortogonal (em vermelho) e o argumento Teta (parte inferior da figura) variando entre $0 \leq \text{Teta} \leq 2\pi$.

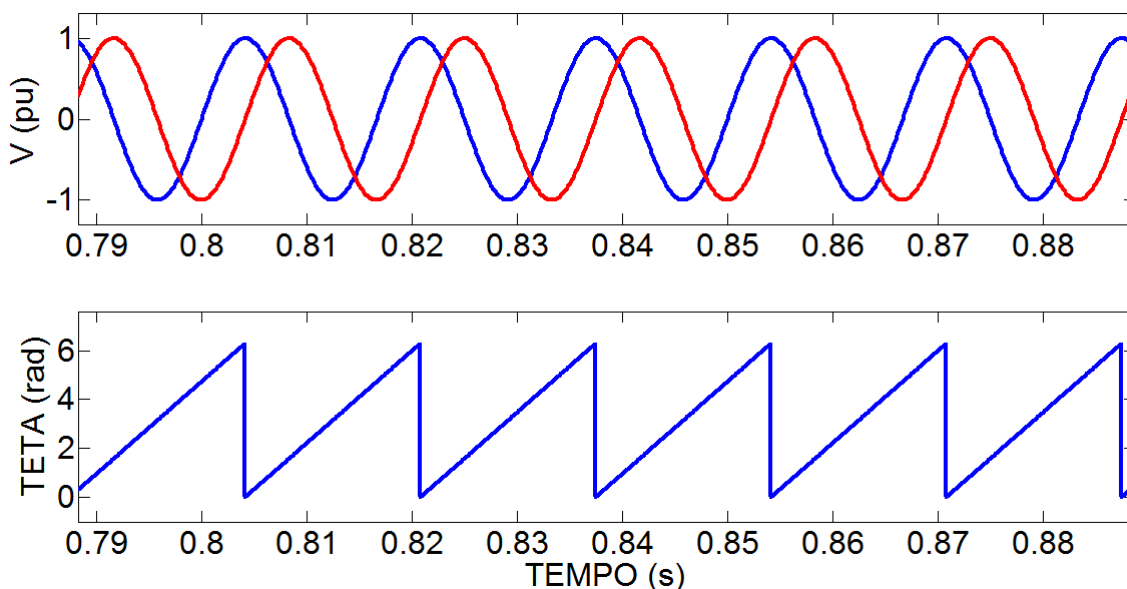


Figura 58 – PLL: Entrada, senóide ortogonal e argumento.
Fonte: Autor.

5.14 Conclusão

Nesse capítulo foi apresentado um modelo analítico de projeto de controladores para um inversor monofásico que possui duas malhas de realimentação, uma de tensão e outra de corrente. O capítulo apresentou a modelagem da planta e detalhou o projeto de dois tipos de controladores: proporcional-integral e proporcional-ressonante.

Em geral o controlador proporcional-integral, para sinais de referência alternados, garante um comportamento transitório adequado, porém em estado estacionário não garante erro nulo. Porém, com o uso do controlador P+Ress, que introduz um alto ganho em uma frequência de ressonância selecionada, é possível eliminar o erro em regime permanente desta frequência.

Para o projeto de ambos controladores foi levado em conta o atraso da resposta dinâmica do modulador PWM digital, que é um fator que limita os

ganhos do compensador. São mostradas também como essas limitações influenciam no rastreamento do sinal de referência.

Este capítulo ainda apresentou um algoritmo PLL (*Phased Locked Loop*), responsável por gerar um sinal sincronizado com a rede elétrica.

No próximo capítulo será apresentada a chave estática de transferência, juntamente com suas possíveis topologias de construção e seus algoritmos de controle.

6 - CAPÍTULO - CHAVE ESTÁTICA DE TRANSFERÊNCIA

Neste capítulo é apresentada e analisada a chave estática de transferência que fará o desligamento de uma fonte de alimentação quando esta apresentar problemas, permitindo que a carga seja alimentada através de uma fonte auxiliar. No caso de uma fonte ininterrupta de energia, ela é usada para realizar a transferência do modo rede para o modo bateria e vice-versa. Também é apresentado o algoritmo de controle da chave estática de transferência e dois diferentes métodos de detecção de distúrbios: o primeiro método é baseado no sistema de coordenadas dq e o segundo baseado na detecção de amplitude por PLL. Cada método utiliza um algoritmo específico para detectar o valor de pico de tensão nas fontes de alimentação. Se detectado algum distúrbio, ocorre a transferência da alimentação da carga.

Também são analisadas e comparadas duas topologias distintas de chave estática de transferência. Uma topologia, que é convencional na literatura, composta por tiristores e outra composta por IGBTs.

6.1 STS (Static Transfer Switch)

A chave estática de transferência permite a transferência muito rápida da alimentação de uma carga de uma fonte de alimentação para outra fonte alternativa, proporcionando fornecimento de energia adequado para a mesma diante dos vários problemas de qualidade de energia que afetam a rede elétrica, tais como: reduções e elevações de tensão, interrupções, entre outros.

Na Figura 59, há duas fontes de tensão no circuito, uma fonte preferencial (rede) e uma alternativa (inversor). Em operação normal, a carga é alimentada pela rede. Quando ocorre alguma perturbação, a alimentação da carga é transferida para a fonte alternativa. Após a perturbação, a carga é transferida para a rede novamente. No esquema elétrico há sensores de corrente e tensão, onde os sinais provenientes dos sensores passam por um circuito de condicionamento para ajustar os níveis de tensão para as entradas

do conversor A/D do processador TMS320F28335 utilizado no sistema. A chave estática é acionada através de um driver isolado que, na Figura 59, é representado através de um circuito isolador. O buffer é utilizado para acionar o circuito isolador, pois o DSC apresenta baixa capacidade de corrente de saída nos seus terminais.

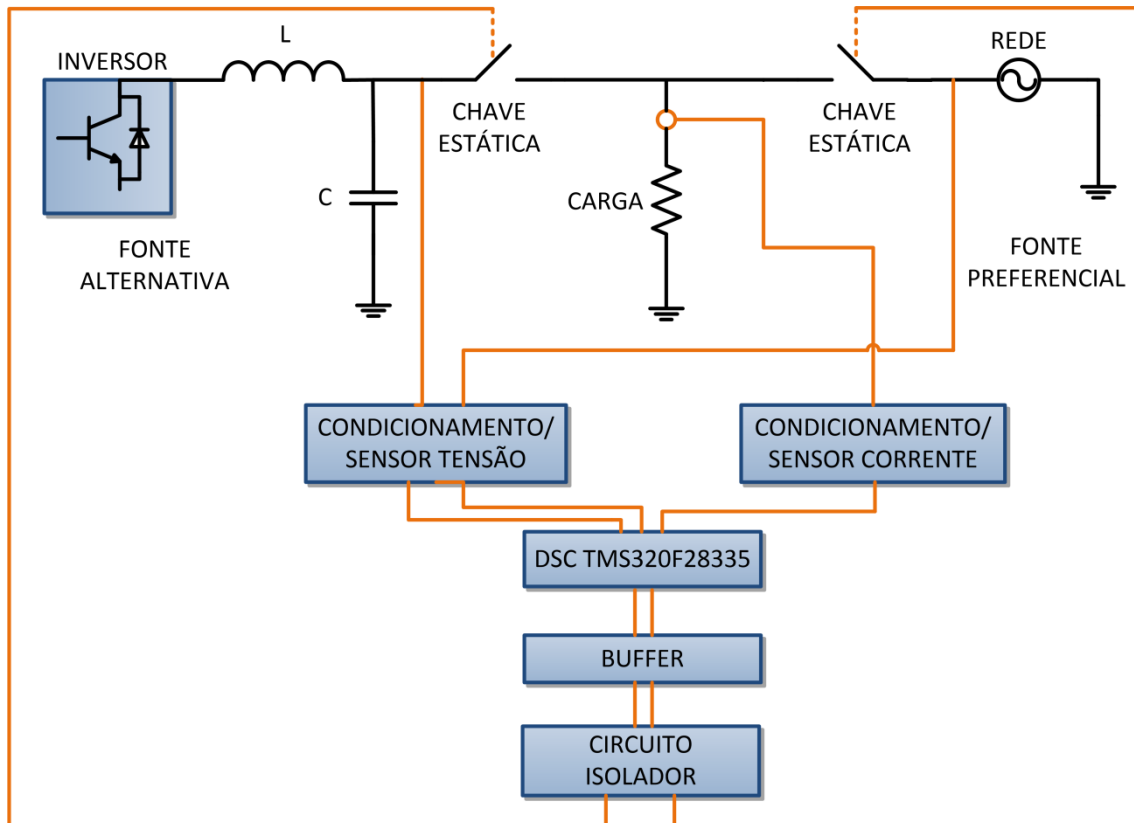


Figura 59 – Esquema elétrico da chave estática de transferência.
Fonte: Autor.

6.2 Estratégias de controle da chave estática de transferência

Nessa seção serão discutidos os algoritmos de controle da chave estática de transferência. Serão apresentados dois diferentes métodos de detecção de valor de pico do sinal de tensão da rede elétrica: o primeiro método é baseado no sistema de coordenadas dq e o segundo é baseado na detecção de amplitude por PLL.

Em ambos os métodos há o rastreamento do valor de pico do sinal de tensão das fontes, que determina a ocorrência de um distúrbio, caracterizado

como uma redução do valor de pico da tensão (*sag*) ou elevação deste valor (*swell*), como mostra a Figura 60.

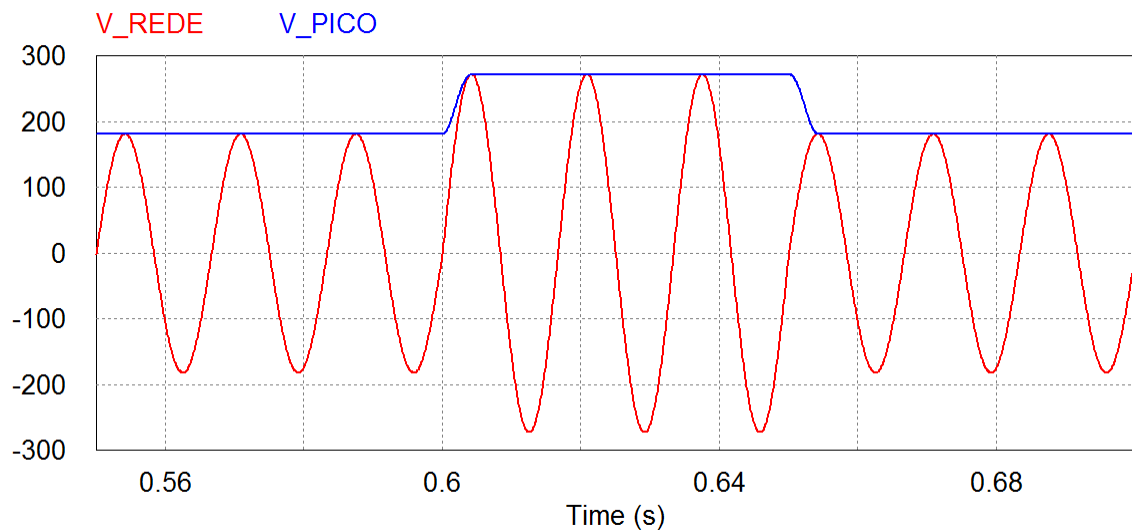


Figura 60 – Rastreamento do valor de pico da tensão da rede.
Fonte: Autor.

6.2.1 Método baseado no sistema de coordenadas dq

6.2.1.1 Transformação de Clarke

A transformação de Clarke consiste em representar um sistema de grandezas vetoriais trifásicas de soma nula (ou seja, sem componente homopolar), tais como tensões ou correntes em um sistema ortogonal bifásico $\alpha\beta$ (JORGE, 2009).

A conversão do sistema trifásico abc num sistema estático $\alpha\beta 0$ caracteriza-se pela equação:

$$\begin{bmatrix} V\alpha \\ V\beta \\ V0 \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \\ \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} & \frac{1}{\sqrt{2}} \end{bmatrix} \cdot \begin{bmatrix} Va \\ Vb \\ Vc \end{bmatrix} \quad (72)$$

A transformação da Equação 72 converte um sistema trifásico em um bifásico, se a componente homopolar for nula. Na Figura 61 encontra-se representado o diagrama fasorial desta conversão.

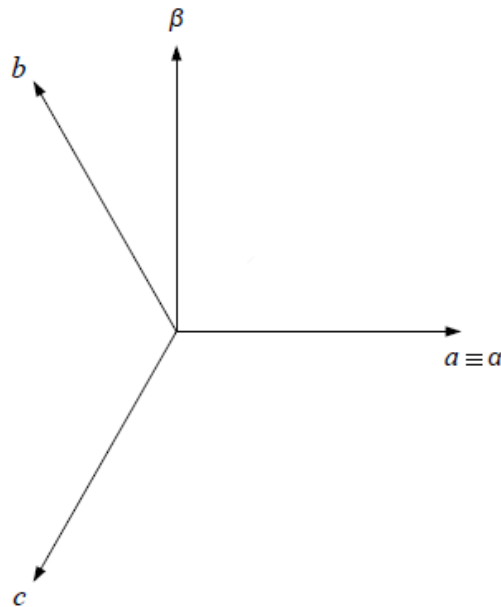


Figura 61 - Diagrama fasorial da Transformação de Clarke.
Fonte: (JORGE, 2009).

O eixo α encontra-se coincidente com o eixo da fase a, em zero graus e com o mesmo valor de amplitude. O eixo β possui a mesma amplitude de α , mas está adiantado 90° em relação ao mesmo.

6.2.1.2 Transformação de Park

A transformação de Park consiste na passagem do referencial bifásico $\alpha\beta$, para um referencial ortogonal bifásico dq, síncrono com a tensão da rede, que roda a uma velocidade angular ω e que faz um ângulo θ com o eixo α . Este referencial encontra-se representado na Figura 62. O eixo d representa a componente direta das tensões ou correntes, e o eixo q representa a componente em quadratura das tensões ou correntes a transformar (JORGE, 2009).

Uma das grandes vantagens desta transformação consiste no fato de que as tensões ou as correntes, após a transformação, tomam-se valores

contínuos e não mais senoidais, tornando-se assim num sistema invariante no tempo (JORGE, 2009).

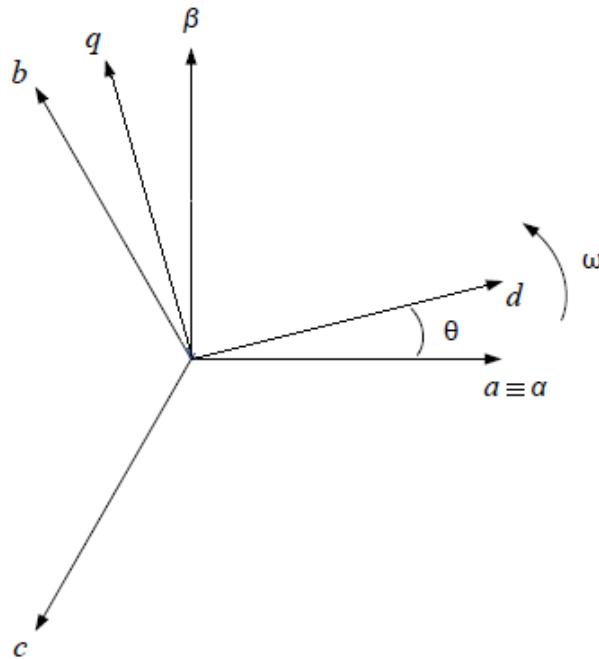


Figura 62 - Diagrama fasorial da Transformação de Park.
Fonte: (JORGE, 2009).

A matriz de transformação do referencial bifásico $\alpha\beta$, para o referencial ortogonal bifásico dq , síncrono é dada pela Equação 73:

$$\begin{bmatrix} Vd \\ Vq \end{bmatrix} = \begin{bmatrix} \cos \theta & \sin \theta \\ -\sin \theta & \cos \theta \end{bmatrix} \cdot \begin{bmatrix} V\alpha \\ V\beta \end{bmatrix} \quad (73)$$

O ângulo θ é encontrado através da utilização do algoritmo PLL, que produz um sinal síncrono com a rede elétrica.

O resultado da transformação do sistema $\alpha\beta$ para o sistema síncrono girante são dois sinais contínuos d e q , cujos valores dependem da amplitude dos sinais $\alpha\beta$ e que conseqüentemente dependem dos sinais do sistema trifásico abc .

Também é possível obter a transformação direta do sistema do sistema trifásico abc para o sistema síncrono dq através da equação abaixo:

$$\begin{bmatrix} Vd \\ Vq \end{bmatrix} = \frac{2}{3} \cdot \begin{bmatrix} \cos \theta & \cos \left(\theta - \frac{2\pi}{3} \right) & \cos \left(\theta + \frac{2\pi}{3} \right) \\ \sin \theta & \sin \left(\theta - \frac{2\pi}{3} \right) & \sin \left(\theta + \frac{2\pi}{3} \right) \end{bmatrix} \cdot \begin{bmatrix} Va \\ Vb \\ Vc \end{bmatrix} \quad (74)$$

6.2.1.3 Estratégia de detecção de distúrbio do método baseado no sistema de coordenadas dq

O método de detecção de distúrbio baseado no sistema de coordenadas dq é mostrado na Figura 63. Pelo fato desse trabalho ser um sistema monofásico é necessário que o sinal de tensão amostrado sirva de entrada para o bloco “ABC FICTÍCIO” onde serão gerados três sinais: V_a , V_b e V_c que são idealmente defasados de 120° entre si e que possuem a mesma amplitude (a soma vetorial dos três sinais é nula, ou seja, sem componente homopolar) e que por sua vez estarão sujeitos a transformada dada pela Equação 74.

Depois dos três sinais idealmente defasados serem transformados em componentes d e q, é obtido a raiz quadrada das somas dos quadrados dessas componentes. O valor obtido é então subtraído de uma referência de valor 1 e obtido seu valor em módulo, conforme a Equação 75.

$$V_s = \left| 1 - \sqrt{V_d^2 + V_q^2} \right| \quad (75)$$

O resultado do módulo está sujeito a um comparador de histerese e por fim a saída desse comparador é o sinal de detecção de distúrbio. O sinal é alto quando ocorre um distúrbio e baixo quando não ocorre.

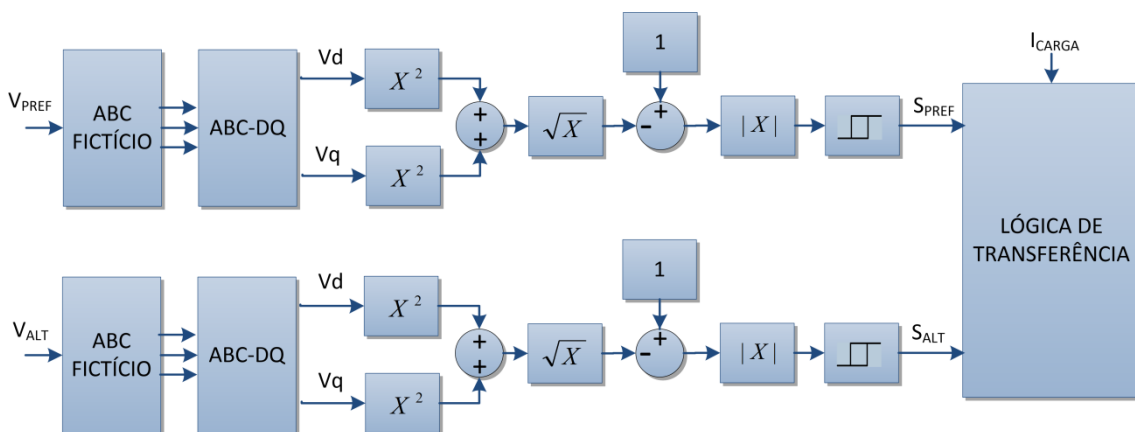


Figura 63 - Método baseado no sistema de coordenadas dq.

Fonte: Autor.

6.2.2 Método baseado na detecção de amplitude por PLL

Este método é baseado no algoritmo de detecção de sequência positiva usando PLL proposto por (PÁDUA; DECKMANN; MARAFÃO, 2005). A Figura 64, mostra em detalhe o método, onde o sinal de tensão amostrado serve de entrada para o algoritmo PLL, que é utilizado para a determinação do ângulo de fase do sinal da tensão. A partir desse ângulo, calculando-se o seno, se produz um sinal senoidal em fase com o sinal de entrada e com amplitude igual a 1. Na seqüência é feito o produto escalar dos dois sinais em fase, que resulta em um sinal cujo valor médio multiplicado por dois é igual ao valor de pico da componente fundamental do sinal de entrada. O valor de pico é então subtraído do valor unitário que corresponde a 1 pu e o resultado do módulo desta subtração está sujeito a um comparador de histerese, exatamente igual ao método baseado no sistema de coordenadas dq.

Por fim a saída do comparador de histerese é o sinal de detecção de distúrbio. O sinal é alto quando ocorre um distúrbio e baixo quando não ocorre. O sinal de detecção de distúrbio é utilizado como sinal de entrada para a lógica de transferência da chave estática.

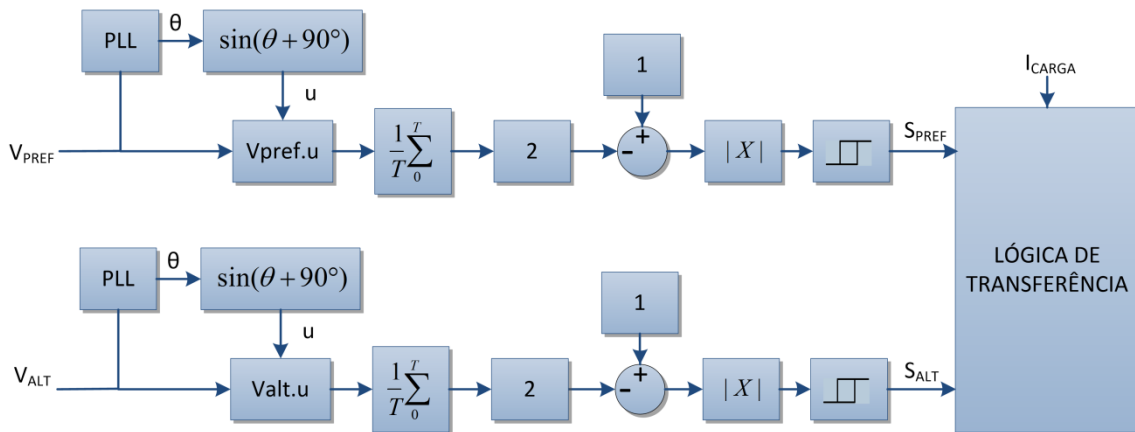


Figura 64 - Método baseado na detecção de amplitude por PLL.
Fonte: Autor.

6.2.3 Descrição do controle da chave estática de transferência

Para controle do acionamento e bloqueio da chave estática de transferência é necessário a detecção dos sinais de tensão da fonte preferencial e auxiliar. Esta detecção consiste em monitorar os valores de pico destas tensões através da utilização de um dos algoritmos já citados.

Quando a tensão de uma das fontes sofrer elevação ou redução do seu valor de pico, significa que a fonte está passando por um distúrbio.

Depois da detecção do distúrbio, a mesma lógica de transferência é aplicada em ambos os métodos, e através dela os sinais de disparo para a chave estática são gerados, tanto para a conectada na fonte preferencial quanto para a conectada na fonte alternativa. Na lógica de transferência, o sinal de corrente da alimentação de carga é monitorado.

A lógica de transferência obedece aos seguintes critérios:

- Se não há detecção de distúrbio na fonte preferencial, a chave estática conectada a fonte preferencial conduzirá;
- Se há a detecção de distúrbio somente na fonte preferencial, a carga é transferida para a fonte alternativa;
- Se em ambas as fontes forem detectados distúrbios, a carga continuará alimentada pela fonte preferencial.

6.2.4 Fluxograma dos métodos de controle da chave estática

Os sinais V_{PREF} , V_{ALT} e I_{CARGA} são adquiridos pelo conversor analógico-digital do processador e convertidos em valores por unidade (pu). Esses valores servem de entrada para o cálculo da amplitude do valor de pico das tensões das fontes, conforme pode ser visto no fluxograma da Figura 65.

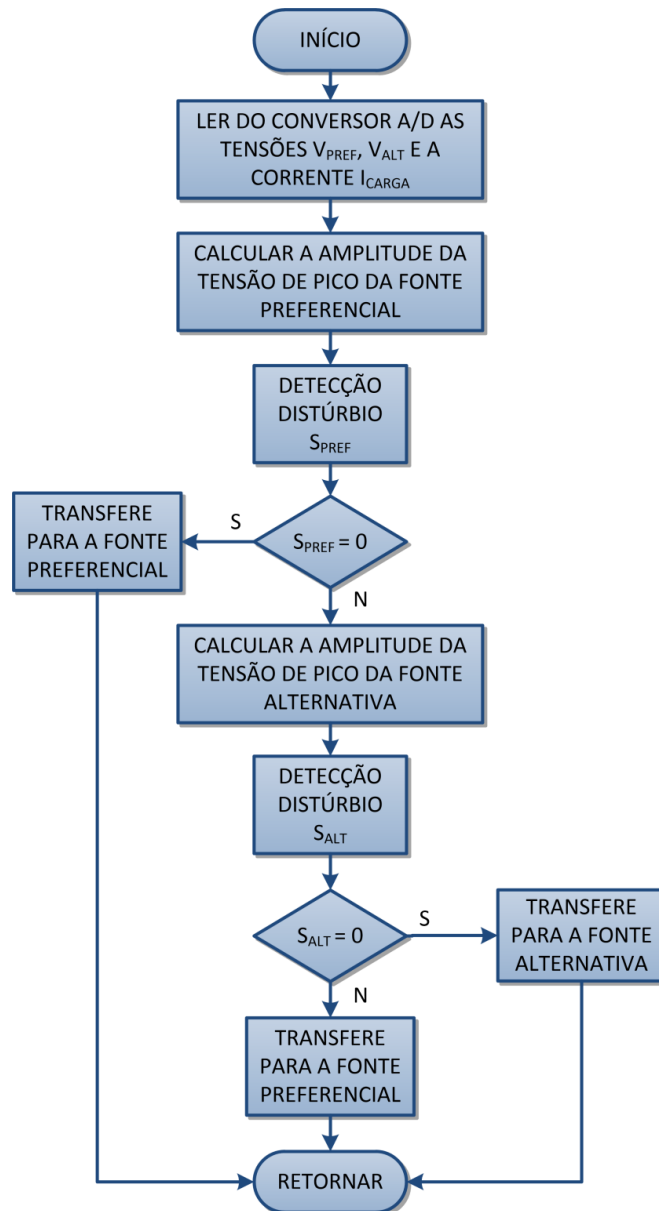


Figura 65 - Fluxograma do método de controle da chave estática.
Fonte: Autor.

Depois da detecção ou não do distúrbio, a lógica de transferência é aplicada. A chave estática de transferência transfere a alimentação da carga para a fonte preferencial ou fonte alternativa de acordo com a necessidade.

- $S_{PREF} = 0$

Essa situação ocorrerá quando não houver a detecção de distúrbio na fonte preferencial;

- $S_{PREF} = 1$ E $S_{ALT} = 0$

Essa situação ocorrerá quando houver a detecção de distúrbio somente na fonte preferencial.

- $S_{PREF} = 1$ E $S_{ALT} = 1$

Apenas ocorrerá se em ambas as fontes for detectado algum distúrbio.

6.2.5 Função Histerese

Tanto o método baseado no sistema de coordenadas dq quanto o método baseado na detecção de amplitude por PLL calculam a amplitude do sinal e essa amplitude é subtraída de uma referência de 1 pu e o módulo do resultado dessa subtração é enviado para uma função de histerese.

É comum em montagens práticas a presença de ruídos que afetam a estabilidade dos sinais. Com o uso da função Histerese é possível suprimir esses efeitos no sinal de detecção de distúrbio gerado pelos métodos de rastreamento do valor de pico do sinal da tensão. Com isso há uma maior estabilidade deste sinal, garantindo que não ocorra transferência da alimentação da carga de forma indevida. (UGRAS, 2010).

O diagrama de bloco e o fluxograma da função Histerese são mostrados respectivamente nas Figura 66 e Figura 67.

O princípio de funcionamento da função histerese é quando a entrada X exceder 0,1 pu, a saída X2 será alta (nível lógico 1) e quando estiver abaixo de 0,04 pu, X2 estará em nível lógico baixo. Porém, quando a entrada estiver entre 0,1 e 0,04 pu o sinal de saída dependerá do estado que estiver na própria saída no instante anterior.

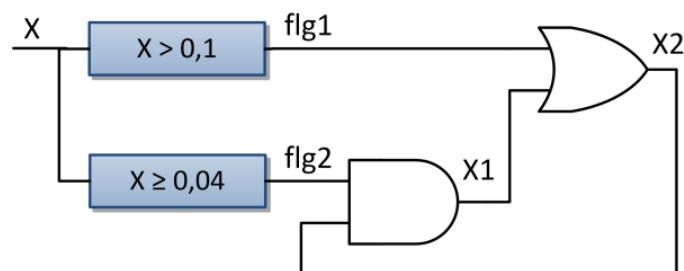


Figura 66 - Diagrama de bloco da função Histerese.
Fonte: Autor.

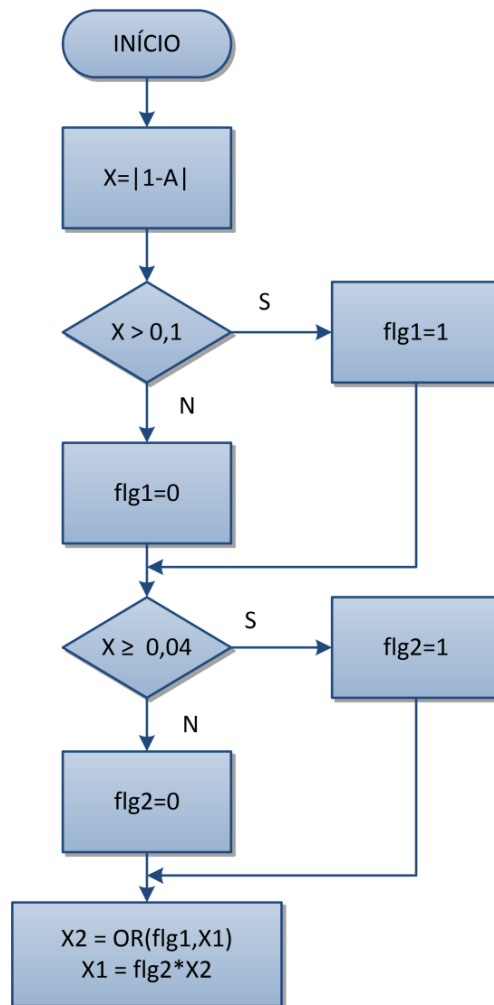


Figura 67 - Fluxograma da função Histerese.
Fonte: Autor.

6.3 Topologia com Tiristores

A Figura 68 ilustra a chave estática de transferência, construída com dois TRIACs, modelo TIC226D. Cada TRIAC suporta 8 A (valor eficaz) e 70 A (valor de pico). Esse dispositivo apresenta tensão máxima de bloqueio de 400 V e tipicamente corrente de 20 mA em seu terminal *gate* para acionamento.

É importante ressaltar que nessa topologia, quando há a detecção de distúrbio em uma fonte, a alimentação da carga é transferida para a outra fonte apenas no cruzamento por zero da corrente da carga, para que não ocorra um curto-circuito entre as fontes.

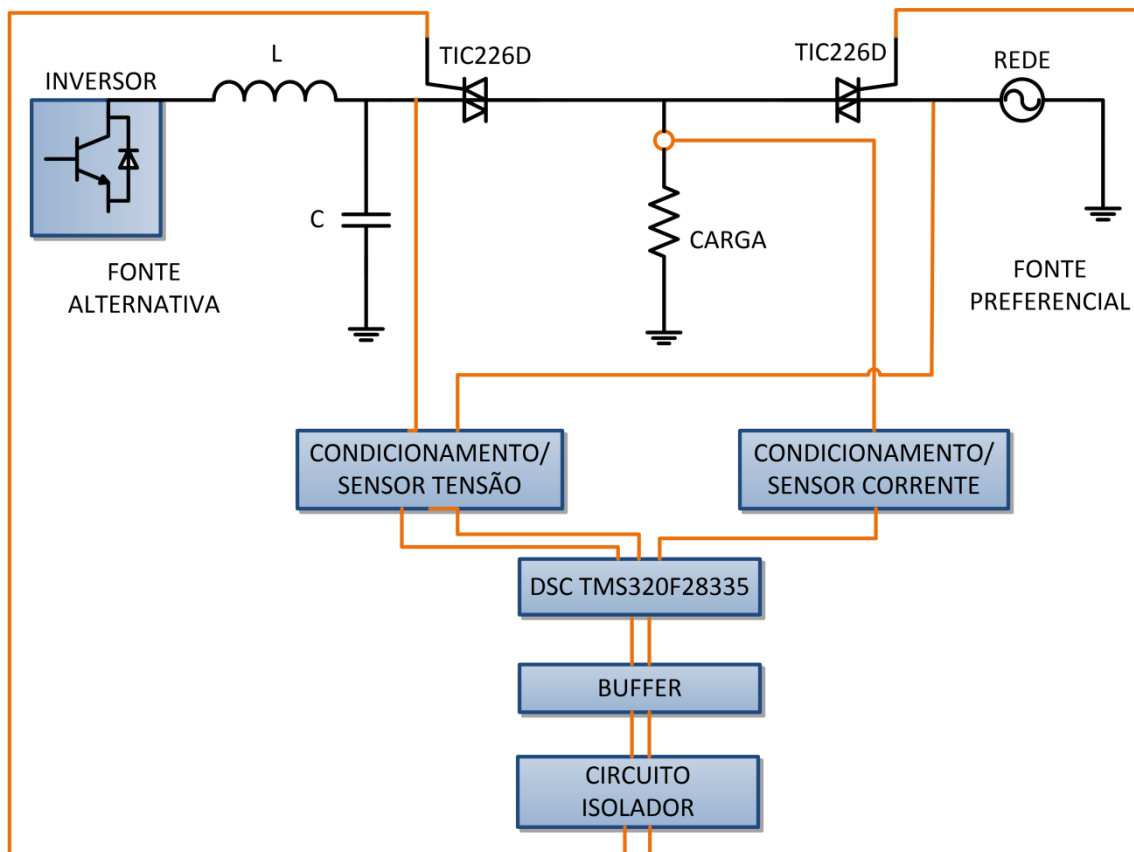


Figura 68 – Esquema elétrico da STS com tiristor.
Fonte: Autor.

6.4 Topologia com IGBTs

É muito comum na literatura (DEUS, 2011), (UGRAS, 2010) e (MOSCHAKIS; HATZIARGYRIOU, 2003) a utilização de tiristores, principalmente o SCR (*Silicon Controlled Rectifier*) ou TRIAC (*Triode for Alternating Current*) na implementação da STS. Esses dois dispositivos comportam-se como uma chave de retenção, uma vez disparados e em condução, não podem ser bloqueados. A única forma de bloquear um tiristor é através da redução do valor da corrente de ânodo para um valor abaixo do da corrente de manutenção (corrente mínima de ânodo que mantém o tiristor em condução). Essa característica torna os tiristores dispositivos lentos no bloqueio, com controle apenas do seu acionamento ou comutação do estado de bloqueio para o estado de condução e não o inverso. Devido ao tempo de espera para que o valor da corrente que circula pelo tiristor se torne menor que o da corrente de manutenção, necessário para o bloqueio, o desempenho da

STS com tiristores fica comprometido durante a transferência da alimentação da carga entre as fontes.

É possível construir uma chave bidirecional em corrente, controlada em as ambas as situações, transição de bloqueio para condução e vice-versa, utilizando-se IGBTs e diodos, dispositivos unidirecionais (KAZMIERKOWSKI; BLAABJERG; KRISHNAN, 2002). A Figura 69 ilustra duas topologias de chave bidirecional, onde são utilizados dois transistores na configuração emissor-comum com dois diodos (Figura 69 (a)), e dois transistores na configuração coletor-comum com dois diodos (Figura 69 (b)).

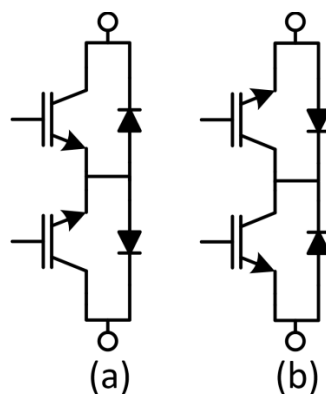


Figura 69 – Topologias de chave bidirecionais usando IGBT.
Fonte: Autor.

6.5 Etapas de comutação do interruptor bidirecional na configuração emissor-comum

A transferência da alimentação da carga da “Fonte 1” para a “Fonte 2” ocorre em quatro etapas. A chave bidirecional opera em quatro quadrantes como ilustrado na Figura 70. O sentido positivo da corrente é indicado por $I > 0$. Caso o sentido seja invertido, $I < 0$, o processo é análogo ao da Figura 70, com a mesma lógica de comutação.

1ª Etapa: O transistor da fonte preferencial que conduz corrente em sentido contrário a I é bloqueado (o que não está conduzindo). Dessa forma, o sentido da corrente não pode ser invertido.

2ª Etapa: Nesse momento aciona-se o transistor da fonte alternativa que conduz corrente no mesmo sentido da corrente da fonte preferencial. A Figura 70(c) ilustra a corrente de alimentação da carga fluindo tanto da fonte

preferencial quanto da fonte alternativa, porém essa situação dependerá do valor instantâneo de tensão de ambas as fontes. Se, por exemplo, no momento da comutação, a tensão da fonte preferencial for superior ao da fonte alternativa, o diodo da fonte alternativa (que deveria conduzir) estará polarizado inversamente, e com isso a corrente da carga fluirá apenas da fonte preferencial.

Por outro lado, se o valor instantâneo da fonte preferencial for inferior ao da fonte alternativa é o diodo da fonte preferencial (que estava em condução) que é bloqueado e a chave da fonte alternativa assume instantaneamente a corrente de carga.

É importante ressaltar que nessa etapa a corrente flui de maneira unidirecional, ou seja, não há possibilidade da corrente fluir entre as fontes entre si, ocasionando um curto-circuito.

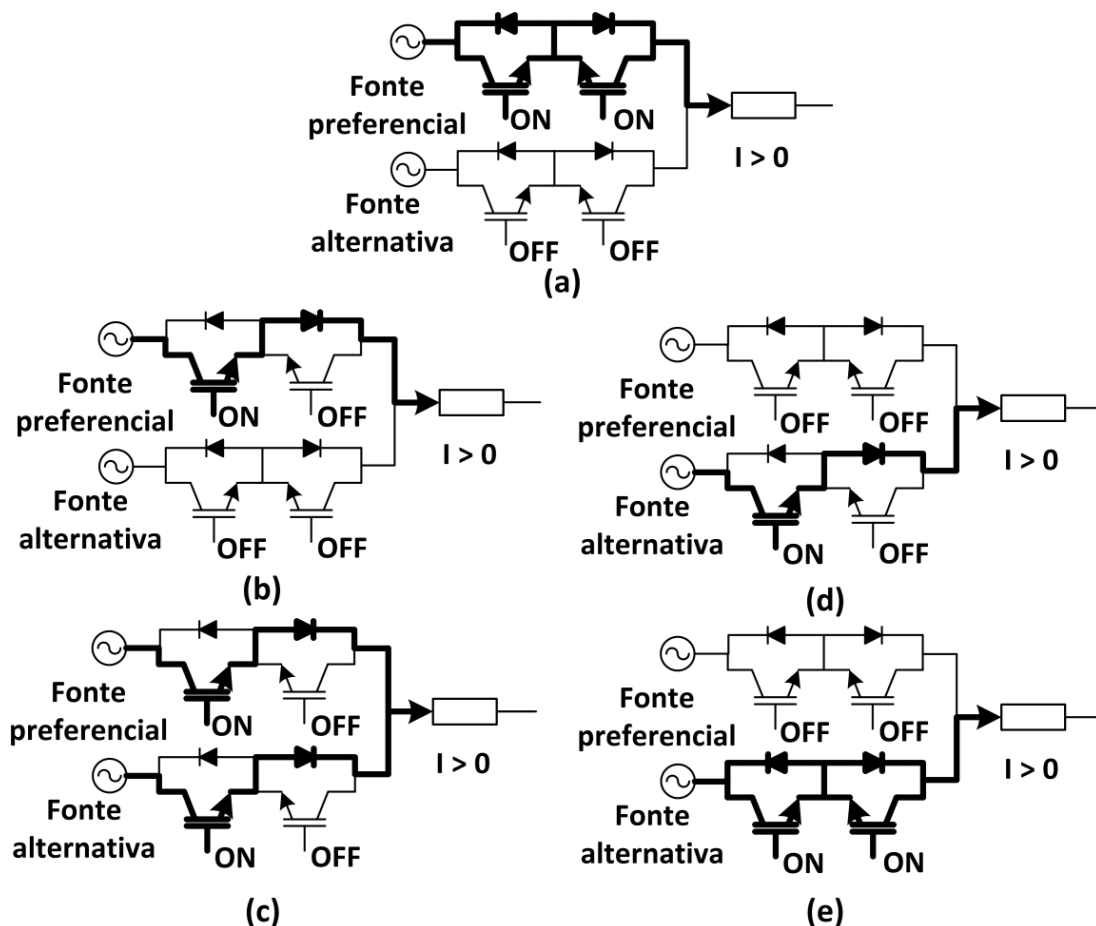


Figura 70 – Ilustração da topologia da STS e suas quatro etapas de funcionamento. (a) Carga alimentada pela fonte preferencial, (b) 1ª Etapa, (c) 2ª Etapa, (d) 3ª Etapa e (e) 4ª Etapa.

Fonte: Autor.

3ª Etapa: O segundo transistor da fonte preferencial que está conduzindo, é bloqueado. Neste momento a corrente de alimentação da carga é somente da fonte alternativa.

4ª Etapa: Aciona-se o segundo transistor da fonte alternativa. Com isto, é possível re-estabelecer a característica da chave bidirecional, para que a corrente possa circular em ambos os sentidos.

O tempo de duração das etapas 1 e 4 não é crítica, pois os transistores não estão conduzindo e também não irão conduzir corrente instantaneamente. Essas etapas podem ocorrer o mais rápido possível.

Em relação às etapas 2 e 3, os transistores entram em condução ou bloqueio do sinal da corrente, sendo consideradas etapas críticas. Este fato deve ser considerado de acordo com as características dos transistores empregados na topologia (KAZMIERKOWSKI; BLAABJERG; KRISHNAN, 2002).

A Figura 71, mostra o esquema elétrico da chave estática de transferência implementada com a topologia do interruptor bidirecional com IGBTs na configuração emissor-comum.

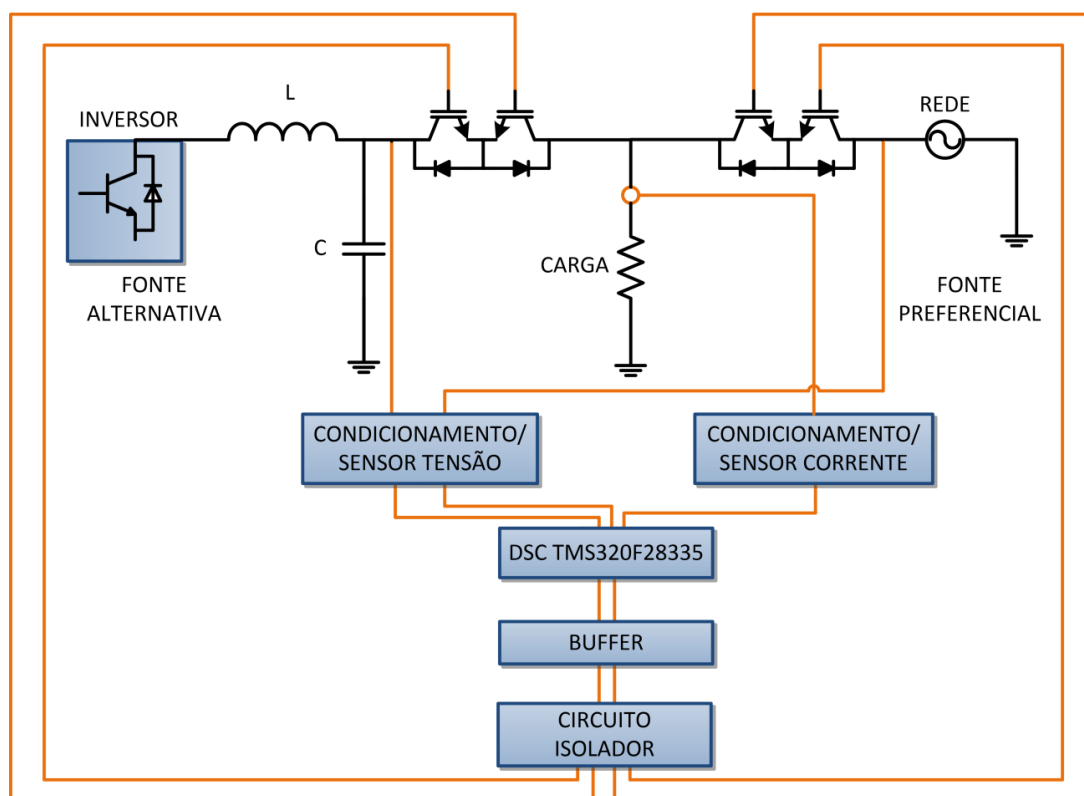


Figura 71 - Esquema elétrico da STS com IGBT.
Fonte: Autor.

6.6 Conclusão

Neste capítulo foram apresentadas duas topologias possíveis de construção física da chave estática de transferência. A topologia que utiliza IGBTs e diodos não é muito comum nesta aplicação, e apresenta a vantagem de poder ser comandado o acionamento e bloqueio, o que, este último não ocorre com a topologia composta por tiristores.

Também foram apresentados dois algoritmos de detecção de distúrbio das fontes de alimentação. O primeiro método é baseado no sistema de coordenadas dq e o segundo é baseado na detecção de amplitude por PLL. Cada método usa um algoritmo específico para detectar o valor de pico de tensão das fontes de alimentação.

O próximo capítulo traz os resultados experimentais e de simulação do controle do inversor monofásico e da chave estática de transferência onde é analisado o desempenho de ambos.

7 - CAPÍTULO - RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

Neste capítulo são apresentados os resultados experimentais e de simulação do controle do inversor monofásico e da chave estática de transferência. Nos testes realizados foram considerados variações ou degraus de carga onde se verifica o comportamento da atuação do controle no inversor. Em relação a STS é apresentada uma avaliação do seu tempo de transferência, além do desempenho dos métodos de detecção de distúrbio e das topologias compostas por tiristores e IGBTs. Os resultados do algoritmo PLL para a detecção do ângulo de fase e da frequência do sinal de tensão da rede elétrica também são apresentados.

7.1 Resultados do controle do inversor monofásico

O circuito da Figura 50, na página 60, foi simulado no *software* PSIM 9.1.1 e implementado em bancada. Os parâmetros do inversor são dados na Tabela 4.

Tabela 4 - Parâmetros do inversor.

Parâmetros do Inversor	
Parâmetros do circuito	Valores
Indutância, Ls	5 mH
Resistência, Rs	1 Ω
Capacitância, C	11,66 μ F
Tensão de pico de saída, Vo	180 V
Frequência de saída, fo	60 Hz
Tensão do barramento CC, Vdc	240 V
Frequência de chaveamento, fs	15 kHz
Pico da onda portadora, cpk	1 V
Ganho do transdutor de corrente, Gti	0,3 V/A
Ganho do transdutor de tensão, Gtv	$7,575 \cdot 10^{-3}$ V/V

Para garantir que o par de transistores de um mesmo “braço” do inversor não conduza simultaneamente, foi inserido um “tempo morto” de 0,5 μ s entre o estado de bloqueio e condução dos transistores.

Os ganhos do controlador proporcional-integral e os do proporcional-ressonante foram projetados de acordo com a teoria abordada. Tanto o projeto do controlador de corrente, quanto o de tensão foram usados 60° de margem de fase. Na malha de corrente, a frequência de cruzamento para ambos os controladores, f_{cl_i} , foi adotada como sendo 2500 Hz, logo $\omega_{cl_i} \cong 15700$ radianos/segundos e a frequência de cruzamento para ambos controladores para malha de tensão, f_{cl_v} , foi de 1200 Hz, portanto $\omega_{cl_v} \cong 7500$ radianos/segundos.

Com base nas Equações 40 e 41 foram calculados os valores de Kp_i e Ki_i para o controlador PI na malha de corrente; e resolvendo o sistema de Equações 46 e 47 foi possível obter os valores dos ganhos controlador PI na malha de tensão, como mostra a Tabela 5.

Tabela 5 - Ganhos dos controladores PI da malha de corrente e tensão.

Ganhos dos controladores PI	
Ganhos	Valores
Kp_i	0,5452
Ki_i	209,5739
Kp_v	3,8646
Ki_v	1,0216

Para o cálculo dos ganhos do controlador P+Ress na malha de corrente foram aplicadas as Equações 50 e 51; e resolvendo o sistema de Equações 53 e 54 foram obtidos os valores dos ganhos controlador P+Ress na malha de tensão, como mostra a Tabela 6.

Tabela 6 - Ganhos dos controladores P+Ress da malha de corrente e tensão.

Ganhos dos controladores P+Ress	
Ganhos	Valores
Kp_i	0,5453
Ki_i	10,2301
Kp_v	3,8853
Ki_v	10,1102

A Figura 72 mostra a resposta em frequência do modelo simplificado da malha de corrente e a função de transferência exata de malha fechada da mesma. É possível observar, através da semelhança entre os gráficos de módulo e fase, que modelar a malha de corrente pela Equação 42 é uma simplificação que não afeta a dinâmica das malhas de controle.

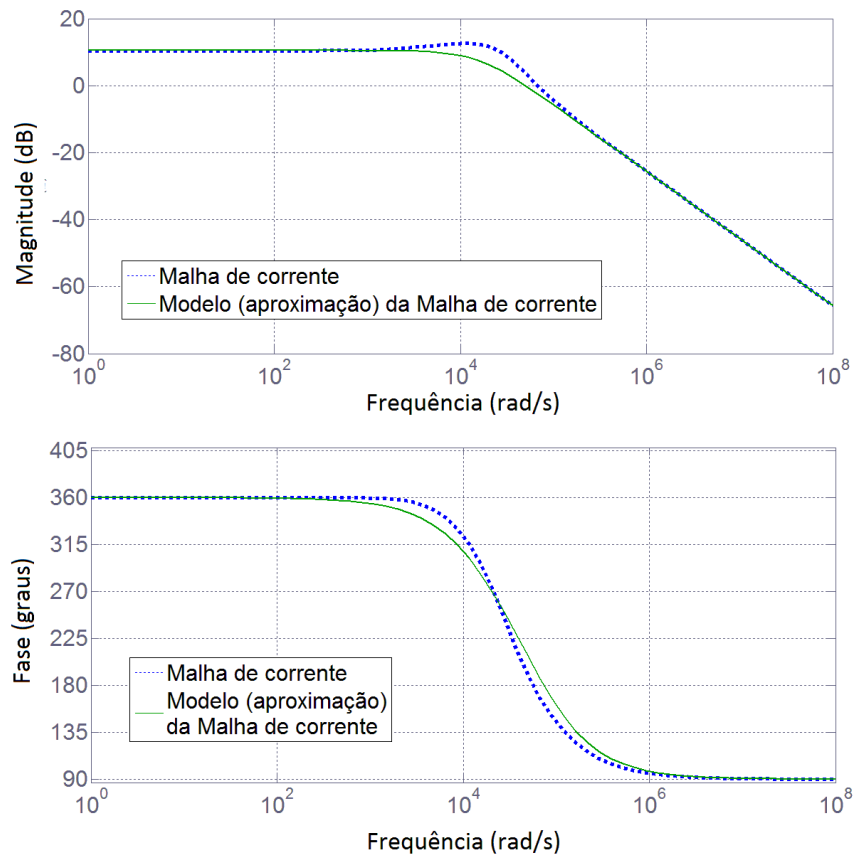


Figura 72 - Diagrama de Bode do modelo simplificado da malha de corrente e da função de transferência exata de malha fechada da mesma.

Fonte: Autor.

Com os ganhos calculados, é possível traçar o diagrama de Bode de ambas as malhas. A Figura 73 mostra o diagrama de Bode da malha de corrente, onde a frequência de cruzamento e a margem de fase são exatamente iguais as desejadas no projeto.

A Figura 74 mostra o diagrama de Bode da malha de tensão, onde a frequência de cruzamento é igual a do projeto e a margem de fase é próxima da esperada (60°). Essa diferença de 5° entre a margem fase pretendida no projeto e a real é devida as aproximações utilizadas no cálculo dos ganhos do controlador ($\omega_{clv} \gg \omega_o \gg \omega_{cut}$).

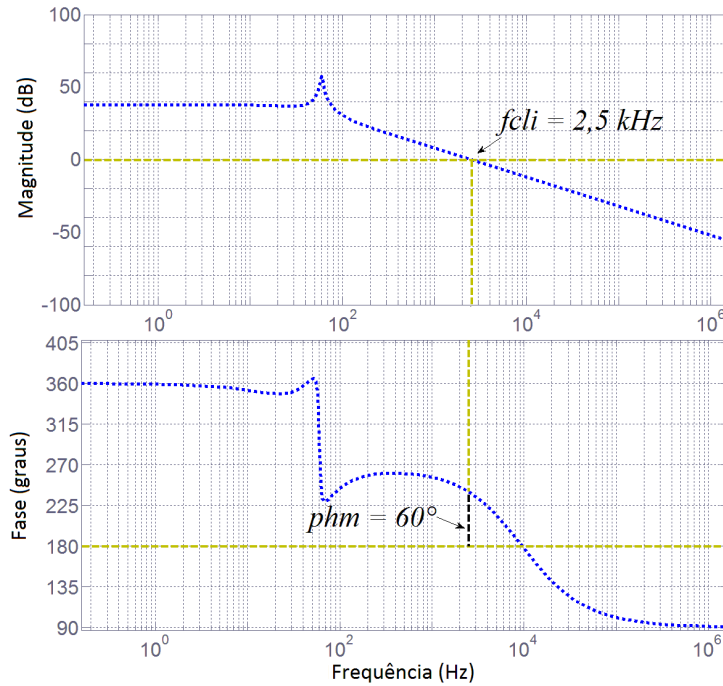


Figura 73. Diagrama de Bode da malha de corrente do inversor.
Fonte: Autor.

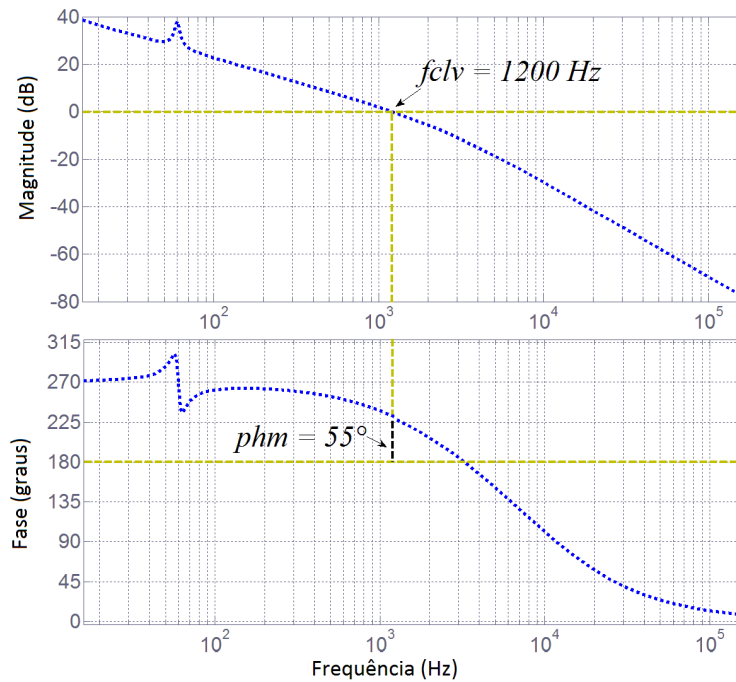


Figura 74. Diagrama de Bode da malha de tensão do inversor.
Fonte: Autor.

O conversor digital-analógico (D/A) MCP4922 foi utilizado para permitir a visualização em um osciloscópio das variáveis geradas internamente no processador, como por exemplo, os sinais senoidais de referência de corrente e tensão. Com isso os sinais de corrente no indutor e tensão de saída do inversor foram comparados com suas respectivas referências e observados o rastreamento dos mesmos.

Todos os sinais experimentais mostrados nas figuras a seguir foram obtidos através do conversor D/A que possui em sua saída o limite de tensão de 3 V. Porém para todos os casos foram apresentadas as escalas de atenuação dos valores reais.

Para avaliar o desempenho dos controladores PI e P+Ress no controle do inversor, ambos foram submetidos a testes com variação de carga, mostrados nas Figuras 69 a 72.

A Figura 75 mostra o sinal de corrente no indutor do inversor monofásico, o sinal de referência I_{oref} e o erro entre os dois sinais com o uso do controlador P + Ress na malha de corrente. A Figura 75 ilustra o rastreamento dos sinais durante um aumento de carga de aproximadamente 66%, onde ocorre a mudança do valor da resistência de carga de $R = 120 \Omega$ para $R = 70 \Omega$.

A escala utilizada no osciloscópio para o sinal de referência, o sinal experimental da corrente e o sinal de erro foi de 500 mV/div, sendo que a relação para escala real foi de 2 mA para cada 1 mV, ou seja, a escala de 500 mV/div do gráfico é equivalente a 1 A/div considerando o sinal real. Logo, inicialmente o sinal de referência possui aproximadamente 3 A de pico a pico e após a mudança de carga aumenta para 5 A de pico a pico.

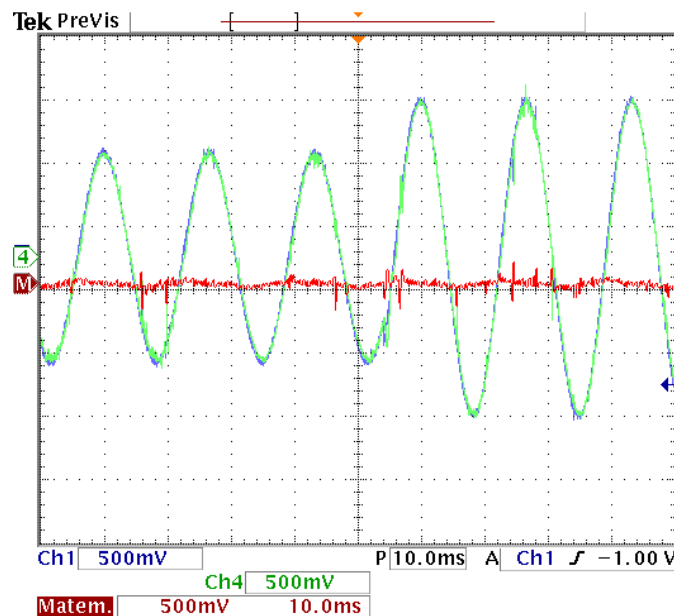


Figura 75- Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho) durante o aumento de carga com o uso do controlador P+Ress na malha de corrente do inversor monofásico.

Fonte: Autor.

A Figura 76 traz em detalhe o momento exato onde ocorre o aumento de carga com o uso do controlador P + Ress, ocasionando uma mudança na amplitude do sinal de referência e conseqüentemente o aumento da corrente do indutor do filtro de saída do inversor.

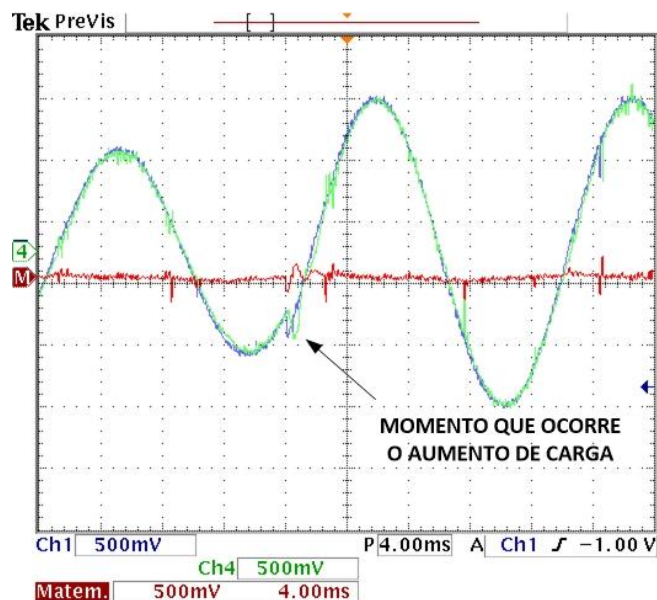


Figura 76- Detalhe do momento que ocorre o aumento de carga com o uso do controlador P+Ress na malha de corrente. Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho).

Fonte: Autor.

A Figura 77 apresenta o sinal de corrente no indutor do inversor, o sinal de referência e o erro entre os dois sinais com o uso do controlador PI na malha de corrente. O resultado é para o mesmo degrau de carga da Figura 75, porém com o controlador P+Ress. A Figura 78 mostra em detalhe o momento exato que ocorre o aumento de carga.

Através das Figuras 75 a 78 é possível notar que o controlador PI gerou erros maiores de amplitude e fase no rastreamento do sinal de referência em comparação ao controlador proporcional-ressonante. Logo, o controlador P+Ress apresentou melhor desempenho que o PI para o inversor monofásico implementado nesse trabalho.

Esse desempenho já era esperado, pois controladores que incluem ação integral são capazes de garantir erro de rastreamento zero em estado estacionário apenas para sinais contínuos. No caso de um sinal de referência alternado, um erro residual irá ser encontrado, cuja amplitude depende do ganho do sistema de malha fechada e da fase, e em particular da frequência do sinal de referência.

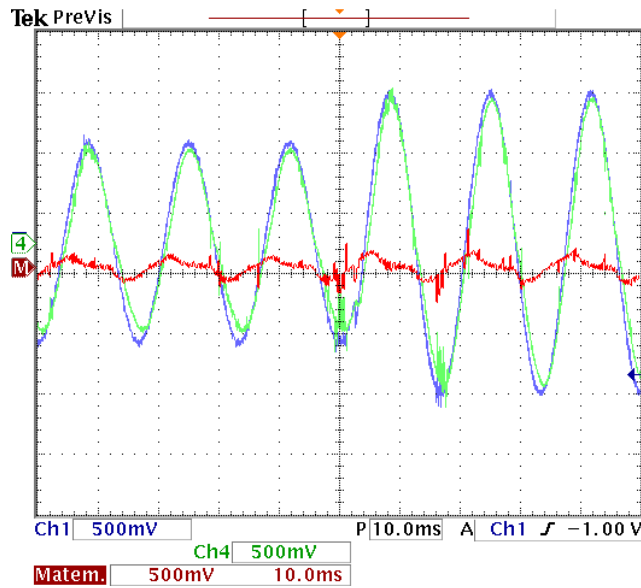


Figura 77 - Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho) durante o aumento de carga com o uso do controlador PI na malha de corrente do inversor monofásico.

Fonte: Autor.

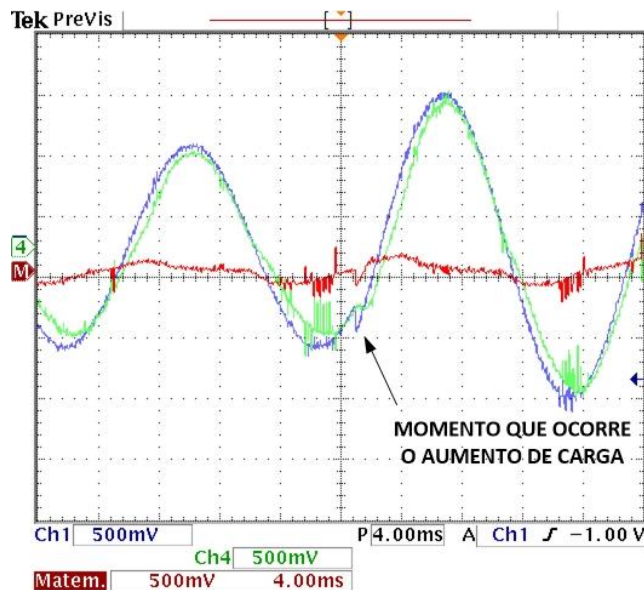


Figura 78 - Detalhe do momento que ocorre o aumento de carga com o uso do controlador PI na malha de corrente. Sinal de corrente no indutor (verde), sinal de referência da corrente (azul) e sinal de erro (vermelho).

Fonte: Autor.

7.1.1 Resultados do controle do inversor monofásico para diferentes tipos de carga

As Figuras desta seção mostram a atuação do controle do inversor monofásico para diferentes tipos de carga. O controle é testado para carga

resistiva, indutiva, não-linear e também um caso típico de teste de UPS, a desconexão da carga.

As Figuras 79 a 86 mostram o resultado experimental e o resultado de simulação tanto da corrente no indutor e o sinal de referência quanto tanto da tensão de saída do inversor (tensão no capacitor) e seu sinal de referência.

Em razão dos resultados obtidos na seção anterior, que apresentaram que o controlador proporcional-ressonante garantiu uma melhor performance em regime do que o controlador proporcional-ressonante, os teste do inversor monofásico para os diversos tipos de carga implementados nesse trabalho foram obtidos com o controlador proporcional-ressonante tanto na malha de corrente quanto na de tensão.

Como na seção anterior, os sinais de referência de corrente e tensão (gerados internamente no processador) foram adquiridos através do conversor DA, porém para todos os casos foram apresentadas as escalas de atenuação dos valores reais.

Para os testes foram utilizados reostatos de 50 Ω /1 kW e 1000 Ω /1 kW, um indutor de 3 mH, uma ponte de diodos com filtro capacitivo, um osciloscópio digital e multímetros TRUE RMS.

7.1.1.1 Degrau de carga resistiva

A seguir serão mostrados os resultados experimentais e de simulação do controle do inversor para um aumento de carga linear formada por resistores.

A Figura 79 apresenta o resultado experimental durante um degraude carga de valor ôhmico de $R = 100 \Omega$ para $R = 50 \Omega$, o que corresponde a um aumento de carga de 100%. Na parte superior da mesma Figura é ilustrado o sinal de referência de corrente juntamente com o sinal da corrente no indutor e na parte inferior estão os sinais de tensão de referência e de saída do inversor.

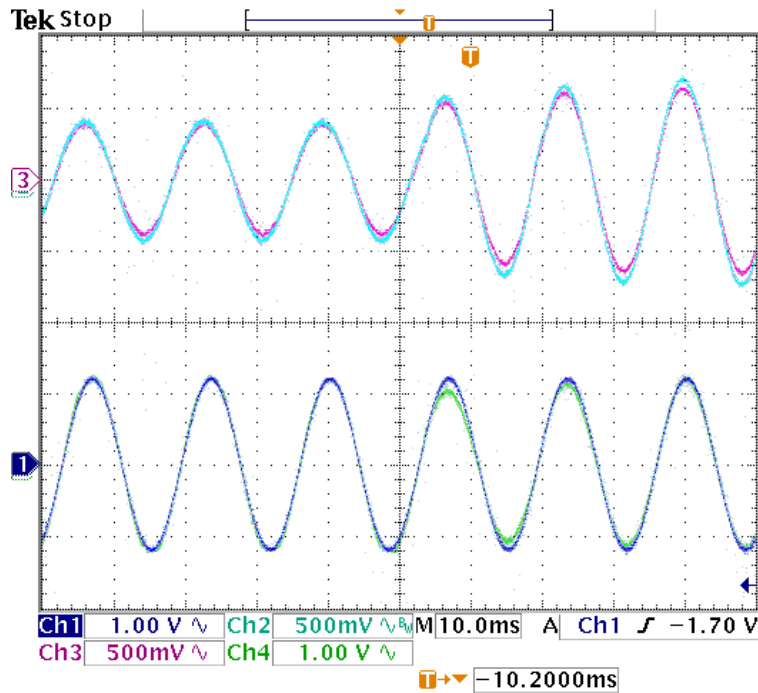


Figura 79 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante o aumento de carga resistiva.

Fonte: Autor.

Os sinais de corrente estão com escala de tensão de 500 mV/div, a relação corrente por tensão é de 6 mA/mV, o que resulta em 3 A/div do sinal real da corrente. A escala real dos sinais de tensão de referência e de saída do inversor é 150 V/div.

A Figura 80 ilustra o resultado de simulação para a mesma situação de degrau de carga experimental resistiva.

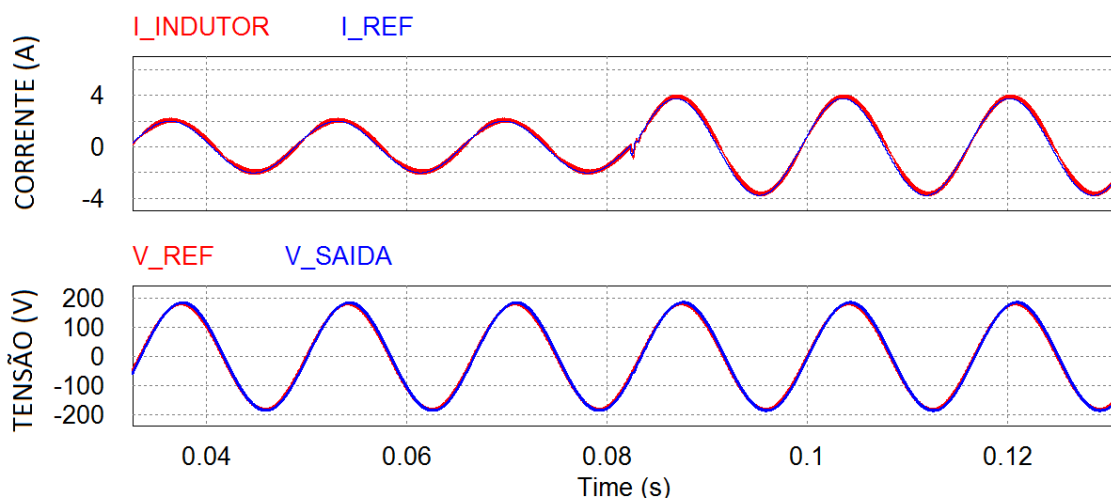


Figura 80 - Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga resistiva.

Fonte: Autor.

7.1.1.2 Degrau de carga RL

A seguir serão mostrados os resultados experimentais e de simulação do controle do inversor para um aumento de carga formada por resistores e indutores (RL) em série.

A Figura 81 apresenta o resultado experimental durante um degraude carga, onde inicialmente $R = 200 \Omega$ e $L = 3 \text{ mH}$ para $R = 66 \Omega$ e $L = 3 \text{ mH}$, o que corresponde a um aumento de carga de aproximadamente 200%. Na parte superior da mesma Figura é ilustrado o sinal de referência de corrente juntamente com o sinal da corrente no indutor e na parte inferior estão os sinais de tensão de referência e de saída do inversor.

Os sinais de corrente estão com escala de tensão de 500 mV/div, a relação corrente por tensão é de 6 mA/mV, o que resulta em 3 A/div do sinal real da corrente. A escala real dos sinais de tensão de referência e de saída do inversor é 150 V/div.

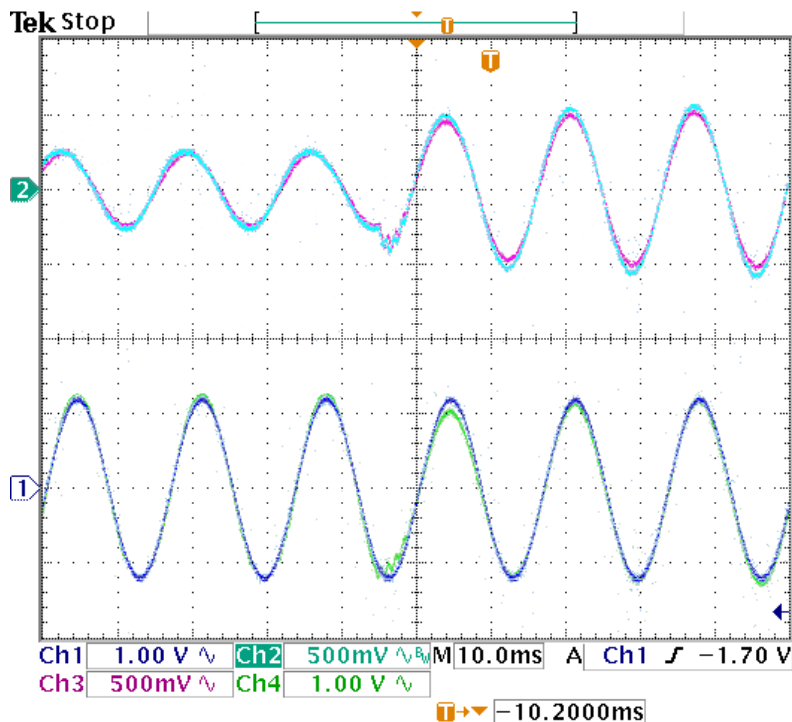


Figura 81 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante o aumento de carga RL.

Fonte: Autor.

A Figura 82 ilustra o resultado de simulação para a mesma situação de degraude carga experimental LR.

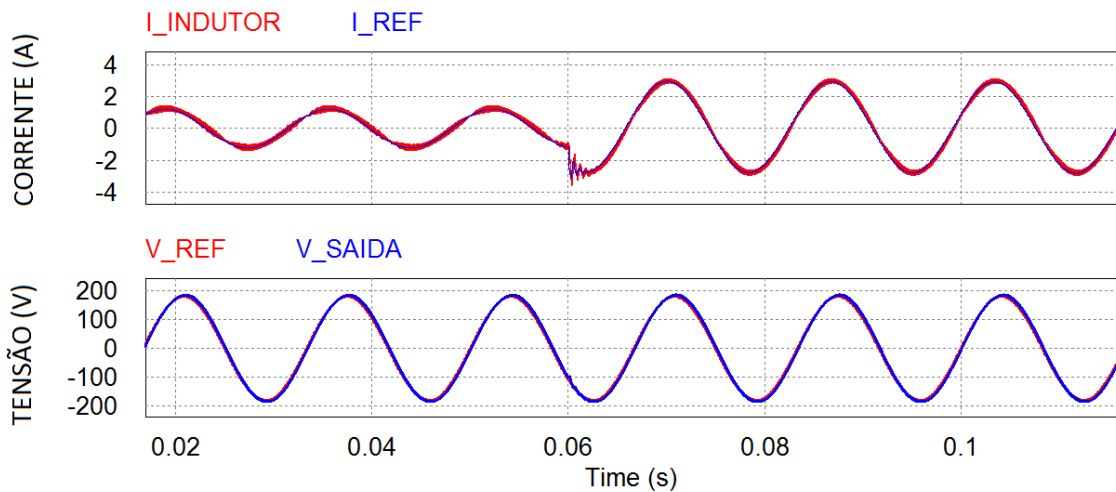


Figura 82 – Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga RL.

Fonte: Autor.

7.1.1.3 Degrau de carga não linear

Na Figura 83 o algoritmo de controle é testado para uma carga não linear composta por uma ponte de diodos com filtro capacitivo na saída ($C = 470 \mu\text{F}$), onde ocorre a variação de carga de $R_{cc} = 250 \Omega$ para $R_{cc} = 70 \Omega$.

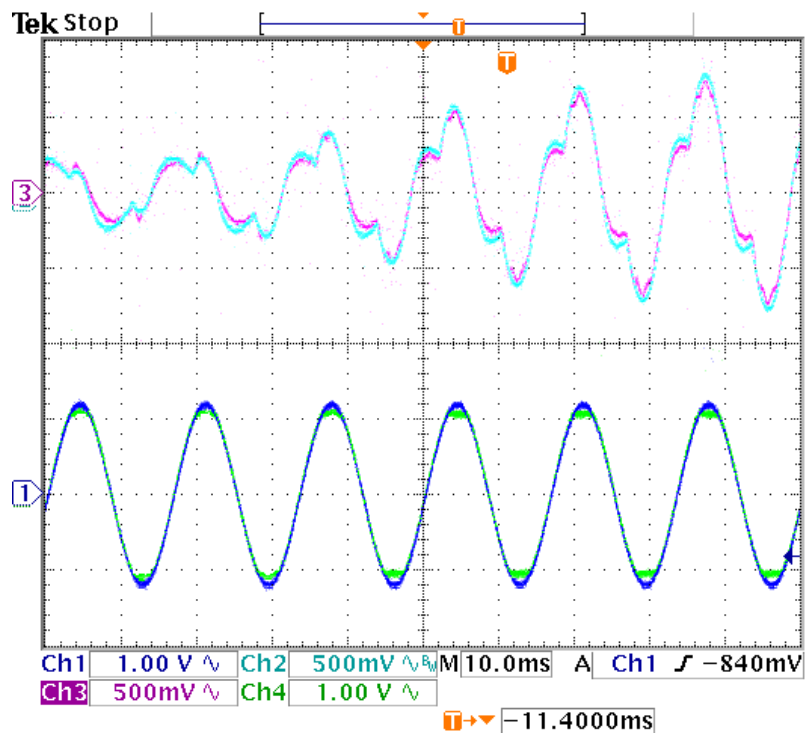


Figura 83 - Sinais de corrente de referência e no indutor (parte superior) e sinais de tensão de referência e de saída do inversor (inferior) durante o aumento de carga não linear.

Fonte: Autor.

Na parte superior da Figura 83 é ilustrado o sinal de referência de corrente juntamente com o sinal da corrente no indutor e na parte inferior estão os sinais de tensão de referência e de saída do inversor. A escala real dos sinais de corrente é de 3 A/div e a dos sinais de tensão é de 150 V/div.

A Figura 84 ilustra o resultado de simulação para a mesma situação de degrau de carga não linear experimental.

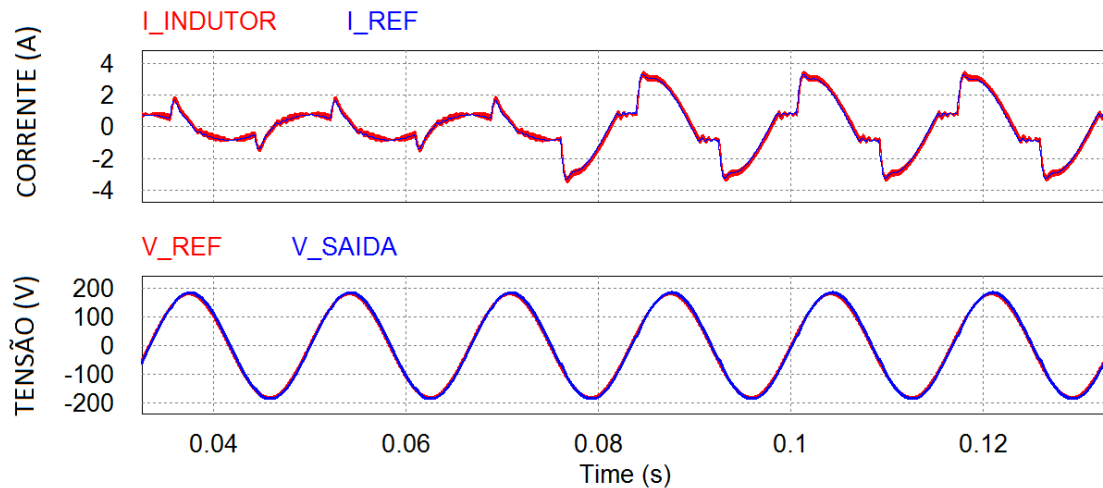


Figura 84 - Simulação da corrente no indutor e da tensão de saída do inversor durante o aumento de carga não linear.

Fonte: Autor.

7.1.1.4 Desconexão da carga

A seguir serão apresentados os resultados experimentais e de simulação de em um caso típico de teste de UPS, a desconexão da carga. Inicialmente a carga é de $R = 100 \Omega$ depois ocorre a retirada da carga (a vazio).

Os sinais de corrente estão com escala de tensão de 500 mV/div, a relação corrente por tensão é de 6 mA/mV, o que resulta em 3 A/div do sinal real da corrente. A escala real dos sinais de tensão de referência e de saída do inversor é 150 V/div.

A Figura 86 ilustra o resultado de simulação durante a desconexão da carga.

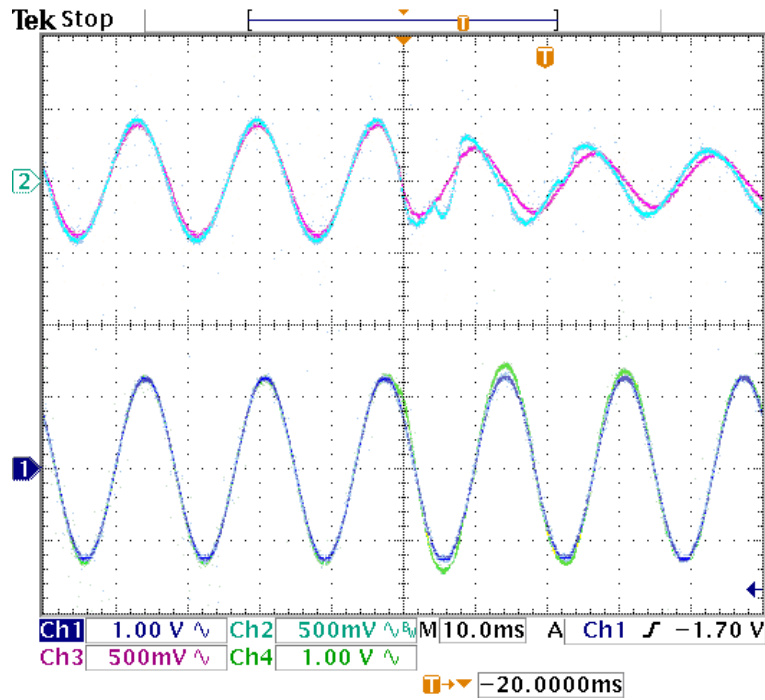


Figura 85 - Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante a desconexão da carga.

Fonte: Autor.

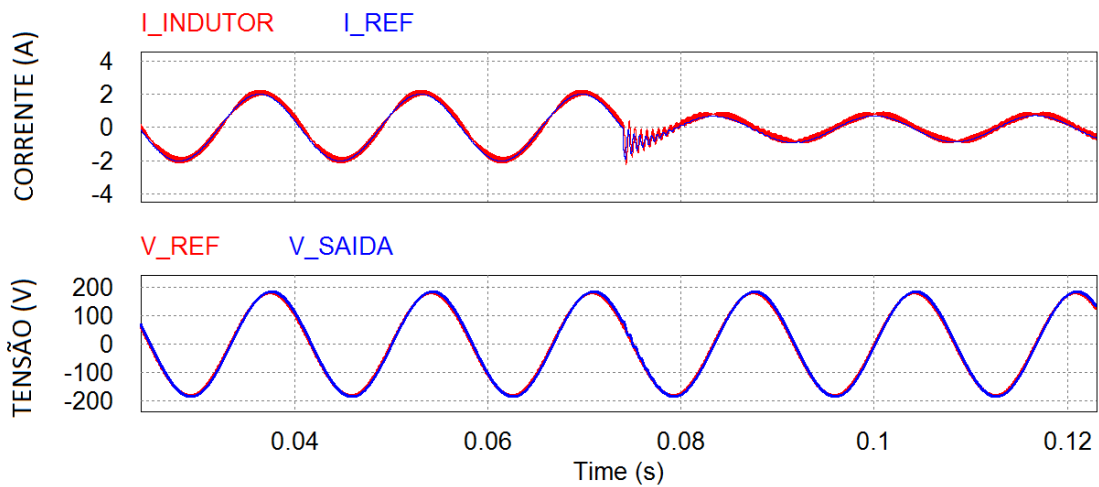


Figura 86 - Simulação da corrente no indutor e da tensão de saída do inversor durante a desconexão da carga.

Fonte: Autor.

Semelhanças entre os sinais experimentais e teóricos podem ser observadas através das Figuras 79 a 86. Em relação aos sinais de tensão mostrados nas Figuras 79 e 81 (carga linear), verifica-se que os mesmos não se alteram em função da variação da corrente na carga, mantendo-se constante com 180 V de valor de pico. A perturbação do sinal da corrente é compensada de acordo com o esperado e a tensão de saída se mantém estabilizada. É possível

constatar o rastreamento dos sinais de referência, tanto na simulação quanto no resultado experimental.

Em relação aos resultados obtidos com a carga não linear, as Figuras 83 e 84 mostram que ocorre o rastreamento dos sinais de referência de tensão e corrente nas malhas mesmo com o aumento de carga, sem defasagem angular; porém a tensão senoidal na saída apresenta uma distorção nos picos da forma de onda.

Os ensaios se mostraram adequados onde o controle respondeu de forma adequada aos aumentos ou reduções abruptas de corrente, com acréscimos ou reduções de carga.

Logo, os resultados apresentam que o controlador obteve um resultado satisfatório, não havendo, portanto, a necessidade de utilizar uma estratégia de controle mais complexa do que a utilizada nesse trabalho.

7.1.1.5 Limitação da corrente no indutor

Quando a corrente de carga atinge o valor máximo admitido (5 A), a potência de saída do inversor é limitada de modo que a tensão não irá atingir o valor da tensão de referência. É o caso, por exemplo, de partida de motores de indução, nos quais a corrente excede a escala do sensor.

As Figuras 87 e 88 mostram, respectivamente, o resultado experimental e de simulação da tensão de saída e corrente no indutor em uma situação de sobrecorrente, alimentando uma carga resistiva. Ocorre o acréscimo de carga de $R = 50 \Omega$ para $R = 25 \Omega$ e é possível notar que a corrente é limitada em 5 A e conseqüentemente a tensão não atinge seu valor de pico, limitando a potência.

Na Figura 87, os sinais de corrente estão com escala de tensão de 500 mV/div, a relação corrente por tensão é de 10 mA/mV, o que resulta em 5 A/div do sinal real da corrente. A escala real dos sinais de tensão de referência e de saída do inversor é 150 V/div.

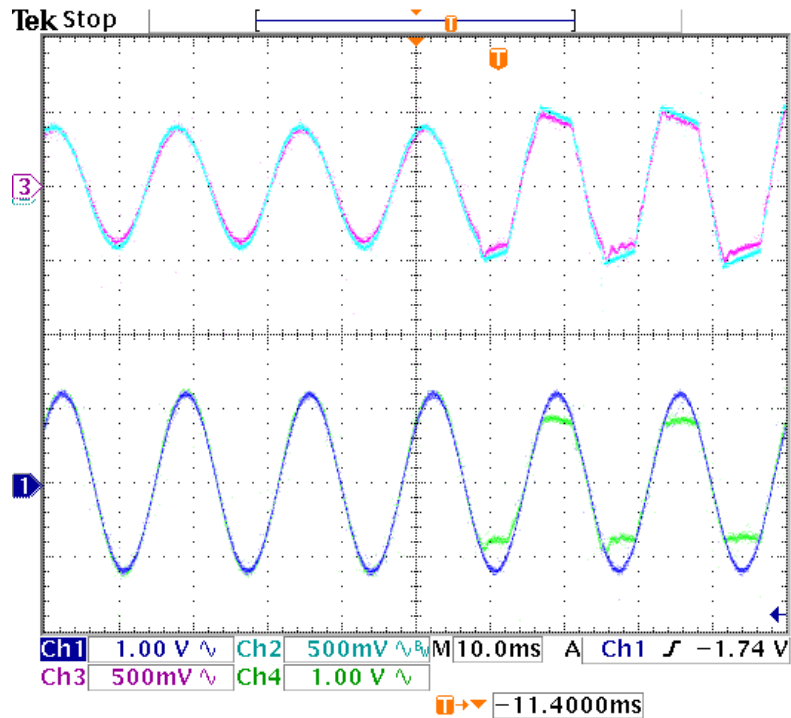


Figura 87 – Sinais de corrente no indutor e de referência (parte superior) e sinais de tensão de saída do inversor e de referência (inferior) durante situação de sobrecorrente.
 Fonte: Autor.

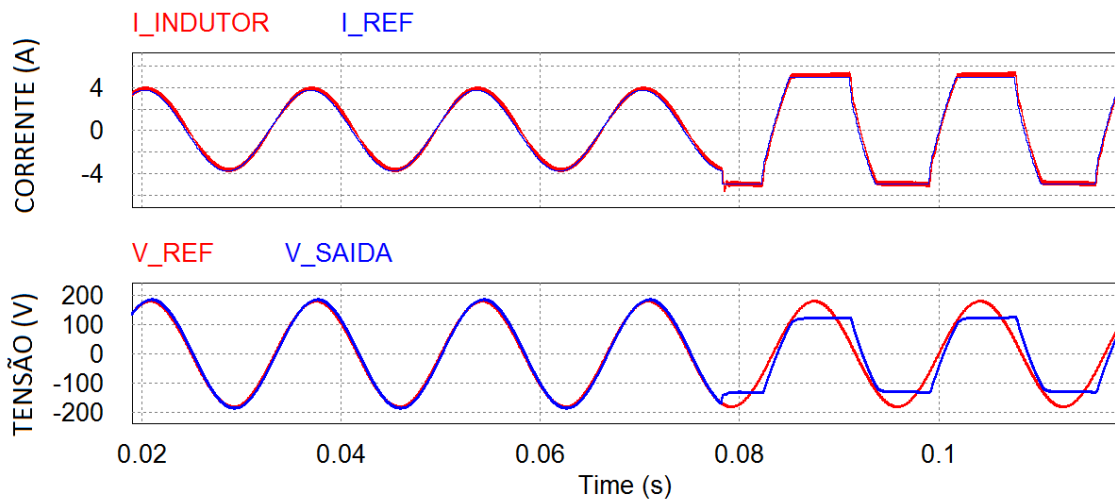


Figura 88 - Tensão de saída e corrente no indutor na situação de sobrecorrente.
 Fonte: Autor.

7.1.2 Resultado do algoritmo PLL

A Figura 89 mostra o resultado experimental a esquerda e o resultado de simulação a direita do algoritmo PLL. Na parte superior da Figura 89 mostra os

sinais em regime permanente, onde o sinal dente-de-serra é o ângulo em radianos da senoíde de referência. Obviamente, o sinal do ângulo varia de 0 a 2π radianos, porém na figura o mesmo aparece escalonado.

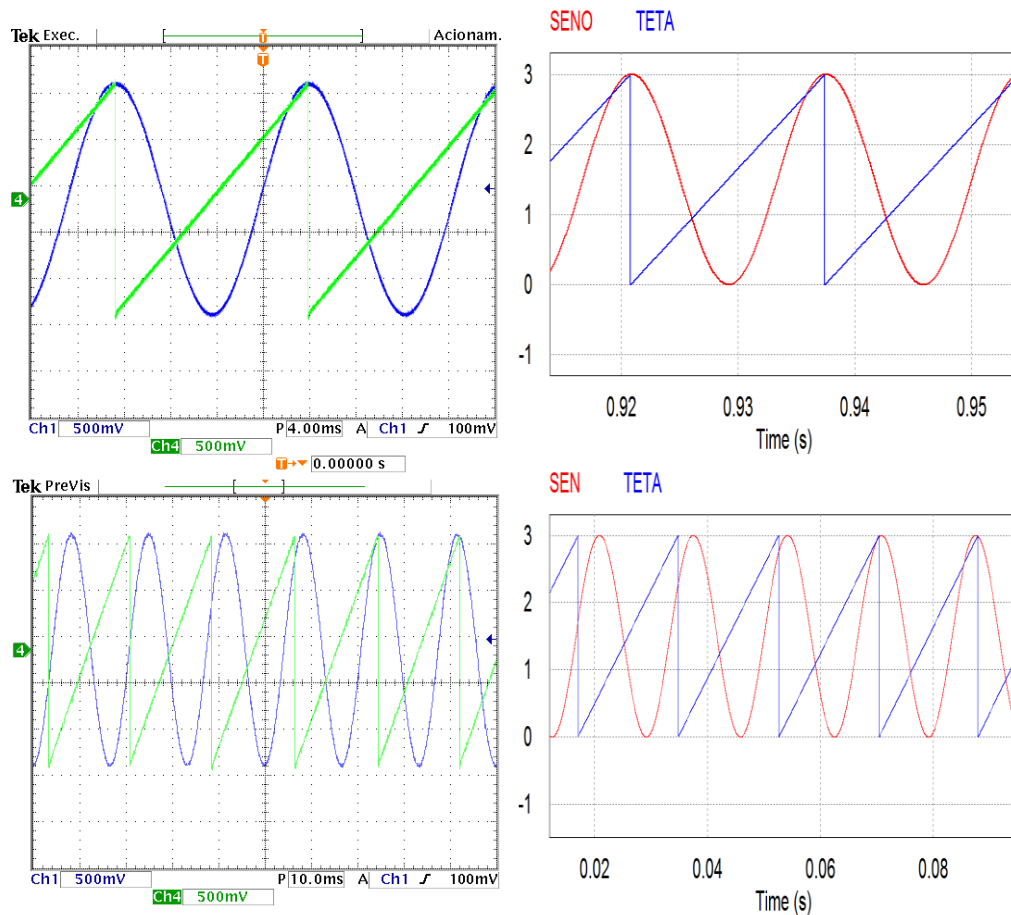


Figura 89 - Resultado do algoritmo PLL para o sinal senoidal da rede elétrica e argumento.
Fonte: Autor.

Na parte inferior da Figura 89 mostra o resultado em regime transitório, onde é possível notar que o sinal de saída do PLL consegue se estabilizar em poucos ciclos da rede (5 ciclos).

7.2 Resultado da chave estática de transferência

O desempenho da STS é avaliado com base no tempo de transferência da alimentação da carga de uma fonte para outra, que proporciona fornecimento de energia adequado para a mesma. Definições de tempo de detecção, transferência e o tempo total de transferência de carga de acordo com as normas IEEE (MOSCHAKIS; HATZIARGYRIOU, 2003) são os seguintes: O

tempo de detecção, t_d , é a diferença de tempo entre o momento em que ocorre o distúrbio e quando o distúrbio é detectado. O tempo de transferência, t_f , é a diferença de tempo entre quando o distúrbio é detectado e o momento em que a carga é transferida para outra fonte. E o tempo total de transferência de carga, t_t , é a soma do tempo de detecção com o tempo de transferência.

A Figura 90 ilustra os três tempos de transferência (t_d , t_f e t_t) de acordo com a definição da norma IEEE. No instante 2,00 s, ocorre um distúrbio no sinal de tensão da fonte preferencial (parte superior da figura). Após o tempo para a detecção do distúrbio mais o tempo para que a transferência entre as fontes se complete, o sinal de tensão na carga (em azul) retorna aos dos parâmetros desejados de amplitude, frequência e distorção harmônica.

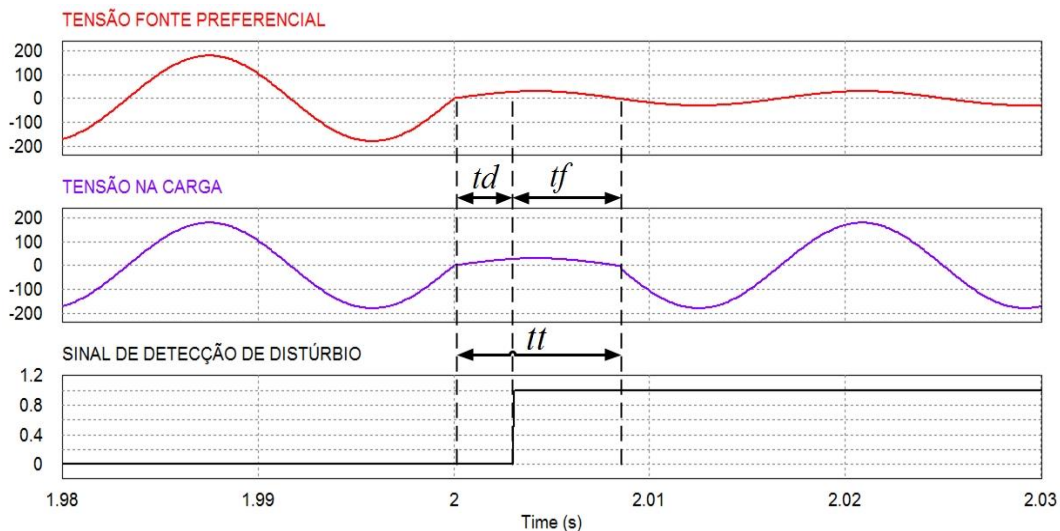


Figura 90 – Definição do tempo de transferência da STS. Sinal de tensão da fonte preferencial (vermelho), sinal de tensão na carga (azul) e sinal de detecção de distúrbio (preto).

Fonte: Autor.

O processo de comutação da fonte preferencial para a fonte alternativa termina quando a chave estática que conecta a fonte preferencial à carga é bloqueada e a chave estática que conecta a fonte alternativa à carga entra em condução. O tempo total para a transferência da alimentação da carga de uma fonte para a outra depende:

- Topologia da chave estática utilizada;
- Algoritmo utilizado para detecção de distúrbio;
- Tipo de carga ou fator de potência, que determina a defasagem do sinal da corrente em relação a tensão;

- Instante e magnitude do distúrbio. Quanto maior a magnitude do distúrbio, mais rápido o algoritmo acusará a detecção.

7.2.1 Estratégia de controle para detecção do distúrbio

Foram apresentados dois algoritmos de controle da chave estática de transferência. O primeiro método é baseado no sistema de coordenadas dq e o segundo baseado na detecção de amplitude por PLL. Cada método usa um algoritmo específico para detectar o valor de pico de tensão nas fontes de alimentação. Se detectado algum distúrbio, ocorre a transferência da alimentação da carga.

Para avaliar o desempenho dos métodos, ambos foram submetidos a reduções de tensão (*sag*) e elevações de tensão (*swell*) com magnitude de 50% e 75% do valor de pico de tensão da fonte. Os métodos também foram submetidos em situações de ausência da rede elétrica. Para todos os distúrbios que a fonte foi submetida, foram medidos os tempos de detecção, *td*, dos algoritmos, como mostra a Tabela 7.

Tabela 7 - Tempos de detecção de distúrbios da STS

Tempos de detecção de distúrbios da STS		
Métodos para detecção de distúrbio	Método baseado no sistema de coordenadas dq	Método baseado na detecção de amplitude por PLL
Redução de tensão (75%)	1,7 ms	3,2 ms
Redução de tensão (50%)	1,9 ms	3,6 ms
Elevação de Tensão (75%)	1,6 ms	5,3 ms
Elevação de Tensão (50%)	1,7 ms	5,8 ms
Ausência da rede elétrica	0,5 ms	2,7 ms

Observa-se, através da Tabela 7, que em todas as situações, o método baseado no sistema de coordenadas dq foi o que detectou o distúrbio da fonte de forma mais rápida. Logo, esse foi o algoritmo que se mostrou mais eficiente

e o que foi utilizado para os resultados experimentais da chave estática de transferência.

7.2.2 Topologia de tiristores

Para avaliar a performance da chave estática de transferência com topologia de tiristores, foram realizadas reduções e elevações de tensão com magnitude de 30% do valor de pico de tensão da fonte. Essa escolha foi feita por se tratar de um dos piores casos para a detecção do distúrbio, por não gerar uma mudança grande na amplitude do sinal de tensão da fonte.

O sistema também foi submetido a testes de ausência da alimentação da fonte, que é a situação mais comum de distúrbio enfrentada pelos consumidores das distribuidoras de energia. A Tabela 8 mostram esses resultados.

Tabela 8 - Desempenho da STS com a topologia de tiristores

Desempenho da STS com a topologia de tiristores			
	<i>td</i>	<i>tf</i>	<i>tt</i>
Redução de tensão (30%)	2,10 ms	6,83 ms	8,93 ms
Elevação de Tensão (30%)	2,30 ms	1,82 ms	4,12 ms
Ausência da alimentação	0,5 ms	0,13 ms	0,63 ms

A seguir serão apresentados os resultados experimentais e de simulação das três situações de teste da chave estática de transferência com topologia de tiristores (redução e elevação de tensão com magnitude de 30% e ausência da alimentação da fonte preferencial).

Na parte superior das Figuras 91 a 96 é mostrado o sinal da tensão da fonte preferencial e na parte inferior o sinal de tensão na carga. As Figuras desta seção ilustram o momento exato em que se inicia o distúrbio e o momento em que se completa a transferência entre as fontes.

A escala utilizada no osciloscópio para as Figuras 91, 93 e 95 foi de 1 V/div, sendo que a relação para escala real foi de 0,14 V para cada 1 mV, ou

seja, a escala de 1 V/div dos gráficos abaixo é equivalente a 140 V/div considerando o sinal real.

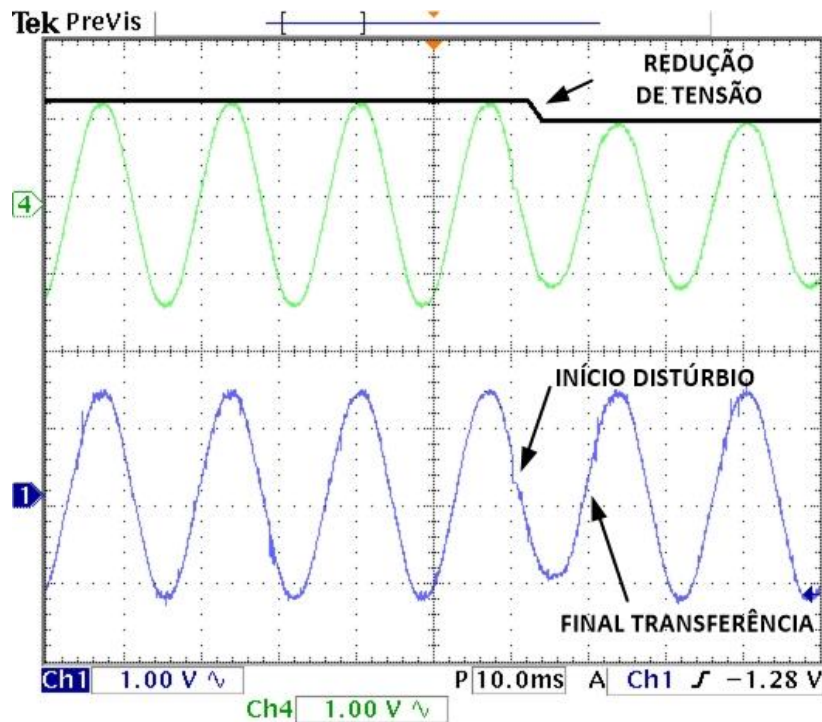


Figura 91 - Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

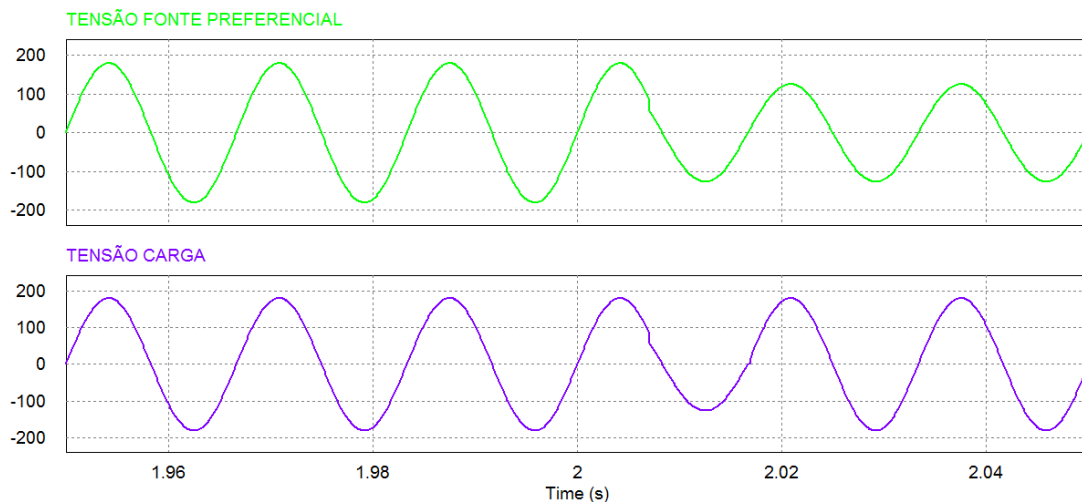


Figura 92 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

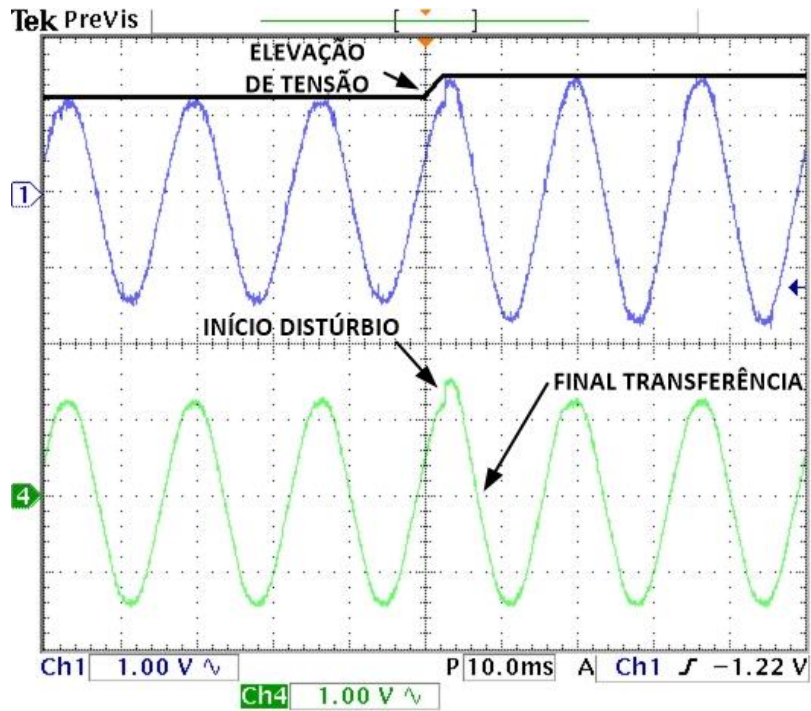


Figura 93 – Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

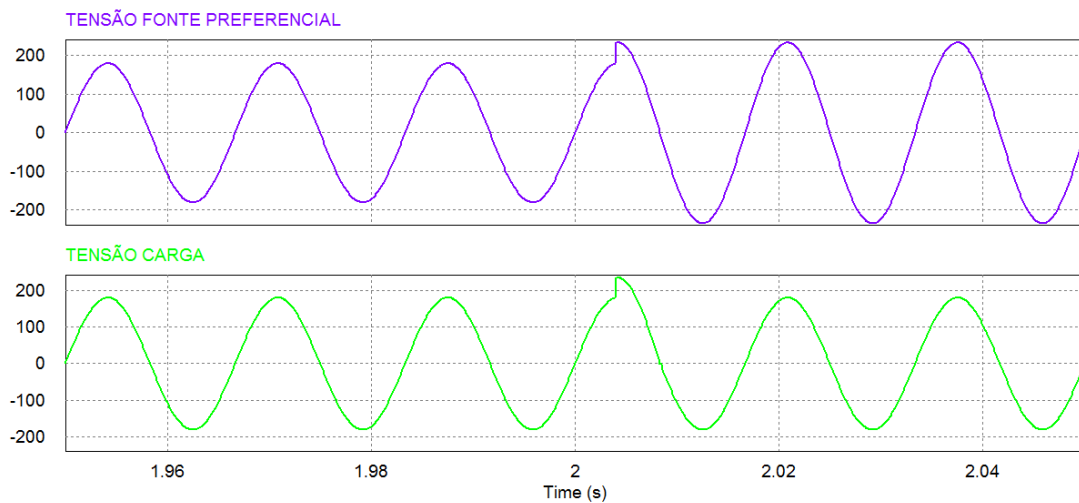


Figura 94 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

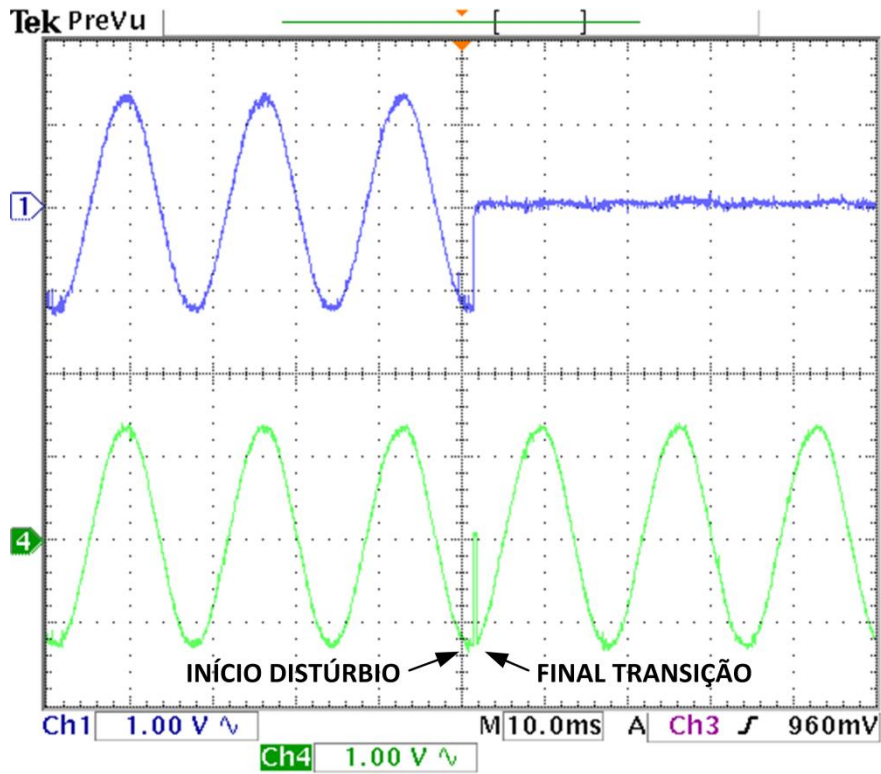


Figura 95 - Resultado experimental da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.

Fonte: Autor.

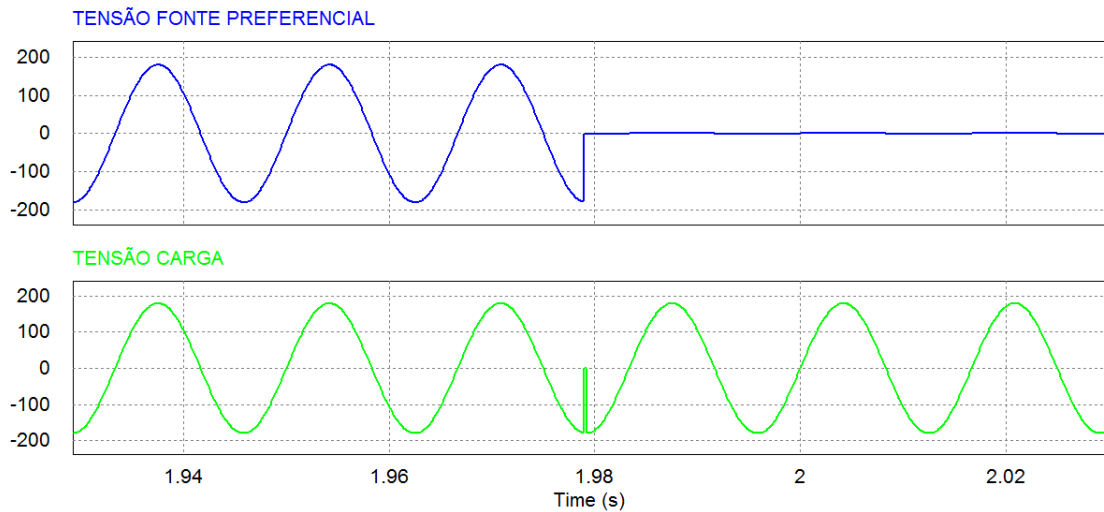


Figura 96 - Resultado de simulação da STS com tiristor. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.

Fonte: Autor.

Como já foi explicado na seção 6.4, o desempenho da chave estática composta por tiristores é inferior ao da topologia composta por IGBTs, pelo fato

do tiristor ser um dispositivo em que uma vez disparado e conduzindo, não pode ser bloqueado através de um sinal de comando.

A Figura 97 mostra o pior caso para uma STS com topologia composta por tiristores. Nessa situação a detecção do distúrbio ocorre no início do semi-ciclo positivo da tensão da fonte e conseqüentemente no início do semi-ciclo positivo da corrente de carga (o sinal da tensão está em fase com a corrente pelo fato da carga em questão ser puramente resistiva). Para que haja a transferência entre as fontes é necessário que a corrente de ânodo do tiristor seja menor que o valor da corrente de manutenção, ou seja, que a corrente seja muito pequena. Logo, nesse caso o tempo de transferência, t_f , será de aproximadamente 8,333 ms, que é o tempo de meio ciclo de rede, considerando que a frequência da fonte é de 60 Hz.

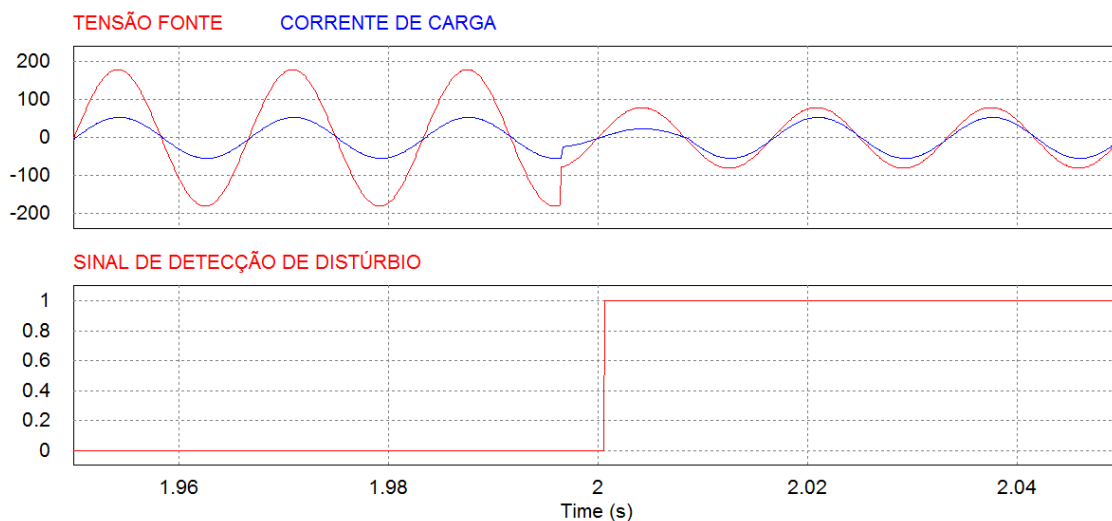


Figura 97 – Pior caso de desempenho da STS com topologia composta por tiristores.

Fonte: Autor.

Nesse exemplo fica evidente que mesmo se a detecção do distúrbio for feita de forma relativamente rápida, o tempo total de transferência será alto, ou seja, o desempenho da chave estática estará comprometido em função da demora do tempo de transferência, t_f , causado pela limitação do tiristor em controlar apenas a transição do estado de bloqueio para o estado de condução e não o inverso.

7.2.3 Topologia com IGBTs

Para avaliar a performance da chave estática de transferência com topologia de IGBTs, foram realizadas reduções e elevações de tensão com magnitude de 30% do valor de pico de tensão da fonte, iguais aos testes realizados com a topologia de tiristores.

O sistema também foi submetido a testes de ausência da alimentação da fonte. A Tabela 9 mostra os resultados.

Tabela 9 - Desempenho da STS com a topologia de IGBTs

Desempenho da STS com a topologia de IGBTs			
	<i>td</i>	<i>tf</i>	<i>tt</i>
Redução de tensão (30%)	2,3 ms	0,266 ms	2,566 ms
Elevação de Tensão (30%)	2,1 ms	0,266 ms	2,366 ms
Ausência da alimentação	0,5 ms	0,266 ms	0,766 ms

O tempo de transferência, *tf*, nas três situações de distúrbios foi de 0,266 ms. Isso se deve ao fato de haver 4 etapas para a comutação da chave bidirecional e de ter sido usado uma frequência de operação de 15 kHz (66,66 us) do processador, logo $66,66 \text{ us} \times 4 = 0,266 \text{ ms}$.

O tempo de transferência e conseqüentemente o tempo total de transferência obtido foram menores que os encontrados em (MOSCHAKIS; HATZIARGYRIOU, 2003), cujo trabalho apresentou tempo de transferência total médio de 6,7 ms. Essa redução se deve ao fato de usar a topologia composta por IGBTs na chave bidirecional.

A seguir serão apresentados os resultados experimentais e de simulação das três situações de teste da chave estática de transferência com topologia de IGBTs (redução e elevação de tensão com magnitude de 30% e queda total da alimentação da fonte preferencial).

Na parte superior das Figuras 98 a 103 é mostrado o sinal da tensão da fonte preferencial e na parte inferior o sinal de tensão na carga. As Figuras desta seção ilustram o momento exato em que se inicia o distúrbio e o momento em que se completa a transferência entre as fontes.

A escala utilizada no osciloscópio para as Figuras 98, 100 e 102 foi de 1 V/div, sendo que a relação para escala real foi de 0,14 V para cada 1 mV, ou seja, a escala de 1 V/div dos gráficos abaixo é equivalente a 140 V/div considerando o sinal real.

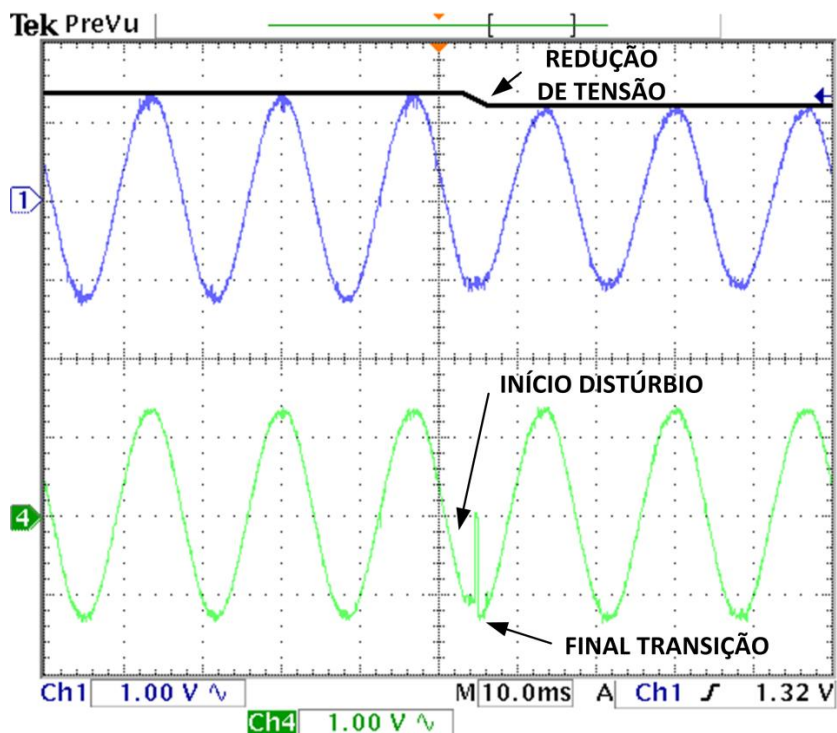


Figura 98 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

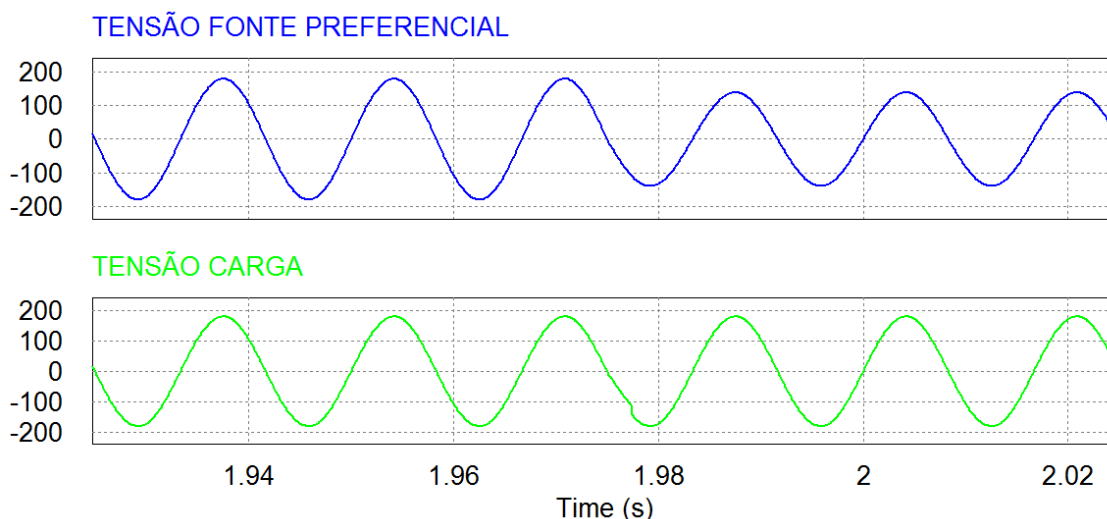


Figura 99 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante redução de tensão com magnitude de 30% do valor de pico de tensão da fonte.

Fonte: Autor.

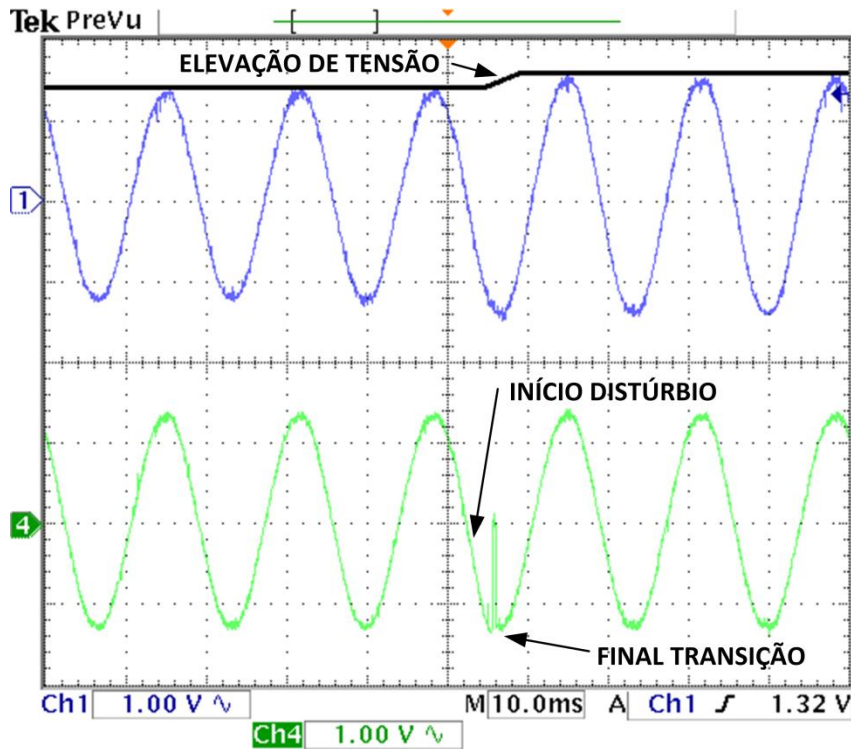


Figura 100 – Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.
 Fonte: Autor.

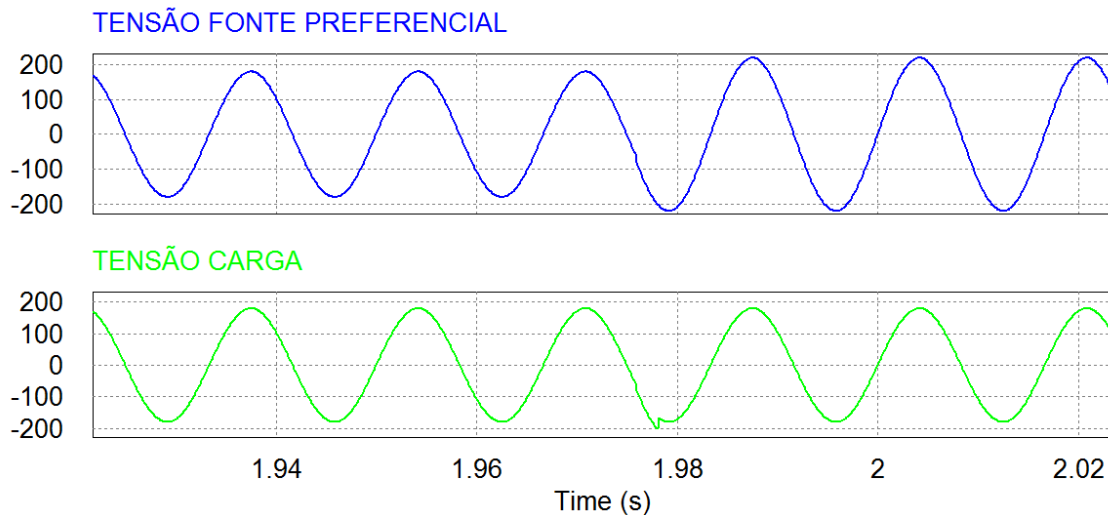


Figura 101 - Resultado de simulação da STS com IGBT. Sinal de tensão da fonte preferencial (azul) e sinal de tensão na carga (verde) durante elevação de tensão com magnitude de 30% do valor de pico de tensão da fonte.
 Fonte: Autor.

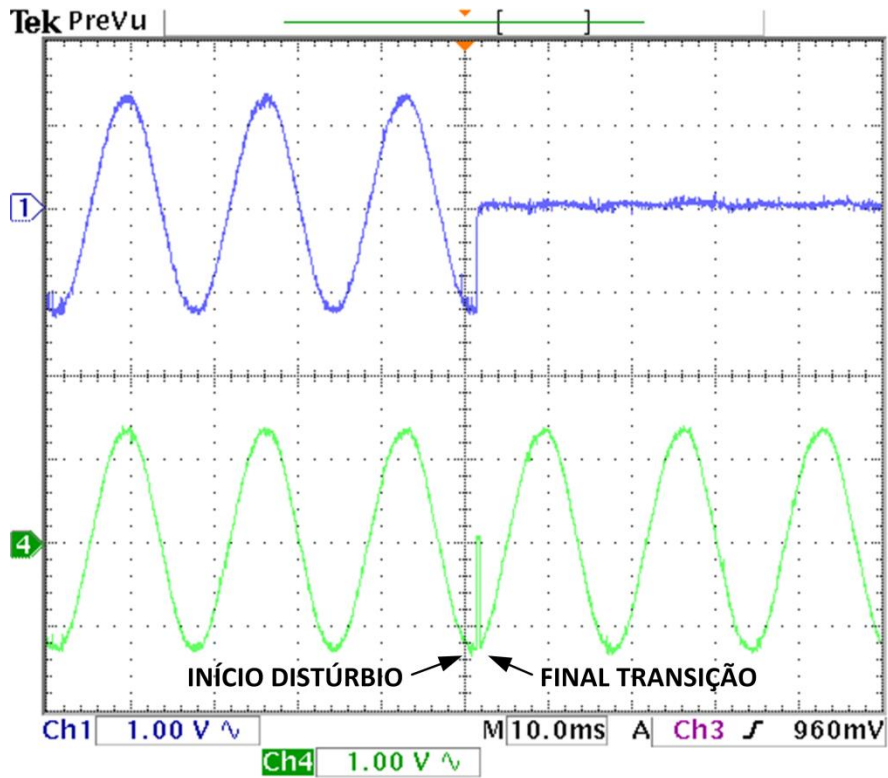


Figura 102 - Resultado experimental da STS com IGBT. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.

Fonte: Autor.

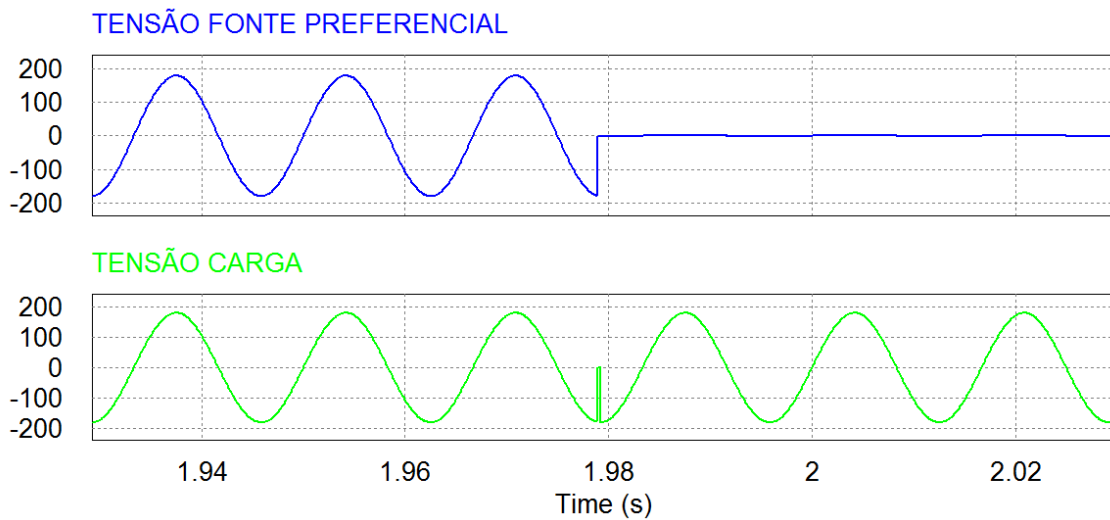


Figura 103 - Resultado de simulação da STS com IGBT. Sinal de tensão da fonte preferencial (verde) e sinal de tensão na carga (azul) durante a queda da alimentação da fonte preferencial.

Fonte: Autor.

7.3 Conclusão

Nesse capítulo foram apresentados os resultados experimentais e de simulação do controle do inversor monofásico, que foi testado com variações de carga, e os resultados da chave estática de transferência, cujo desempenho é avaliado com base no tempo de transferência da alimentação de uma carga de uma fonte para outra.

Nos resultados do controle do inversor verificou-se que a tensão não se alterou durante as variações de carga, rastreado o sinal de referência e se mantendo estabilizada, compensando a perturbação de corrente.

O método baseado no sistema de coordenadas dq foi o que detectou o distúrbio de forma mais rápida e que o uso da STS com topologia formada por IGBTs apresenta um tempo reduzido de transferência em comparação a topologia convencional composta por tiristores.

Os resultados do algoritmo PLL para a detecção da frequência e do ângulo de fase da rede elétrica onde também foram obtidos resultados satisfatórios.

A seguir, no Capítulo 8, serão apresentadas as conclusões finais do trabalho, bem como sugestões para trabalhos futuros que possam dar continuidade a esta pesquisa.

8 – CAPÍTULO - CONCLUSÕES FINAIS

8.1 Contribuições do trabalho

Neste trabalho foi desenvolvido um controle multimalhas para inversores monofásicos tipo fonte de tensão e também técnicas de detecção de distúrbio e comutação de chave estática de transferência.

O controle do inversor monofásico apresentou bom desempenho, onde as duas malhas de realimentação oferecem maior robustez ao controle, no sentido de prover a alimentação da carga com sinal senoidal, estável e de valor constante.

A determinação dos valores dos ganhos dos controladores, levando em conta o atraso da resposta dinâmica do modulador digital, permitiu encontrar valores de ganho, em ambas as malhas, que consideram fenômenos de ordem prática de implementação digital, que reduz a margem de fase do sistema, obrigando a trabalhar com uma menor largura de banda em malha fechada.

Foi avaliado o desempenho dos controladores PI e P+Ress nas malhas de corrente e tensão do controle do inversor. Notou-se que o controlador PI gerou maiores erros de amplitude e fase no rastreamento do sinal de referência em comparação ao controlador proporcional-ressonante. Esse desempenho ocorre devido ao fato que controladores que incluem ação integral são capazes de garantir erro de rastreamento nulo em estado estacionário apenas para sinais contínuos. O controlador P+Ress, introduz um alto ganho, em malha aberta, em uma frequência de ressonância selecionada que elimina o erro estacionário desta frequência.

Nos resultados experimentais do controle do inversor, com o uso do controlador P+Ress, a tensão de saída se manteve estabilizada durante todos os testes para os diversos tipos de carga, e foi possível notar, assim como na simulação, o rastreamento dos sinais de referência. Em todos os testes, durante as variações de carga, a tensão de saída manteve comportamento adequado tanto em regime transitório quanto em estado estacionário, compensando a perturbação de corrente, como era esperado.

Em relação a STS, a topologia de IGBTs e diodos apresentou um menor tempo de transferência em relação à tradicional, composta de tiristores. A redução do tempo foi significativa, contribuindo para que a carga, durante a transferência da sua alimentação, não fique sem energia por um longo período.

O método para a detecção do valor de pico de tensão das fontes, utilizando a coordenada dq, foi o mais eficiente, apresentando um menor tempo em relação ao método utilizando PLL.

Tanto o controle do inversor monofásico como também as técnicas de detecção de distúrbio e comutação de chave estática de transferência são aplicáveis a UPS do tipo Passive Standby, que é uma das topologias de UPSs existentes na norma IEC (*International Electrotechnical Commission*) 62040-3.

8.2 Sugestões para trabalhos futuros

- Modelar o inversor e o respectivo sistema de controle diretamente no domínio discreto, não havendo a necessidade de tratar os atrasos das funções de transferência no domínio da frequência após discretizá-las;
- Aplicar novas estratégias de controle ao inversor, avaliando o desempenho de outros controladores;
- Buscar diminuir a potência reativa em baixa carga do inversor;
- Desenvolver o controle do inversor trifásico;
- Utilizar outros algoritmos de detecção de distúrbio na STS, comparando o desempenho de atuação dos mesmos;
- Utilizar outros dispositivos de chaveamento da STS, como por exemplo, o MOSFET;
- Aplicar novas metodologias de disparo das chaves bidirecionais;
- Desenvolver a chave estática de transferência trifásica.

REFERÊNCIAS BIBLIOGRÁFICAS

- AAMIR, M.; KIM, H.-J. Non-isolated Single Phase Uninterruptible Power Supply (UPS) System. Power Electronics and ECCE Asia (ICPE & ECCE), 2011 IEEE 8th International Conference on, June 2011. 2282 – 2289.
- BARBI, I.; MARTINS, D. C. Introdução ao estudo dos conversores CC-CA. Florianópolis: Ed dos Autores, 2009.
- BUSO, S.; MATTAVELLI, P. Digital Control in Power Electronics. 1st. ed. [S.l.]: Morgan&Claypool Publishers, 2006.
- CARRAH, I. F. D. Inversor monofásico tipo ponte completa com controle digital. Universidade Estadual do Ceará, Fortaleza, CE, 2010.
- CIANI, L. et al. A novel technique for power inverter control based on a single voltage sensor. Instrumentation and Measurement Technology Conference, 2009. I2MTC '09, 5-7 May 2009. 1167 – 1170.
- DEUS, M. H. A. Chave estática de transferência, estudo e soluções de casos, focados na continuidade do fornecimento e aumento da confiabilidade do sistema. Dissertação de Mestrado, Universidade Federal de Minas Gerais, Belo Horizonte, 2011.
- FERREIRA, A. L. B. UPS de 5KVA tipo Passive Stand-by com integração de painéis solares. Dissertação Mestrado, Universidade Estadual de Londrina, Londrina PR, 2009.
- GNOATTO, C. L. Estratégias de controle repetitivo para aplicação em sistemas de alimentação ininterrupta de energia. Dissertação Mestrado, Universidade Tecnológica Federal do Paraná, Pato Branco, 2011.
- GONÇALVES, F. D. Respostas de Sistemas Ininterruptos de Energia frente a Fenômenos de Qualidade de Energia. Dissertação de Mestrado., Universidade de Brasília, Brasília DF, 2008.
- GUELDNER, H.; WOLF, H.; BLACHA, N. Single phase UPS inverter with variable output voltage and digital state feedback control. Industrial Electronics, 2001. Proceedings. ISIE 2001. IEEE International Symposium Pusan, Jun 2001. 1089 - 1094 vol.2.
- HOLMES, D. G. et al. Optimized Design of Stationary Frame Three Phase AC Current Regulators. IEEE Transaction on Power Eletronics, v. 24, November 2009.

JAVED, M. R.; MAHMOOD, T.; CHOUDHRY, M. A. Performance analysis of static transfer switch using MATLAB/Simulink. Power Generation System and Renewable Energy Technologies (PGSRET), 10-11 June 2015. 1 - 5.

JORGE, A. P. G. M. Estudo e Implementação Experimental de Conversores AC/DC de Onda Sinusoidal. Dissertação de Mestrado, Universidade Técnica de Lisboa, 2009.

KARVE, S. Three of a kind [UPS topologies, IEC standard]. Harrow UK: [s.n.], 2000.

KAZMIERKOWSKI, M. P.; BLAABJERG, F.; KRISHNAN, R. Control in power electronics. 1ª Edição: Academic Press, 2002.

KECUN, G.; YUXING, D. DSP Control Method of Single-phase Inverters for UPS Applications. Control Conference Chinese 2007, June 2007. 670 - 672.

MANAGEMANT, I. Alerta sobre a importância do uso de nobreak. Disponível em: << <http://docmanagement.com.br/04/12/2012/alerta-sobre-a-importancia-do-uso-de-nobreaks/>>. Acesso em: 03 Novembro 2014.

MARTINZ, F. O. Estudo de estratégias de rastreamento da corrente e da tensão de saída de um conversor do tipo fonte de tensão. Dissertação de Mestrado, Escola Politécnica da Universidade de São Paulo, São Paulo, p. 136, 2007.

MATTAVELLI, P. et al. Dynamic Improvement in UPS by Means of Control Delay Minimization. IEEE Industry Applications Conference, 9, October 2004. 843-849.

MENEZES, L. M. Desenvolvimento de uma fonte ininterrupta de energia com possibilidade de uso em sistema fotovoltaico. Dissertação Mestrado, Universidade Federal do Ceará, Fortaleza, 2007.

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. Power Electronics: converters, applications and design. 2nd. ed. New York: John Wiley & Sons, 1995.

MONFARED, M. A simplified control strategy for single-phase UPS inverters. Bulletin of the Polish Academy of Sciences Technical Sciences, June 2014. 367–373.

MOSCHAKIS, M. N.; HATZIARGYRIOU, N. D. A detailed model for a thyristor-based static transfer switch. Power Delivery, IEEE Transactions on, p. 1442 – 1449, 2003.

OGATA, K. Engenharia de Controle Moderno. [S.I.]: PEARSON EDUCATION DO BRASIL, 2011.

PACHECO, J. D. O. Desenvolvimento de um sistema didático para ensino de conversores CC-CA com monitoramento por microcontroladores, Florianópolis SC, 2012.

PÁDUA, M. S. D. Técnicas digitais para sincronização com a rede elétrica com aplicação em geração distribuída. Dissertação Mestrado, Universidade Estadual de Campinas, Campinas, 2006.

PÁDUA, M. S.; DECKMANN, S. M.; MARAFÃO, F. P. Frequency-Adjustable Positive Sequence Detector for Power Conditioning Applications. Power Electronics Specialists Conference, 16 Junho 2005. 1928-1934.

RODRIGUES, A. J. Estudo comparativo de estratégias de controle para inversores de fonte ininterruptas de energia, São Paulo, SP, 2010.

SARASWATHY, S.; PUNITHA, K.; DEVARAJ, D. Implementation of Current Control Techniques for Uninterruptable Power Supply. Circuits, Power and Computing Technologies (ICCPCT), 2013 International Conference, 20-21 March 2013. 589-595.

SCHIAVON JR, G. Nobreak 1,2KVA, Senoidal, operando em malha fechada: circuito de potência, circuito de controle analógico e circuito de controle digital com DSC. Dissertação Mestrado, Universidade Estadual de Londrina, Londrina, 2007.

SCHIAVON, G. J.; TREVISO, C. H. G. Complete design for a 1,2 kVA UPS, with sinusoidal output stabilized, operating with digital control for DSC (digital signal controller). Power Electronics Conference (COBEP), 2011 Brazilian, 11-15 Sept. 2011. 682 – 688.

SEIXAS, F. J. M. D.; PASCHOARELI JR., D.; FARIA JR., M. J. A. Impacto da utilização de inversores em sistemas de geração distribuída sobre equipamentos rurais, ENCONTRO DE ENERGIA NO MEIO RURAL 4, 2002. Disponível em: <http://www.proceedings.scielo.br/scielo.php?script=sci_arttext&pid=MSC000000022002000200012&lng=en&nrm=abn>.

SILVA, C. E. D. A. Inversor Monofásico Isolado em Alta Frequencia com ampla faixa de tensão de Entrada. Dissertação Mestrado, Universidade Estadual do Ceará, Ceará, 2007.

STEINBRUCH, A.; WINTERLEE, P. Geometria Analítica. 2ª Edição. ed. [S.l.]: [s.n.], 1987.

SUN, X. et al. Neural-network-controlled single-phase UPS inverters with improved transient response and adaptability to various loads. Power

Electronics and Drive Systems, 1999. Proceedings of the IEEE 1999 International Conference, Jul 1999. 865 - 870 vol.2.

TEODORESCU, R. et al. Proportional-resonant controllers and filters for grid-connected voltage-source converters. Electric Power Applications, IEE Proceedings, p. 750 – 762, 2006.

TREVISO, C. H. G.; DEMIAN JR, A. E.; FERREIRA, A. L. B. No-break para aplicações residenciais, comerciais e industriais de 5kW com interface para painel solar. SOBRAEP, p. 173-180, Agosto 2009.

UGRAS, M. DIGITAL SIGNAL PROCESSOR BASED IMPLEMENTATION OF CUSTOM POWER DEVICE CONTROLLERS. PhD Thesis, Çukurova University, 2010.

VAN DE SYPE, D. M. et al. Small signal Laplace-domain analysis of uniformly sampled pulse-width modulators. Power Electronics Specialists Conference (PESC), 20-25 June 2004. 4292-4298.

VENDRUSCULO, E. A. et al. Digital Control of Single-Phase VSI for transformer-based UPS. 8th Brazilian Power Electronics Conference COBEP, 2005.

WU, B. High-Power Converters and AC Drives. New York: Wiley-IEEE Press, 2005.

ZMOOD, D. N.; HOLMES, D. G. Stationary Frame Current Regulation of PWM Inverters with Zero Steady-State Error. IEEE Transactions on Power Electronics, v. 18, p. 814-822, May 2003.

ANEXOS

ANEXO A – NORMALIZAÇÃO DAS FONTES ININTERRUPTAS DE ENERGIA

A.1 Fontes Ininterruptas de Energia

Fontes ininterruptas de energia, definidas como nobreaks, são sistemas responsáveis pelo fornecimento de energia condicionada para cargas críticas sem interrupções, mesmo durante uma falta no fornecimento de energia das concessionárias. Além de possibilitar uma energia elétrica confiável, evitando assim o desgaste dos componentes eletrônicos sensíveis em diversos equipamentos.

Por se tratar de uma fonte alternativa, a amplitude e a frequência da tensão de saída do inversor deve ser a mesma encontrada na rede elétrica, ou seja, tensão de 127 V_{rms} alternada com frequência de 60 Hz. Já quanto a sua forma, a tensão de saída do inversor pode ser quadrada, semi-senoidal ou senoidal (SCHIAVON JR, 2007).

A onda quadrada, como pode ser visto na Figura 104, apresenta alta distorção harmônica total de tensão (THDv), superior a 40%. Essa forma de onda não é indicada para cargas indutivas, além de gerar ruídos, aquecimentos e funcionamentos defeituosos em diversos equipamentos (SCHIAVON JR, 2007).

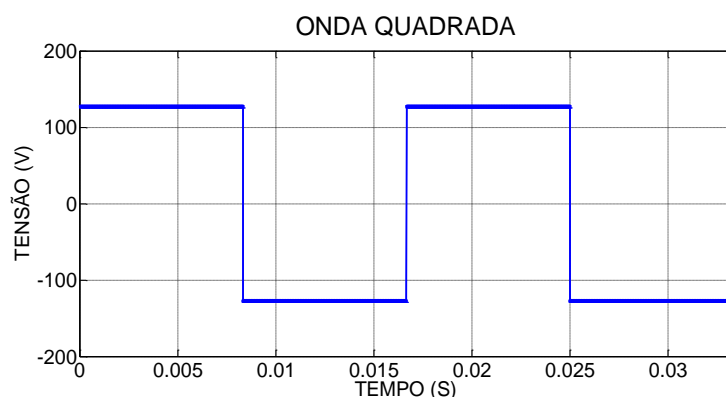


Figura 104 – Forma de onda quadrada de tensão.
Fonte: Autor.

No caso da onda semi-senoidal, como pode ser visto na Figura 105, que é uma forma de onda intermediária entre a onda quadrada e a onda senoidal

pura, reduz a distorção harmônica total de tensão (THDv em torno de 15 a 35%) em comparação com a onda quadrada. O valor de pico dessa forma de onda também é maior que o da quadrada, atingindo o mesmo valor de pico da senoide pura (SCHIAVON JR, 2007).

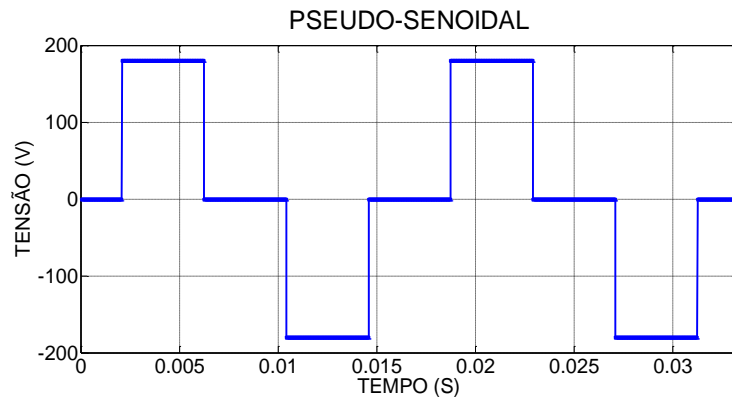


Figura 105 – Forma de onda Pseudo-senoidal de tensão.
Fonte: Autor.

É com a forma de onda senoidal pura de tensão, na Figura 106, que os aparelhos eletro-eletrônicos têm seu desempenho máximo, pois não geram ruídos ou distorções em aparelhos de som, vídeo e DVDs. Proporcionam partidas suaves a motores e evitam aquecimentos indesejáveis e ruídos audíveis desagradáveis, o que torna o inversor senoidal tecnicamente desejável (SCHIAVON JR, 2007).

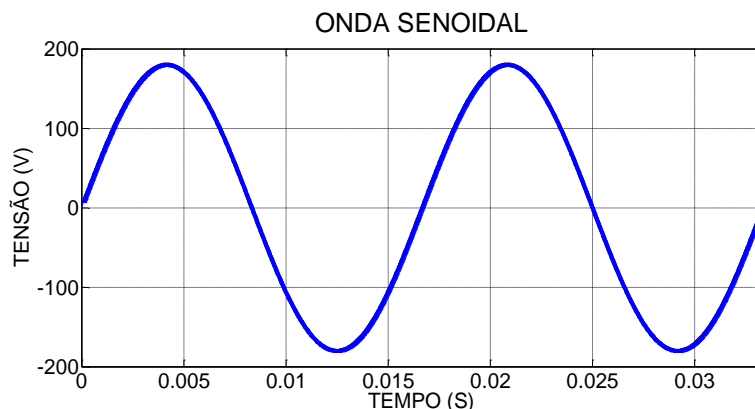


Figura 106 – Forma de onda senoidal.
Fonte: Autor.

A.2 Normatização internacional de UPS: IEC 62040-3/1999

Surgiram desde a segunda metade do século passado sistemas capazes de manter a alimentação de equipamentos elétricos, mesmo com o fornecimento de energia interrompido. Entretanto, devido à falta de

normatização, surgiram as mais diversas nomenclaturas, sendo a qualidade do produto uma incógnita para o usuário final. Com base nestes problemas, a Comissão Eletrotécnica Internacional (do inglês *International Electrotechnical Commission* - IEC) desenvolveu uma norma específica para as UPS estáticas, a IEC 62040-3/1999, a fim de padronizar as UPS e garantir a segurança destes produtos (KARVE, 2000).

A norma IEC 62040-3/1999 define os três tipos de topologias existentes de UPS: Passive Standby, Line Interactive e Double Conversion.

A.2.1 UPS Passive Standby

Nesta topologia, mostrada na Figura 107, há dois modos de funcionamento: modo normal e modo bateria. No modo normal, a carga é alimentada diretamente pela rede de energia CA através de uma chave de transferência ou um comutador. No modo normal, a bateria é carregada constantemente por um retificador (CA/CC) e o inversor permanece em espera, por isso a denominação Passive Standby (FERREIRA, 2009).

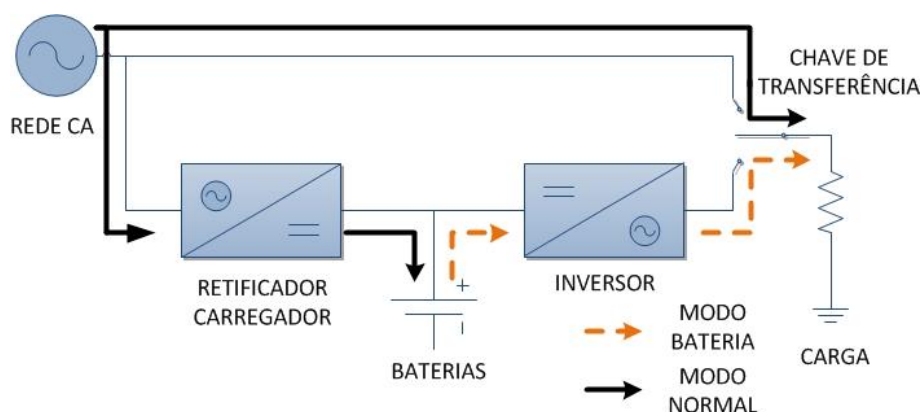


Figura 107 - UPS *Passive Standby*.

Fonte: Autor

O modo bateria é caracterizado pela comutação da rede para o equipamento quando a tensão de entrada ultrapassa uma determinada faixa de tolerância ou quando há interrupção de energia, e a partir deste ponto é o UPS que sustentará a alimentação da carga suprimindo sua necessidade enquanto houver energia armazenada na bateria, ou então, quando a tensão da rede de energia CA restabelecer a faixa de tolerância limite adequada.

O tempo de transferência ou comutação não deve prejudicar o funcionamento da carga, como por exemplo, fontes chaveadas de computadores pessoais, que suprem a energia consumida através de capacitores. O tempo típico de transferência para essa topologia de UPS é de aproximadamente 10 ms (GONÇALVES, 2008).

A escolha da topologia Passive Standby deve ser analisada de forma a avaliar a relação estabelecida entre o nível de proteção que se deseja a carga, e o custo da UPS em relação às outras topologias. Como vantagens dessa topologia são: baixo custo de fabricação em relação às outras topologias, projeto simplificado e dimensão reduzida do equipamento. Porém, como mostra a Figura 107, por razão de a carga estar diretamente conectada a rede CA, ela fica exposta aos distúrbios indesejáveis como: variações de tensão, frequência e distorção harmônica (GONÇALVES, 2008).

A.2.2 UPS Line Interactive

Na topologia Line Interactive, o inversor (conversor estático) é bidirecional, sendo capaz de funcionar como um retificador CA/CC no modo normal e como inversor CC/CA no modo bateria, reduzindo as perdas de energia e elevando a eficiência já que possui apenas um estágio de conversão de energia. O diagrama básico do sistema de acordo com da norma IEC 62040-3 consta na Figura 108.

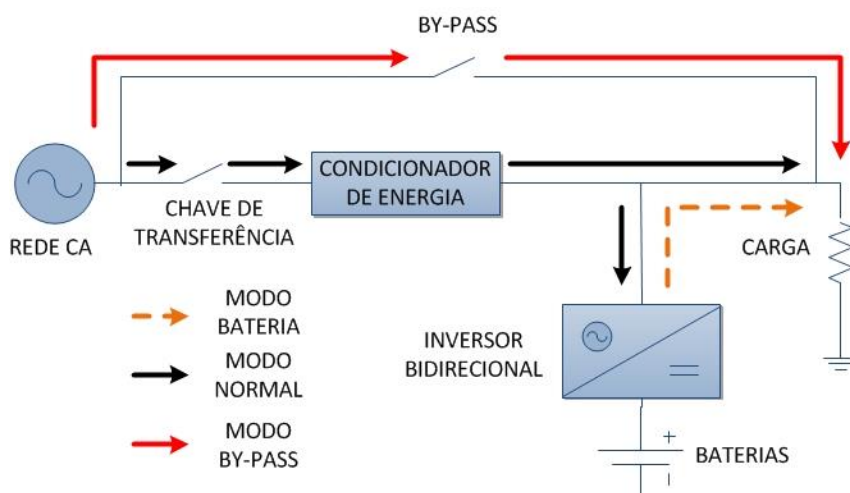


Figura 108 - UPS *Line Interactive*.

Fonte: Autor.

De acordo com norma IEC 62040-3 existem três modos de operação para esta topologia: modo normal, modo bateria e modo *by-pass*. No modo normal a carga é sustentada através da rede elétrica por meio de um condicionador de energia (indutor de acoplamento, regulador de tensão ou transformador), conectado ao ramo principal, entre a rede CA e a carga. Nesta situação, o inversor bidirecional alimentará a bateria. No instante em que a tensão de entrada é interrompida, o sistema de controle do equipamento transfere, através da chave de transferência, a carga para o modo bateria, que fornecerá energia à carga por meio do inversor bidirecional. Para evitar curto com a rede, há a desconexão da mesma através do circuito de controle. A outra possibilidade de funcionamento é o modo *by-pass*, utilizado para manutenção ou proteção do UPS.

A.2.3 UPS Double Conversion

A topologia de UPS Double Conversion contida na norma IEC 62040-3 é comumente conhecida e comercializada pelo termo "*on-line*", principalmente no Brasil, já que esta nomenclatura consta na norma NBR 15014 como pode ser visto na próxima seção. A carga, nessa topologia, não está conectada diretamente à rede de energia CA, e sim ao inversor. A Figura 109 mostra a representação em diagrama de blocos desta topologia. Verifica-se na Figura 109 que o inversor é conectado em série entre a rede de energia CA e a carga, sendo esta característica importante para diferenciar essa topologia das demais.

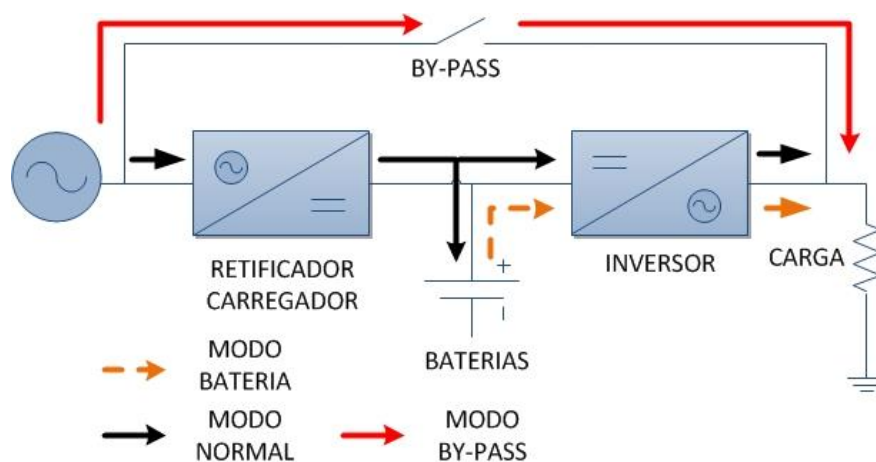


Figura 109 - UPS *Double Conversion*.

Fonte: Autor.

A norma IEC 62040-3 também define três modos de operação para a topologia Double Conversion: modo normal, modo bateria e modo *by-pass*. No modo normal, a energia elétrica é duas vezes convertida, uma no retificador CA/CC e outra no inversor de tensão, o que originou a nomenclatura dada pela norma IEC 62040-3. Quando a rede falha, o sistema de controle transfere a carga para o modo bateria. Como a bateria está conectada em paralelo com o barramento CC, a transferência do modo normal para o modo bateria e vice-versa não é percebida pela carga. O modo *by-pass* é utilizado para manutenção ou proteção do UPS.

A.3 Classificação das UPS quanto ao comportamento operacional da tensão de saída

A norma IEC 62040-3 apresenta uma classificação padrão para as UPS baseadas no desempenho estático e dinâmico. Esta norma especifica determinados códigos relacionados a qualidade da energia entregue à carga, à forma de onda das tensões de saída e ao desempenho dinâmico sob transitórios, com carga linear e não-linear. O objetivo de classificar as UPS pelo desempenho é o de prover uma base comum sobre a qual os dados dos fabricantes e fornecedores possam ser comparados. Estas classificações têm como base o desempenho da UPS alimentando cargas de referência, que emulam aplicações típicas na prática. Embora os ensaios propostos pela norma não testem todas as possíveis condições práticas, os mesmos foram concebidos para emular situações críticas de operação. Logo, se a UPS apresentar um desempenho satisfatório nestas situações, é muito provável que também consiga atender às especificações menos exigentes.

A classificação das UPS, com base no comportamento operacional das tensões de saída, é definida através de uma codificação apropriada. Esta codificação possui três campos:

$$AAA - BC - DEF \quad (76)$$

O campo AAA em (76) é o código alfabético que se refere à dependência da tensão de saída com relação à fonte de alimentação empregada na entrada da UPS. São três as possibilidades:

VFI. *Voltage and Frequency Independent*: A saída da UPS é independente das variações de frequência e tensão da fonte de entrada. Assume-se que a fonte de alimentação de entrada se encontra dentro dos limites da norma com relação aos níveis individuais de componentes harmônicas e taxa de distorção harmônica total.

VFD. *Voltage and Frequency Dependent*: A saída da UPS é dependente de variações de frequência e tensão da fonte de entrada.

VI. *Voltage Independent*: A saída da UPS é dependente das variações de frequência da fonte de entrada, mas as variações de tensão de entrada estão condicionadas por dispositivos de regulação eletrônicos ou passivos, dentro dos limites normais de operação.

Os campos BC em (76) contém os códigos alfabéticos que se referem à forma de onda da tensão de saída da UPS. O caracter B se refere ao modo normal ou modo desvio (*bypass*), enquanto o caracter C ao modo armazenamento (*backup*). São três as possibilidades:

S. Forma de onda senoidal com fator de distorção harmônica THD < 0,08, definido pela norma, para as cargas de referência, tanto linear quanto não-linear.

X. Forma de onda da tensão de saída senoidal para carga linear, com o fator de distorção idêntico ao mostrado no item acima. Para carga não-linear, o fator de distorção harmônica THD excede o valor 0,08 se a UPS for carregada além dos limites estabelecidos pelo fabricante.

Y. Forma de onda da tensão de saída não-senoidal: quadrada, quase-quadrada, trapezoidal, entre outras. O fator de distorção harmônica THD excede os limites da norma.

Os campos DEF em (76) contém os códigos numéricos relacionados ao desempenho transitório das tensões de saída sob as diferentes condições de ensaio, definidas na norma, para os modos de operação. O campo D indica o desempenho na mudança de modo de operação (de modo normal para modo backup). O campo E indica o desempenho após um degrau de carga linear, tanto em modo normal quanto em modo backup. O campo F indica o desempenho após um degrau de

carga não-linear, tanto em modo normal quanto em modo backup. As classificações existentes são três e indicam os seguintes comportamentos:

1.O desempenho transitório não excede os limites dado pela Figura 110 extraída na norma IEC 62040-3.

2.O desempenho transitório não excede os limites dado pela Figura 111 extraída na norma IEC 62040-3.

3.O desempenho transitório não excede os limites dado pela Figura 112 extraída na norma IEC 62040-3.

Observa-se na Figura 110 que, na hipótese de um evento provocar a mudança do modo normal para o modo bateria, as cargas alimentadas por UPS classificadas por essa curva de desempenho não sofrem interrupção de tensão. Contudo, se essas cargas forem alimentadas por UPS classificadas conforme as curvas de desempenho apresentadas nas Figura 111 e 109, a tensão entregue é interrompida por um período de até 1 ms e 10 ms, respectivamente.

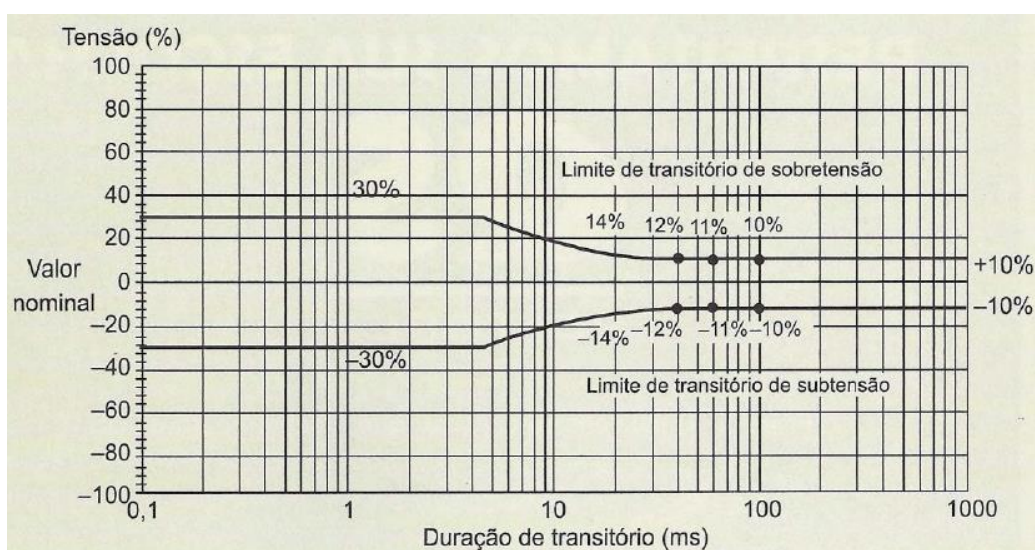


Figura 110 - Classificação "1".
Fonte: (GONÇALVES, 2008).

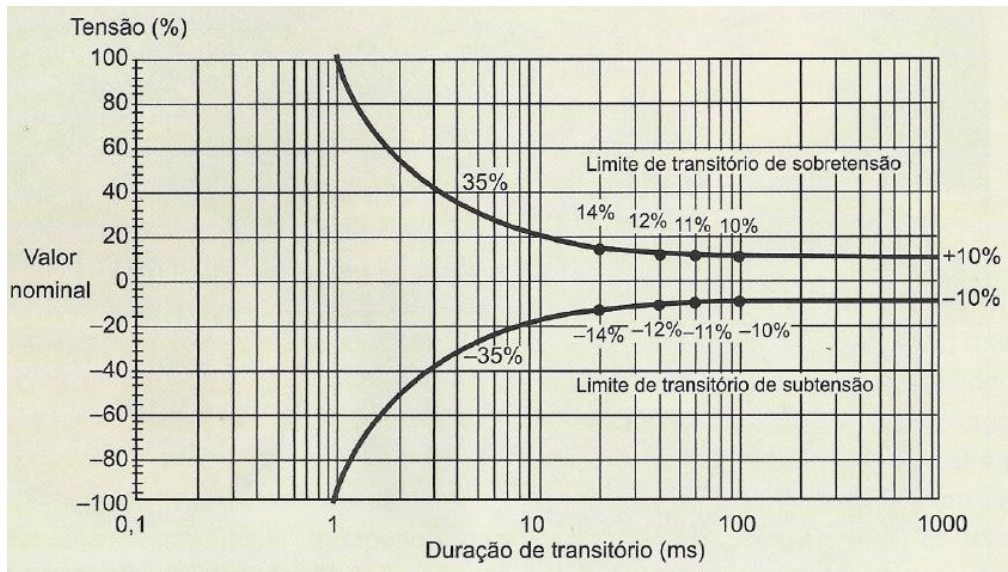


Figura 111 - Classificação "2".
 Fonte: (GONÇALVES, 2008).

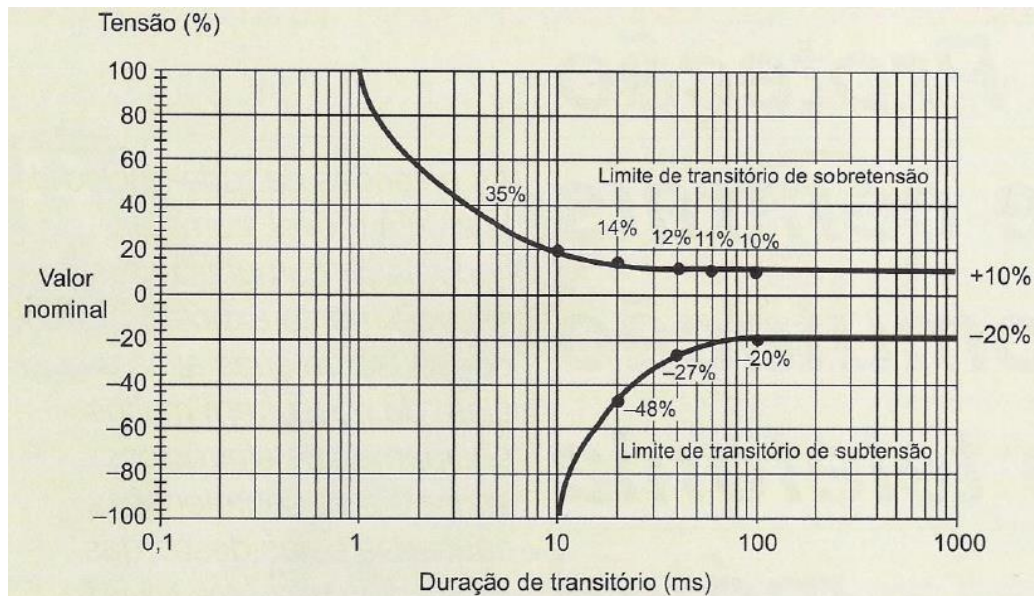


Figura 112 - Classificação "3".
 Fonte: (GONÇALVES, 2008).

A.4 Normatização de UPS no Brasil

No Brasil, a norma NBR 15014/2003 apenas define os três tipos de topologias, seguindo as mesmas topologias apresentadas pela IEC 62040-3, sendo que os termos utilizados pela norma brasileira são: Standby, Interativo e On-line. A topologia Standby na norma brasileira é a mesma da Standby da norma IEC 62040-3; o Interativo é a mesma da topologia Line Interactive e a Double Conversion é análoga a On-line. Já a NBR 15204/2005 é a norma

brasileira que estabelece os limites de desempenho e requisitos básicos de segurança dos UPS até 3 kVA e também é baseada na norma IEC 62040-3, contudo não apresentam a mesma classificação quanto aos fenômenos de QEE utilizada pela norma internacional.

APÊNDICES

APÊNDICE A

O Apêndice A mostra a montagem em bancada do protótipo, além de fotografias e modelos em 3 dimensões das placas utilizadas no trabalho.



Figura 113 – Montagem em bancada.
Fonte: Autor.

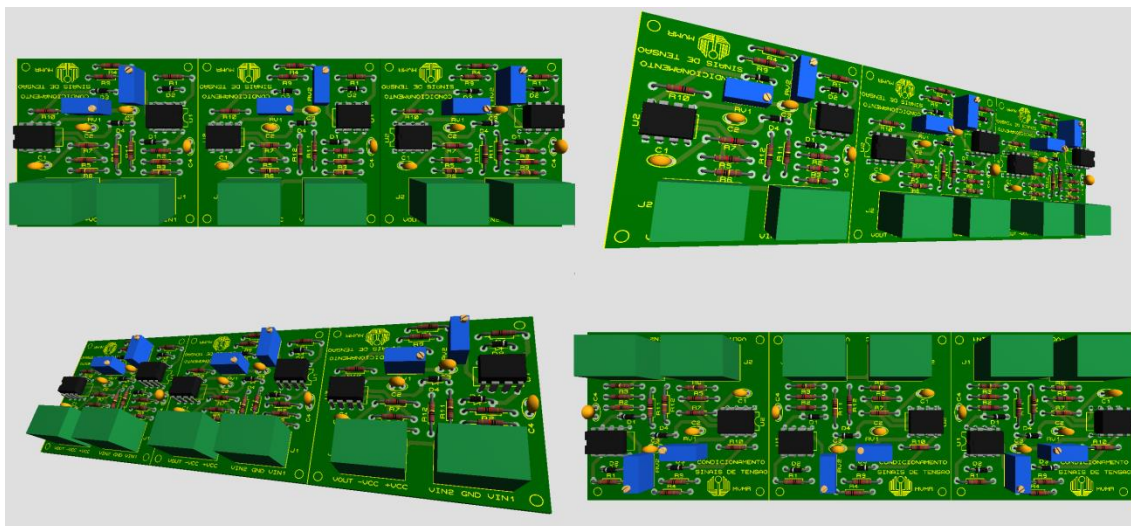


Figura 114 – Modelo da placa de condicionamento de tensão em 3D.
Fonte: Autor.



Figura 115 – Fotografia da placa de condicionamento de tensão.
Fonte: Autor.



Figura 116 - Modelo da placa de condicionamento de corrente em 3D.
Fonte: Autor.



Figura 117 - Fotografia da placa de condicionamento de corrente.
Fonte: Autor.

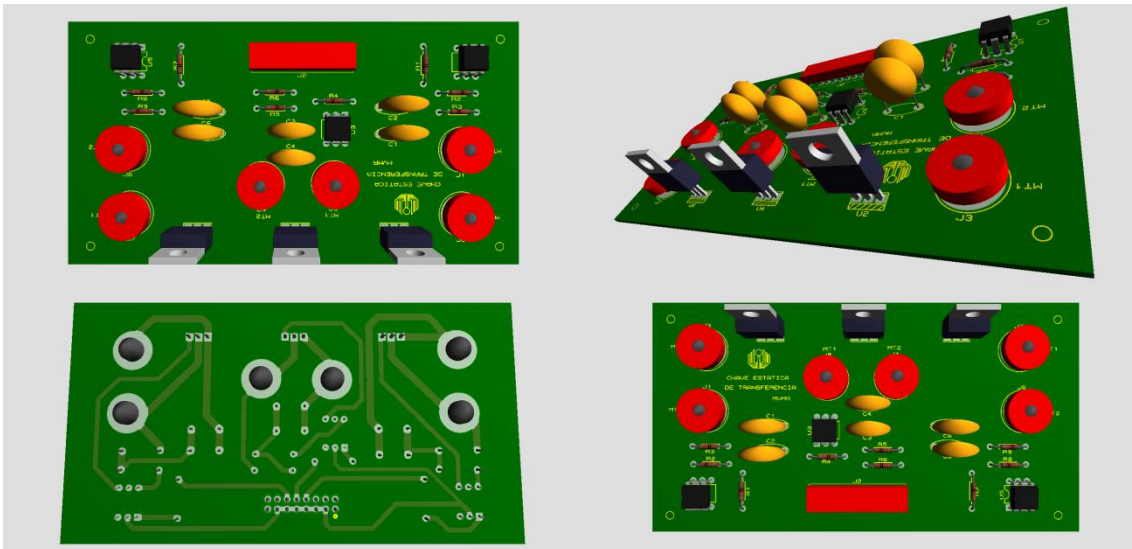


Figura 118 - Modelo da placa da chave estática de transferência com topologia de tiristor em 3D.
 Fonte: Autor.



Figura 119 - Fotografia da placa da chave estática de transferência de topologia com tiristor.
 Fonte: Autor.

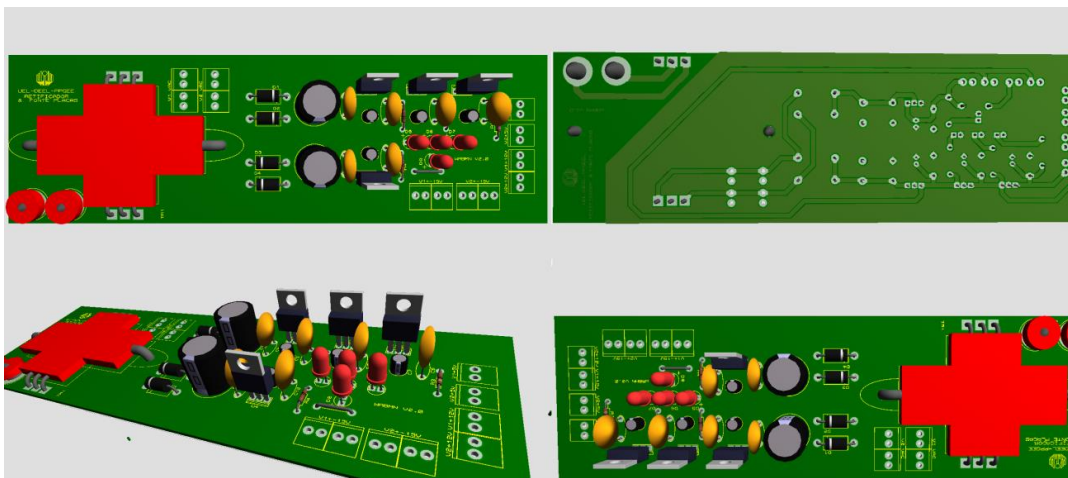


Figura 120 - Modelo da placa da fonte de alimentação em 3D.
 Fonte: Autor.

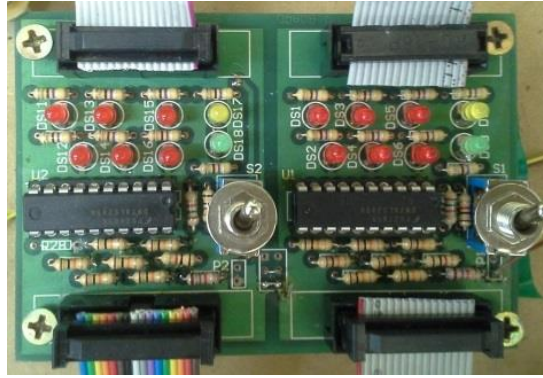
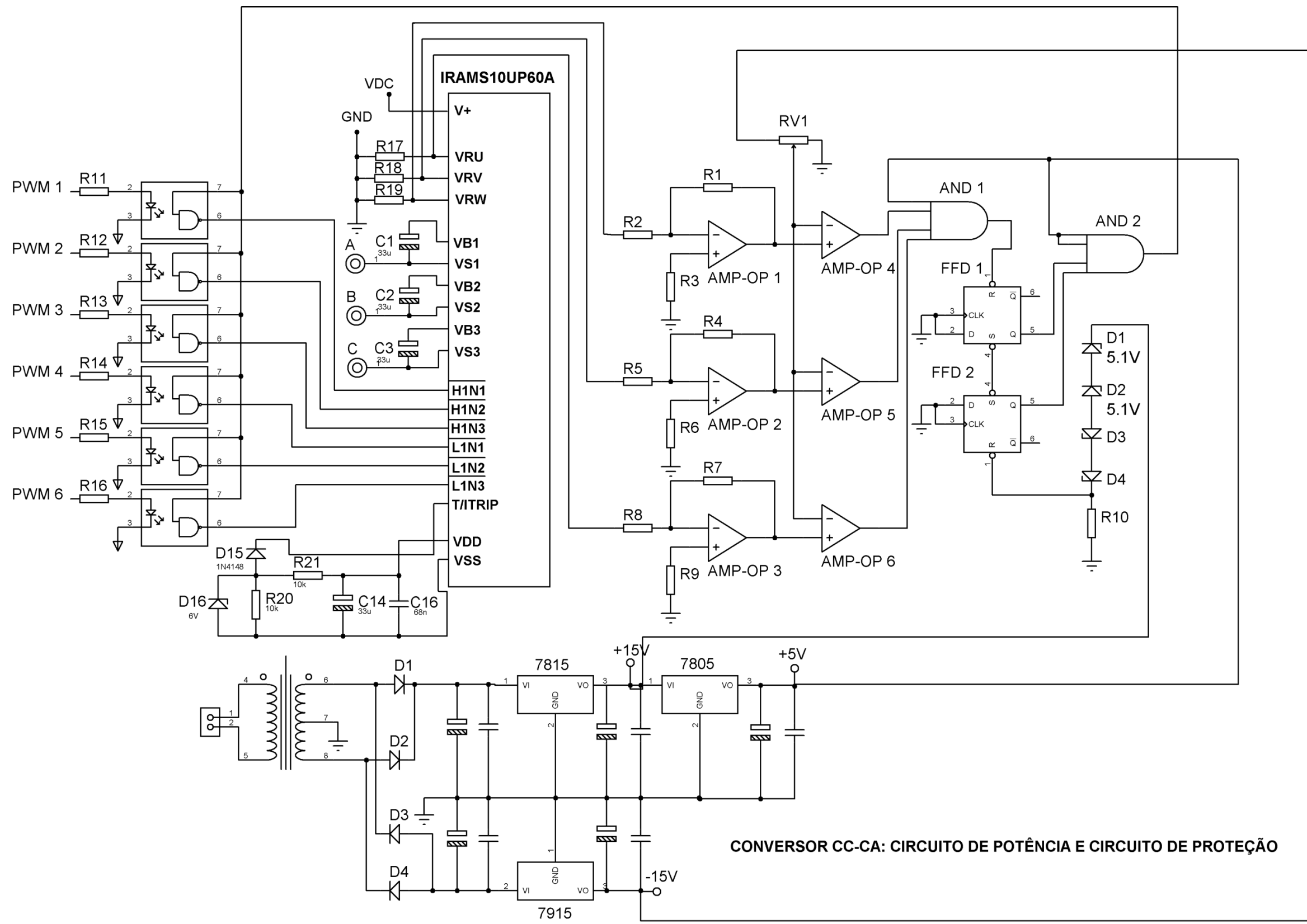


Figura 121 - Fotografia da placa *buffer*.
Fonte: Autor.



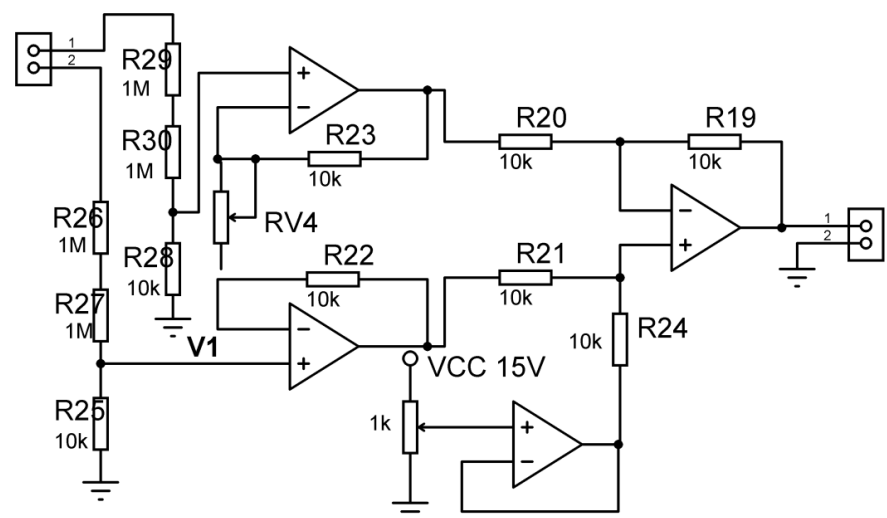
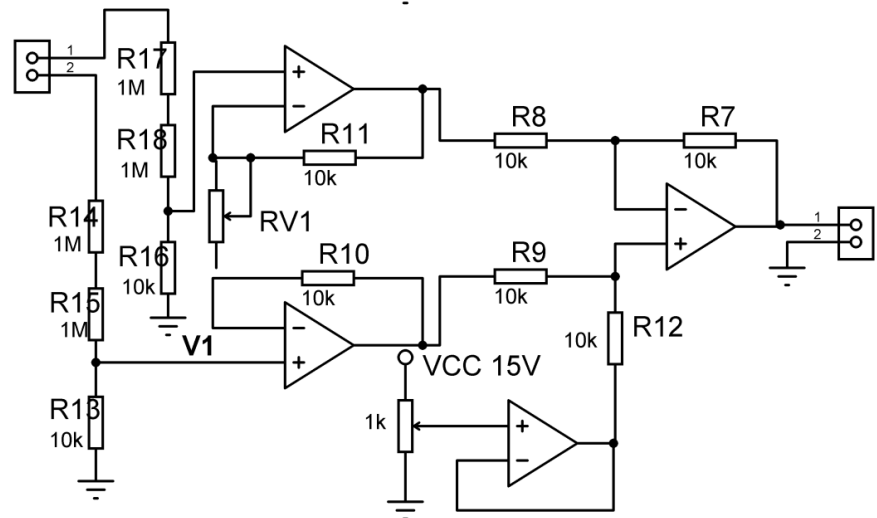
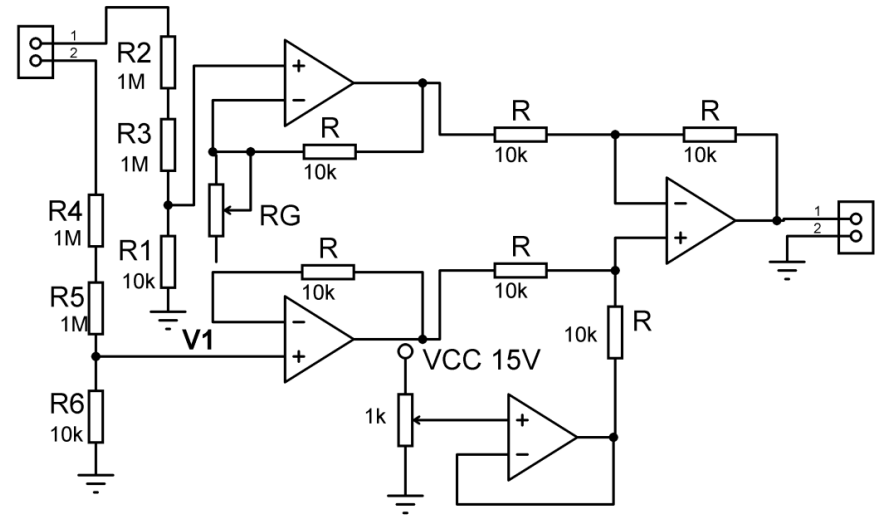
Figura 122 - Fotografia da placa do inversor monofásico.
Fonte: Autor.

APÊNCIDE B

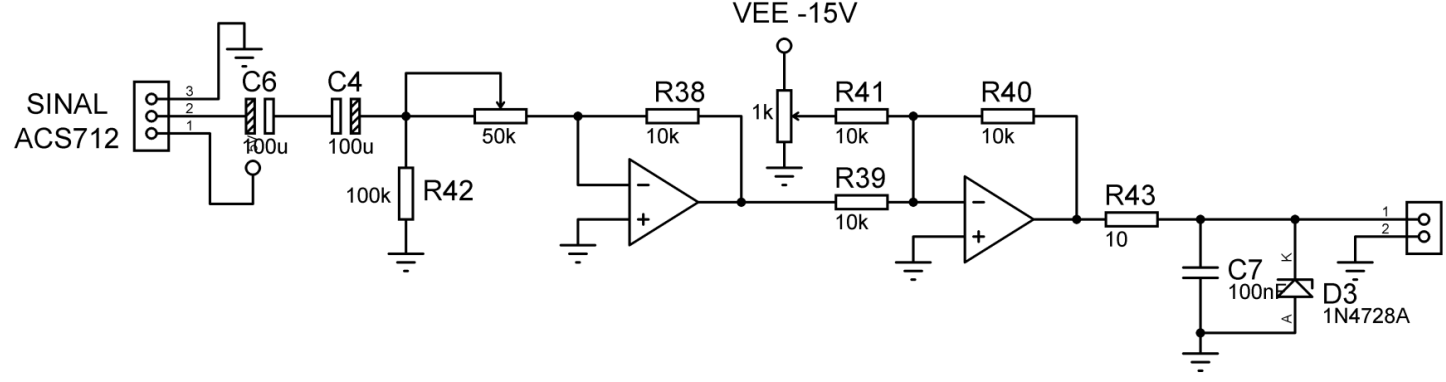
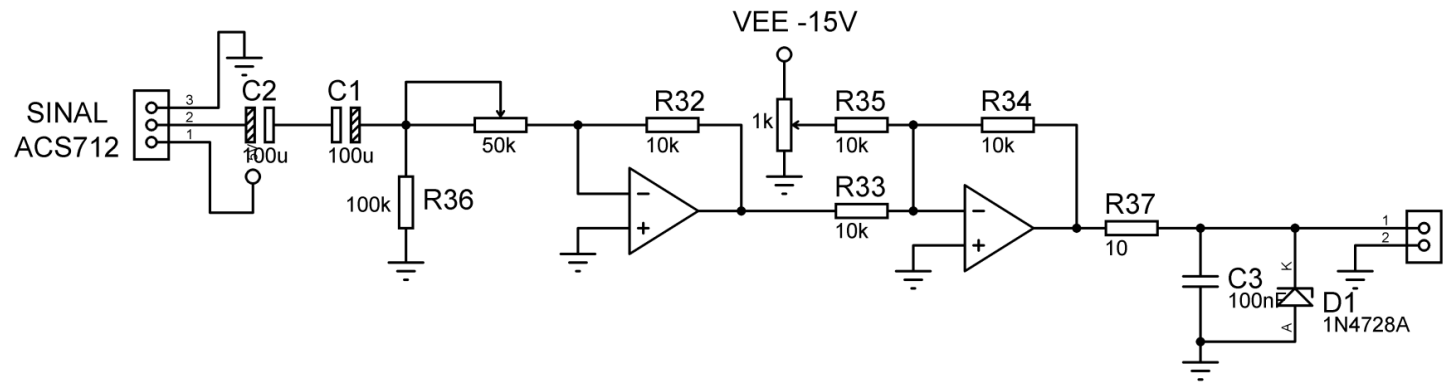
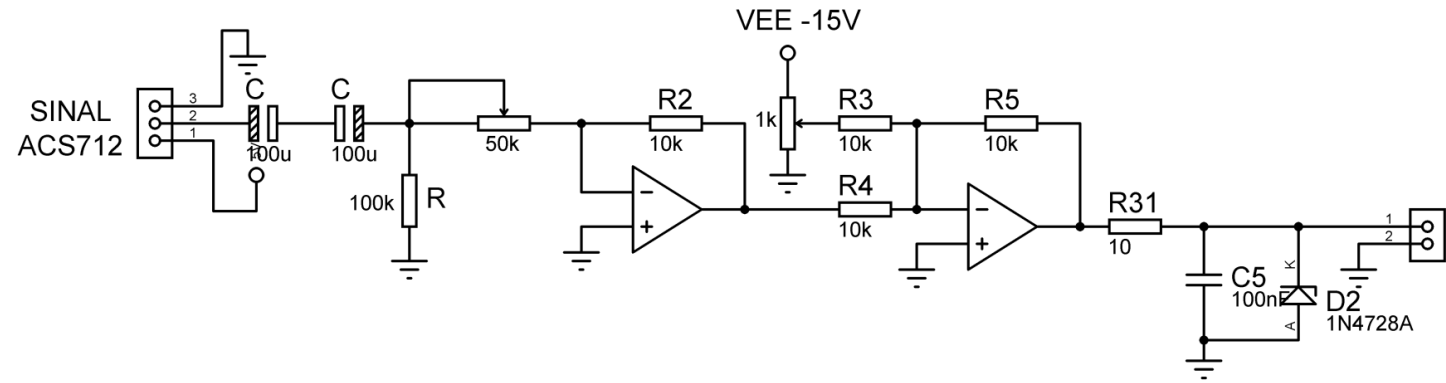


APÊNDICE C

SENSOR / CONDIONAMENTO TENSÃO

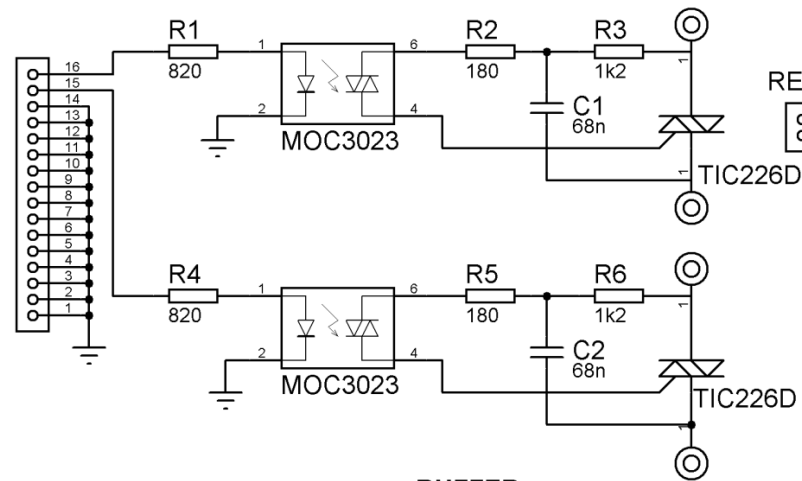


SENSOR / CONDIONAMENTO CORRENTE

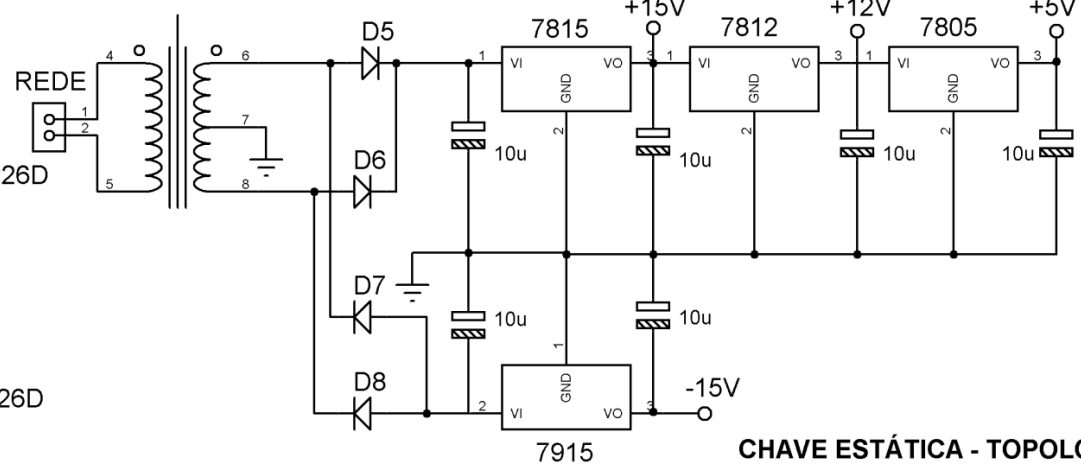


APÊNDICE D

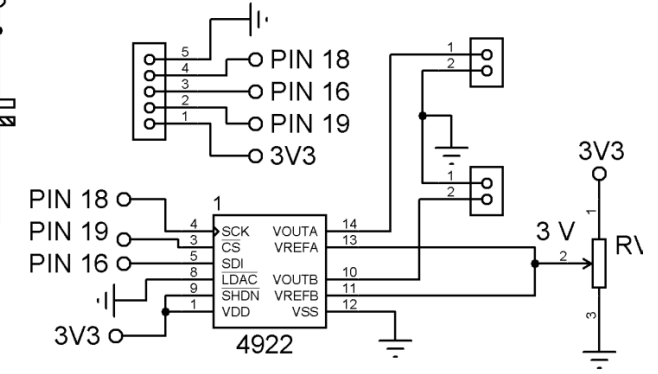
CHAVE ESTÁTICA - TOPOLOGIA COM TIRISTORES



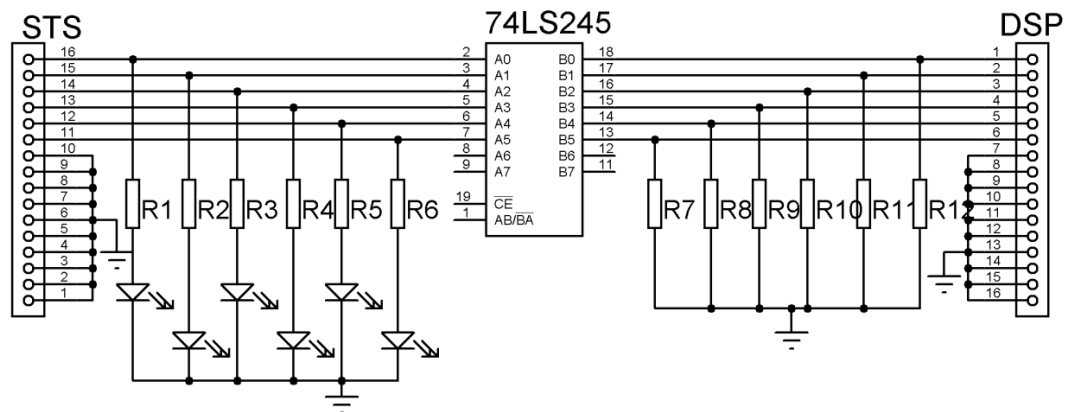
FONTE DE ALIMENTAÇÃO



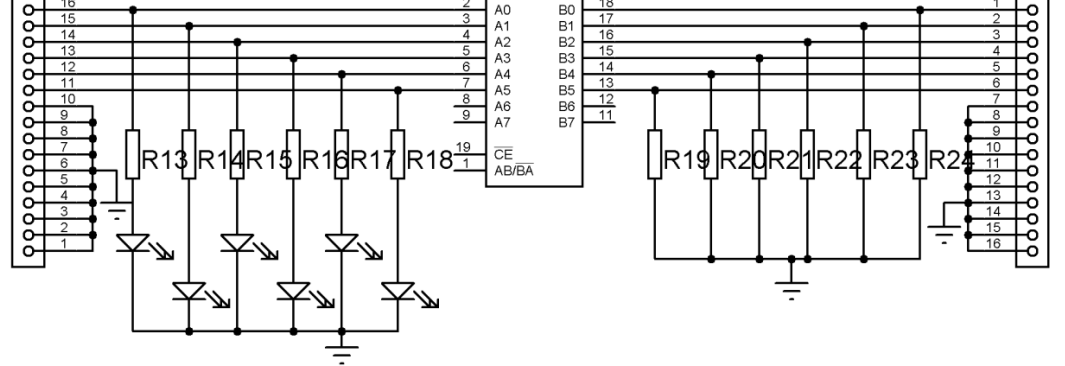
CONVERSOR DIGITAL-ANALÓGICO



BUFFER



INVERSOR



CHAVE ESTÁTICA - TOPOLOGIA COM IGBTs

