



Centro de Tecnologia e Urbanismo  
Departamento de Engenharia Elétrica  
Programa de Mestrado em Engenharia Elétrica

***NO-BREAK 1,2KVA, SENOIDAL, OPERANDO EM  
MALHA FECHADA: CIRCUITO DE POTÊNCIA,  
CIRCUITO DE CONTROLE ANALÓGICO E CIRCUITO DE  
CONTROLE DIGITAL COM DSC***

**GILSON JUNIOR SCHIAVON**

Dissertação de Mestrado em Engenharia elétrica  
Área de Concentração: Eletrônica de Potência  
Orientador(a): Prof. Dr. Carlos Henrique Gonçalves Treviso  
Londrina, 17 dezembro de 2007

---

**UNIVERSIDADE ESTADUAL DE LONDRINA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

***No-BREAK* 1,2KVA, SENOIDAL, OPERANDO EM MALHA  
FECHADA: CIRCUITO DE POTÊNCIA, CIRCUITO DE  
CONTROLE ANALÓGICO E CIRCUITO DE CONTROLE  
DIGITAL COM DSC**

Dissertação submetida ao Departamento  
de Engenharia Elétrica da Universidade  
Estadual de Londrina, para  
preenchimento dos pré-requisitos para  
obtenção do título de Mestre em  
Engenharia Elétrica.

**GILSON JUNIOR SCHIAVON**

Londrina, 17 dezembro de 2007

***No-BREAK 1,2KVA, SENOIDAL, OPERANDO EM MALHA  
FECHADA: CIRCUITO DE POTÊNCIA, CIRCUITO DE  
CONTROLE ANALÓGICO E CIRCUITO DE CONTROLE  
DIGITAL COM DSC***

**GILSON JUNIOR SCHIAVON**

---

Prof. Dr. Carlos Henrique Gonçalves Treviso – UEL  
Universidade Estadual de Londrina  
Orientador

Comissão Examinadora:

---

Prof. Dr. Carlos Henrique Gonçalves Treviso - UEL  
Universidade Estadual de Londrina

---

Prof<sup>a</sup>. Dr<sup>a</sup>. Silvia Galvão de Souza Cervantes - UEL  
Universidade Estadual de Londrina

---

Prof. Dr. João Batista Vieira Júnior - UFU  
Universidade Federal de Uberlândia

## **AGRADECIMENTOS**

*Agradeço a todos os professores do departamento de engenharia elétrica da Universidade Estadual de Londrina por terem contribuído de forma direta ou indireta em mais esta etapa de minha formação, o que me proporcionou um conhecimento mais aprofundado sobre os conteúdos relacionados a engenharia elétrica.*

*Aos professores Dr. João Batista Vieira Júnior (UFU) e Dr<sup>a</sup>. Silvia Galvão de Souza Cervantes (UEL) por aceitarem o convite de participar da comissão examinadora deste trabalho.*

*Ao professor Dr. Carlos Henrique Gonçalves Treviso por ter me orientado com muita calma e dedicação no desenvolvimento deste trabalho.*

*Aos colegas de turma no qual tive uma ótima convivência e troca de conhecimentos no decorrer do curso.*

*Ao tecnólogo José Junior Calin de Pierri e professor Sérgio Ota, por terem me orientado no desenvolvimento do programa (software) utilizado no projeto.*

*A minha esposa Fabiana P. Monteiro Schiavon por todo seu amor, paciência, apoio e compreensão que foram fundamentais para conclusão deste trabalho.*

*Aos meus pais Pedro Schiavon e Maria Ap. Schiavon por terem me dado uma ótima educação, estudo e muito amor sempre me incentivando a seguir em frente cada vez mais e nunca desistir frente a um obstáculo, me fazendo acreditar em um futuro melhor.*

*Aos meus irmãos Johnnes Ap. Schiavon e Djeine Cristina Schiavon por todo seu apoio e incentivo.*

*A Deus por ter me proporcionado a oportunidade de realizar este estudo, pois além de acreditar na ciência, creio que existe uma força maior criadora de tudo.*

*Meu muito obrigado a todos!*

## EPÍGRAFE

*“Uma coisa aprendi na minha longa vida: que toda nossa ciência, contraposta à realidade, é primitiva e infantil. E, apesar disso, é a coisa mais preciosa que temos.”*

***Albert Einstein (Físico alemão)***

## RESUMO

### ***No-BREAK* 1,2KVA, SENOIDAL, FUNCIONANDO EM MALHA FECHADA: CIRCUITO DE POTÊNCIA, CIRCUITO DE CONTROLE ANALÓGICO E CIRCUITO DE CONTROLE DIGITAL COM DSC**

**GILSON JUNIOR SCHIAVON**

*dezembro, 2007*

Este trabalho consiste de um amplo projeto em eletrônica de potência que visa ao final do mesmo a implementação da placa de potência, da placa de controle analógico e por último a placa de controle digital de um *no-break* senoidal com uma potência de entrada de 1,2 KVA, com tensão de saída de  $115V_{RMS}$ , sendo o mesmo projetado e implementado em malha fechada com controle analógico e em seguida digital com DSC (Controlador Digital de Sinais) para comparação de desempenho.

Serão apresentados o estágio de potência, o controle analógico em malha fechada e o controle digital por DSC do *no-break*, a implementação de todas as funções, proteções e sinalizações do sistema que controla o *no-break* de maneira analógica e digital.

Os resultados experimentais apresentados são obtidos a partir do protótipo implementado, comprovando experimentalmente a funcionalidade da técnica utilizada.

**Palavras-chave:** *No-break*, conversor DC/DC, PWM, controle digital, inversor.

## **ABSTRACT**

### **NO-BREAK 1,2KVA, SINUSOIDAL, WORKING IN CLOSED MESH: CIRCUIT OF POTENCY, CIRCUIT OF ANALOGICAL CONTROL AND CIRCUIT OF DIGITAL CONTROL WITH DSC**

**GILSON JUNIOR SCHIAVON**

*december, 2007*

This work consists of a wide project of power electronics that seeks at the end of the implementation of the power board, the analogical control board and at last the digital control board of a no-break sinusoidal with an input of power of 1,2 kVA, with output voltage of 115VRMS, being the same projected and implemented in closed mesh with analogical control and soon afterwards digital with DSC (Digital Controller of Signs) for comparison.

They will be presented the power board, the analogical control in closed mesh and the digital control for DSC of the no-break, the implementation of all of the functions, protections and signalings of the system that controls the no-break in an analogical and digital way.

The presented experimental results are obtained starting from the implemented prototype, proving the functional of the technique experimentally used.

**Keywords:** No-break, DC/DC converter, PWM, digital control, inverter.

## LISTA DE TABELAS

Tabela 1: Características elétricas do diodo 6A6.....	34
Tabela 2: Tempo de recuperação reversa do UF5404.....	49
Tabela 3: Máxima tensão reversa, corrente média e corrente de pico repetitivo do UF5404.....	50
Tabela 4: Características do IRFZ45.....	65
Tabela 5: Características do IRFP460.....	76
Tabela 6: Funções dos pinos do DSPic30F2010.....	169
Tabela 7: Características do DSPic30F2010.....	170

## LISTA DE FIGURAS

Figura 1 – Forma de onda de saída dos inversores.....	20
Figura 2 – Diagrama de blocos do <i>no-break</i> .....	21
Figura 3: Diagrama de blocos do <i>no-break Stand-by</i> .....	21
Figura 4: Diagrama de blocos do <i>no-break Interativo</i> .....	22
Figura 5: Diagrama de blocos do <i>no-break on-line</i> .....	22
Figura 6 – Circuito retificador com filtro de linha e seletor 127V/220V.....	27
Figura 7 – Funcionamento do retificador em 220V I .....	27
Figura 8 – Funcionamento do retificador em 220V II .....	28
Figura 9 – Formas de onda de tensão na rede (A), tensão no capacitor equivalente (B), corrente nos diodos (C e D) .....	28
Figura 10 – Funcionamento do retificador em 127V I .....	29
Figura 11 – Funcionamento do retificador em 127V II .....	29
Figura 12 – Limitador de corrente de <i>in-rush</i> .....	34
Figura 13 – Filtro de interferência eletromagnética.....	36
Figura 14 – Circuito do seletor 127V / 220V .....	36
Figura 15 – Circuito completo do <i>flyback</i> .....	40
Figura 16 – Retificador do <i>flyback</i> .....	41
Figura 17 – Diagrama de blocos do integrado 1M0380 .....	41
Figura 18 – Circuito de potência do <i>flyback</i> .....	42
Figura 19 – Conversor <i>flyback</i> modo descontinuo com transformador .....	43
Figura 20 – <i>Flyback</i> : Armazenamento de energia. $[t_0;t_1]$ .....	43
Figura 21 – <i>Flyback</i> : Transferência de energia. $[t_1;t_2]$ .....	43
Figura 22 – <i>Flyback</i> : Repouso. $[t_2;t_3]$ .....	43
Figura 23 – <i>Flyback</i> : Principais formas de onda .....	44
Figura 24 – Diagrama de blocos interno do TL431 .....	50

Figura 25 – Circuito de controle do <i>Flyback</i> .....	51
Figura 26 – Circuito do limitador de corrente .....	52
Figura 27 – Circuito completo do conversor DC/DC .....	55
Figura 28 – Circuito do <i>snubber</i> .....	56
Figura 29 – Circuito simplificado do conversor .....	57
Figura 30 – Circuito de um conversor <i>Forward</i> convencional.....	58
Figura 31 – Formas de onda de um conversor <i>Forward</i> convencional .....	58
Figura 32 – Formas de onda de tensão no diodo D8 e forma da corrente no indutor .....	59
Figura 33 – Esquemático do circuito do inversor .....	68
Figura 34 – Circuito de amostragem da tensão de saída.....	69
Figura 35 – Esquemático do circuito dos <i>drives</i> das chaves.....	70
Figura 36 – <i>Snubber</i> das chaves do inversor.....	72
Figura 37 – Circuito simplificado do inversor .....	73
Figura 38 – Acionamento do relé .....	81
Figura 39 – Saída do retificador para uma entrada de 127V .....	82
Figura 40 – Saída do retificador para uma entrada de 220V .....	82
Figura 41 – Saída do conversor <i>flyback</i> durante o carregamento das baterias ..	83
Figura 42 – Sinal na entrada do conversor DC/DC, proveniente do controle.....	84
Figura 43 – Forma de onda no primário do transformador do conversor DC/DC	84
Figura 44 – Forma de onda no secundário do transformador do conversor DC/DC .....	85
Figura 45 – Forma de onda de saída do conversor DC/DC .....	86
Figura 46 – Sinais da onda PWM em PINV-1 e PINV-2 I.....	87
Figura 47 – Sinais da onda PWM em PINV-1 e PINV-2 II.....	87
Figura 48 – Forma de onda nos <i>gates</i> dos MOSFET's .....	88
Figura 49 – Onda PWM antes do filtro de saída I .....	89

Figura 50 – Onda PWM antes do filtro de saída II .....	89
Figura 51 – Sinal de 60Hz na saída do circuito.....	90
Figura 52 – Diagrama de blocos do <i>No-break</i> e seu controle analógico.....	94
Figura 53 – Diagrama de blocos do controle de um conversor DC/DC.....	96
Figura 54 – Conversor DC/DC (Topologia <i>Forward</i> ).....	98
Figura 55 – Diagrama de blocos do circuito integrado 3525.....	98
Figura 56 – Circuito de sincronismo.....	100
Figura 57 – Circuito de controle do conversor DC/DC .....	102
Figura 58 – Inversor em ponte completa.....	105
Figura 59 – PWM senoidal bipolar .....	107
Figura 60 – PWM senoidal unipolar .....	107
Figura 61 – Diagrama de blocos da técnica utilizada para o controle do inversor .....	108
Figura 62 – Oscilador com Ponte de Wien.....	109
Figura 63 – Circuito gerador Senoidal.....	111
Figura 64 – Circuito de controle de Corrente .....	112
Figura 65 – Circuito gerador de onda triangular.....	113
Figura 66 – Circuito do soft-start e alterador do nível da senóide.....	115
Figura 67 – Circuito de realimentação de tensão.....	116
Figura 68 – Circuito limitador de nível.....	117
Figura 69 – Diagrama interno do TL431 .....	118
Figura 70 – Circuito de geração de pulsos para o inversor.....	119
Figura 71 – Circuito de sinalização .....	122
Figura 72 – Circuito de proteção contra sobre aquecimento.....	125
Figura 73 – Circuito controlador do disparo do relé .....	127
Figura 74 – Circuito bloqueador de pulsos.....	128

Figura 75 – Pulsos de controle da conversão DC/DC.....	131
Figura 76 – Pulsos para o sincronismo dos conversores.....	132
Figura 77 – Onda senoidal de referência.....	133
Figura 78 – Onda triangular de alta frequência.....	134
Figura 79 – Pulsos da modulação PWM Senoidal.....	135
Figura 80 – Pulsos de controle do inversor.....	136
Figura 81 – Pulsos de controle do inversor.....	136
Figura 82 – Forma de Onda na Carga.....	137
Figura 83 – Soft-start da onda senoidal.....	138
Figura 84 – Soft-start da onda na carga.....	139
Figura 85 – Comutação do relé em relação a alimentação do sistema.....	140
Figura 86 – Diagrama de blocos de uma conversão A/D.....	152
Figura 87 – Representação do sinal analógico e digital.....	152
Figura 88 – Diagrama de blocos da conversão A/D.....	153
Figura 89 – Conversor A/D de 4 bits.....	154
Figura 90 – Sinal digitalizado.....	158
Figura 91 – Retificação e amplificação de um sinal de áudio.....	158
Figura 92 – Ciclo de vida clássico de software.....	160
Figura 93 – Diagrama de blocos da placa de controle digital.....	162
Figura 94 – Pinos DSPic30F2010 28-Pin SDIP.....	168
Figura 95 – Diagrama de blocos do DSPic30F2010.....	171
Figura 96 – Circuito de amostragem de rede elétrica.....	175
Figura 97 – Circuito de adequação +12V/+5V.....	176
Figura 98 – Circuito interface dos pulsos PWM do DC/DC.....	176
Figura 99 – Circuito interface <i>shunt</i> .....	177
Figura 100 – Circuito de adequação do sinal de saída do inversor.....	178

Figura 101 – Sinalização de temperatura alta.....	179
Figura 102 – Circuito de sinalização de bateria e falha de rede .....	180
Figura 103 – Foto da placa de controle digital com DSC .....	180
Figura 104 – Giga para teste do DSC .....	181
Figura 105 – Foto da placa giga de testes para DSC .....	182
Figura 106 – Foto da placa giga de testes acoplada à placa de controle digital .....	182
Figura 107 – Conversor DC/DC tipo <i>Buck</i> .....	183
Figura 108 – Foto do conversor <i>Buck</i> LCD medindo tensão.....	183
Figura 109 – Foto placa DSC e LCD com chave de leitura V/I .....	183
Figura 110 – Foto banco de carga com cooler e resistor <i>shunt</i> .....	184
Figura 111 – Foto conversor <i>buck</i> e placa controle com SG3524 .....	184
Figura 112 – Programador e depurador ICD2 <sup>BR</sup> .....	185
Figura 113 – Placa de controle digital DSC e ICD2 <sup>BR</sup> interligados.....	185
Figura 114 – Placa interface chave de sinais.....	186
Figura 115 – <i>Buck</i> , giga de testes e controle digital interligados .....	186
Figura 116 – Placa potência, interface chaves e controle digital interligados ...	186
Figura 117 – Conjunto utilizado no desenvolvimento do projeto.....	187
Figura 118 – Placa de potência com controle analógico em protoboard.....	187
Figura 119 – Pulsos PWM para o conversor DC/DC .....	189
Figura 120 – Pulsos PWM para o inversor.....	190
Figura 121 – Onda senoidal na carga.....	191
Figura 122 – Soft-Start da onda senoidal de saída.....	192
Figura 123 – Sinal de comutação do relé.....	193
Figura 124 – Partida do DC/DC com controle PID .....	194
Figura 125 – Partida do DC/DC sem controle PID .....	194

Figura 126 - Diagrama mostrando a correspondência entre a faixa primária no plano  $s$  e o círculo unitário no plano  $z$ . .....205

Figura 127 - Diagrama mostrando o mapeamento do plano  $s$  ao  $z$  e do plano  $z$  ao  $w$ .....207

## SUMÁRIO

Introdução Geral .....	18
1 - Circuito Retificador .....	26
1.1 - Introdução .....	26
1.2 - Procedimentos de Projeto .....	27
1.2.1 - Retificador.....	27
1.2.2 - Relé e o Resistor Limitador de Corrente <i>In-rush</i> .....	34
1.2.3 - Filtro de Linha .....	35
1.2.4 - Seletor 127V / 220V.....	36
1.3 - Conclusão (Circuito Retificador).....	38
2 - Carregador de Baterias.....	39
2.1 - Introdução .....	39
2.2 - Procedimentos de Projeto .....	40
2.2.1 - Retificador de Entrada .....	40
2.2.2 - <i>Flyback</i> .....	41
3 - Conversor DC/DC .....	54
3.1 - Introdução .....	54
3.2 - Procedimentos de Projeto .....	55
3.2.1 - Circuitos Adicionais .....	55
3.2.2 - <i>Snubber</i> .....	56
3.2.3 - Conversor .....	57
3.3 - Conclusão (Conversor DC/DC) .....	66
4 - Inversor.....	67
4.1 - Introdução .....	67
4.2 - Procedimentos de Projeto .....	69
4.2.1 - Circuitos para o Controle e Proteção.....	69

4.2.2 - Drives das Chaves.....	70
4.2.3 - <i>Snubber</i> .....	72
4.2.4 - Funcionamento do Inversor .....	72
4.2.5 - Carga Proposta.....	74
4.2.6 - Dimensionamento das Chaves .....	75
4.2.7 - Cálculo do Filtro de Saída.....	76
4.3 - Conclusão (Circuito Inversor).....	78
5 - Resultados Experimentais .....	80
5.1 - Resultados para o Retificador .....	80
5.2 - Resultados para o Carregador das Baterias .....	82
5.3 - Resultados para o Conversor DC/DC .....	83
5.4 - Resultados para o Inversor .....	86
6 - Considerações Finais (Etapa de Potência).....	91
7 - Circuito de Controle Analógico.....	93
7.1 - Introdução .....	93
8 - Controle do Conversor DC/DC.....	96
8.1 - Introdução .....	96
8.2 - Conversor <i>Forward</i> .....	97
8.3 - CI 3525.....	98
8.4 - Sincronismo.....	100
8.5 - Malha Fechada.....	100
8.6 - Ajuste da Tensão em 260V .....	101
8.7 - Circuito em Malha Fechada.....	101
8.8 - Conclusão (Circuito de Controle Analógico do DC/DC) .....	102
9 - Inversor.....	103
9.1 - Introdução .....	103

9.2 - Inversor de Tensão Monofásico em Ponte Completa.....	104
9.3 - Estratégias de Modulação.....	105
9.4 - Técnica Utilizada para o Controle do Inversor.....	108
9.4.1 - Gerador Senoidal.....	108
9.4.2 - Controle de Corrente .....	111
9.4.3 - Gerador de Onda Triangular.....	113
9.4.4 - Soft-start e Bloco para Alterar o Nível da Onda Senoidal.....	114
9.4.5 - Realimentação de Tensão .....	115
9.4.6 - Circuito Limitador de Níveis Superior e Inferior .....	116
9.4.7 - Circuito de Geração dos Pulsos: Lógica e Proteção.....	118
9.5 - Conclusão (Circuito de Controle Analógico do Inversor).....	120
10 - Proteção e Sinalização .....	122
10.1 - Circuito Sinalizador e Alarme Sonoro.....	122
10.1.1 - Sinalização da Rede Elétrica .....	123
10.1.2 - Sinalização da Carga da Bateria por Leds.....	123
10.1.3 - Sinalização Sonora.....	124
10.2 - Proteção Contra Aquecimento .....	124
10.3 - Comutação do Relé.....	126
10.4 - Circuito Bloqueador dos Pulsos .....	127
10.5 - Conclusão (Circuito de Proteção e Sinalização Analógico).....	129
11 - Resultados Experimentais .....	130
11.1 - Introdução .....	130
11.2 - Controle do Conversor DC/DC.....	130
11.3 - Onda Senoidal.....	132
11.4 - Onda Triangular .....	133
11.5 - Pulsos de Chaveamento do Inversor .....	134

11.6 - Forma de Onda na Carga.....	137
11.7 - Soft-Start .....	138
11.8 - Sinal para Comutação do Relé.....	139
11.9 - Conclusão (Resultados Experimentais) .....	140
12 - Considerações Finais (Etapa de Controle Analógico).....	141
13 - Circuito de Controle Digital por DSC.....	143
13.1 - Introdução .....	143
13.2 - Microprocessadores, Microcontroladores, DSP's e DSC's.....	146
13.3 - Processamento em Tempo Real .....	150
13.4 - Conversão A/D e D/A .....	151
13.5 - Segurador de Ordem Zero (ZOH) .....	155
13.6 - Efeito Da Amostragem – Aliasing.....	155
13.7 - Ponto Fixo e Ponto Flutuante .....	156
13.8 - Processamento Digital de Sinais.....	157
13.9 - Planejamento e Projeto de um Software .....	158
13.10 - Linguagem de Programação C.....	160
14 - Dsc Utilizado .....	162
14.1 - Diagrama de Blocos da Placa de Controle Digital.....	162
14.2 - Características do DSC Utilizado (DSPic30F2010).....	165
14.3 - Fluxograma do Programa (DSPic30F2010) .....	172
15 - Placa de Controle Digital .....	175
15.1 - Circuito de Amostragem de Rede Elétrica .....	175
15.2 - Circuito de Adequação do Sinal +12V/+5V .....	175
15.3 - Circuito Interface dos Pulsos PWM do DC/DC e Inversor.....	176
15.4 - Circuito de Amplificação e adequação do Sinal do <i>Shunt</i> .....	177
15.5 - Circuito de Adequação do Sinal de Saída do Inversor .....	177

15.6 - Sinalização de Temperatura.....	178
15.7 - Circuito do DSC.....	179
15.8 - Circuito de Sinalização de Nível de Bateria e Falha de Rede elétrica.	179
16 - Outras Placas Desenvolvidas .....	181
16.1 - Giga para Testes do DSC .....	181
16.2 - Conversor <i>Buck</i> .....	182
16.3 - Programador e Depurador ICD2 <sup>BR</sup> .....	184
16.4 - Interface Placa de Controle Digital/ <i>No-Break</i> .....	185
17 - Resultados Obtidos (Etapa de Controle Digital).....	188
17.1 - Introdução .....	188
17.2 - Controle do Conversor DC/DC .....	188
17.3 - Controle do Inversor .....	189
17.4 - Onda Senoidal na Carga.....	190
17.5 - Partida Suave (Soft-Start) .....	191
17.6 - Comutação do Relé (Corrente de Partida) .....	192
17.7 - Partida do DC/DC com Carga .....	193
18 - Considerações Finais (Etapa de Controle Digital por Dsc) .....	195
Conclusão do Trabalho .....	197
Publicação .....	200
Apêndice a .....	201
Referências Bibliográficas.....	209
anexos .....	213
Anexo 1 – Diagrama completo da placa de potência .....	214
Anexo 2 – Diagrama completo da placa de controle analógico.....	215
Anexo 3 – Diagrama completo da placa de controle digital por DSC .....	216

## Introdução Geral

O crescente avanço tecnológico tem proporcionado uma redução nos custos de muitos equipamentos e sistemas elétricos, tornando-os acessíveis a uma quantidade maior de consumidores. Devido a isso, o uso destes equipamentos já deixou de ser uma simples sofisticação e passou a fazer parte das necessidades básicas de manutenção da vida da população. Estes fatores têm contribuído para aumentar significativamente o consumo de energia elétrica, ocasionando diversas vezes interrupções inesperadas no seu fornecimento, uma vez que as unidades fornecedoras de energia não conseguem suprir tamanha demanda. Além disso, a qualidade de energia elétrica é comprometida devido a presença de distúrbios nas tensões.

Os distúrbios geralmente encontrados em um sistema de distribuição de energia elétrica são: sobre-tensões e sub-tensões, picos rápidos de tensão de valores muito elevados, resultante de descargas atmosféricas, transitórios de chaveamento realizados por disjuntores ou fusíveis de alta potência que alcançam tensões muito elevadas, ruídos por interferência eletromagnética causados pelas fontes chaveadas, etc.

Portanto, mesmo que esforços para melhorar a qualidade de energia estejam sendo realizados a fim de atenuar alguns desses problemas, a energia disponível nas redes de distribuição não é de qualidade aceitável para algumas aplicações. Tais aplicações são, por exemplo, aquelas que consumidores trabalham com equipamentos caracterizados como cargas críticas, como sistema de comunicação e computadores em aeroportos, equipamentos hospitalares, estações de trabalho e servidores com bancos de dados, em centros computacionais, que necessitam de um fornecimento ininterrupto de energia elétrica.

Estes setores possuem a sua disposição unidades de alimentação alternativa capazes de prover energia elétrica temporariamente. Estas unidades de alimentação alternativa são denominadas de fontes ininterruptas de energia (UPS – *Uninterruptible Power Supplies*) ou “*no-break*”.

Basicamente uma fonte ininterrupta de energia é composta por um retificador, que converte as tensões alternadas de alimentação em corrente contínua, um banco de baterias para armazenar energia, um inversor de tensão, e circuitos eletrônicos responsáveis para o controle do sistema. O inversor de tensão de um *no-break* serve para gerar uma tensão alternada (AC) a partir de uma tensão contínua (DC), normalmente proveniente de uma bateria. Esta tensão alternada deve ter frequência, forma e amplitude invariantes, independentemente das eventuais alterações na alimentação provenientes da bateria ou na carga.

Por se tratar de uma fonte alternativa de tensão, a amplitude e a frequência são os mesmos encontrados na rede elétrica, ou seja, uma tensão de 115V alternada com uma frequência de 60Hz. Já quanto a sua forma, a onda de saída do inversor pode ser quadrada, semi-senoidal ou senoidal.

A onda quadrada não é indicada para cargas indutivas, seus principais inconvenientes são: peso (utiliza um transformador de baixa frequência bastante pesado), apresenta alta distorção harmônica total de tensão (THDv), superior a 40%, gera ruídos, aquecimentos, funcionamentos defeituosos e a eficiência é baixa, em torno de 60 a 80% [29].

No caso da onda semi-senoidal que é uma forma de onda intermediária entre a onda quadrada e a onda senoidal pura, reduz a distorção harmônica total de tensão (THDv em torno de 15 a 35%), aumenta o valor de pico até o da senóide pura, e aumenta consideravelmente a eficiência (80 a 95%). Este tipo de equipamento atende a maioria das necessidades domésticas e profissionais de pequeno porte [29].

É com inversor de onda senoidal pura que os aparelhos eletro-eletrônicos têm seu desempenho máximo, pois não geram ruídos ou distorções em aparelhos de som, vídeo, DVD e estéreo. Proporcionam partidas suaves a motores e evitam aquecimentos indesejáveis ou zumbidos desagradáveis. Têm a vantagem de oferecer um melhor controle da frequência e da amplitude da tensão e sua eficiência

fica em torno de 85 a 95% e apresenta baixa THDv (1 a 5%), o que torna o inversor senoidal tecnicamente desejável. No entanto, o seu alto preço torna-o inviável em muitas aplicações [29].

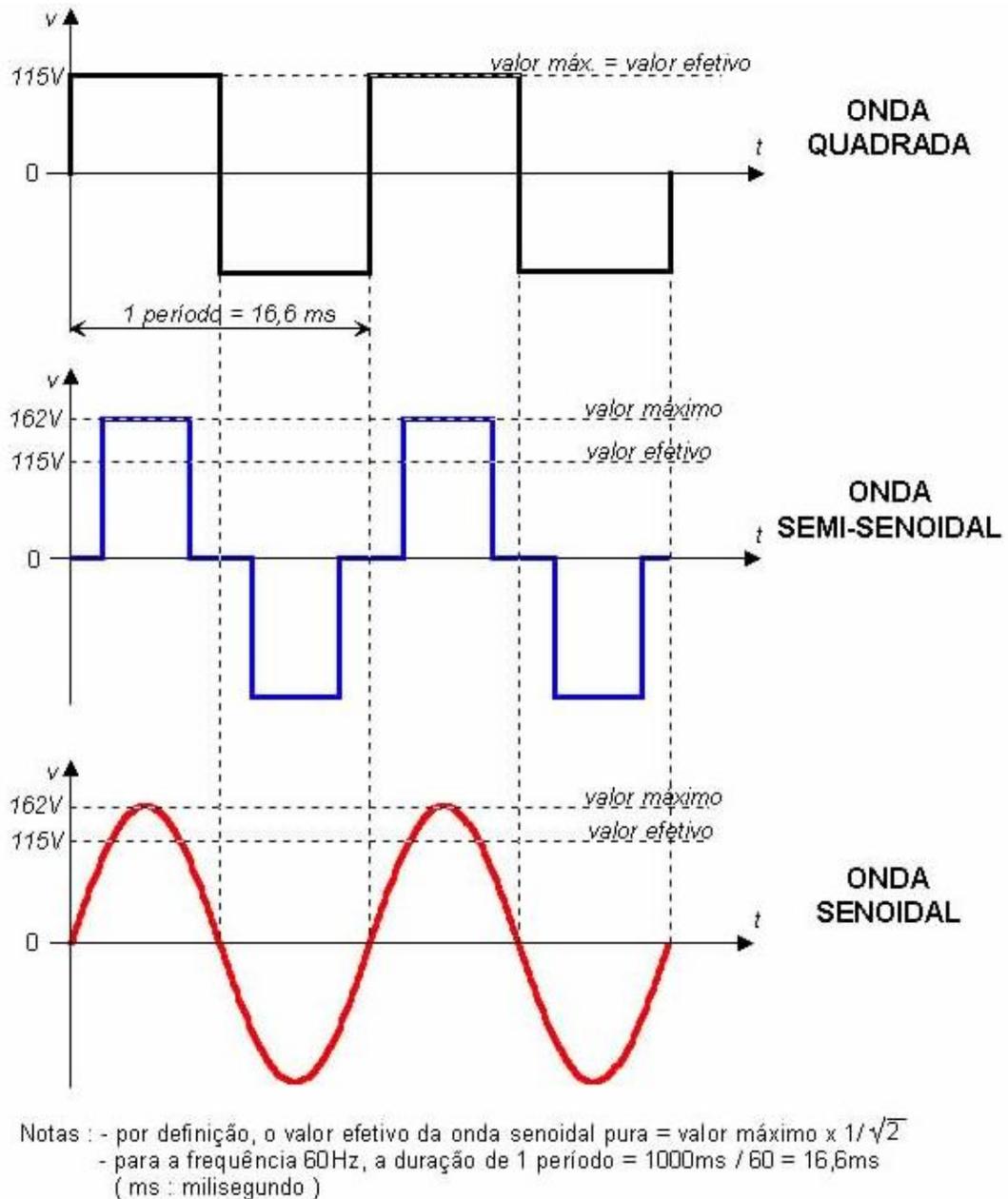


Figura 1 – Forma de onda de saída dos inversores.

Este trabalho, consiste de um amplo projeto em eletrônica de potência que visa ao final do mesmo a implementação da placa de potência de um *no-break* senoidal

com uma potência de entrada de 1,2 kVA, sendo o mesmo projetado e implementado em malha fechada, a qual será referida a seguir apenas como *no-break*. Apresenta-se na Figura 2, o diagrama de blocos do *no-break* proposto.

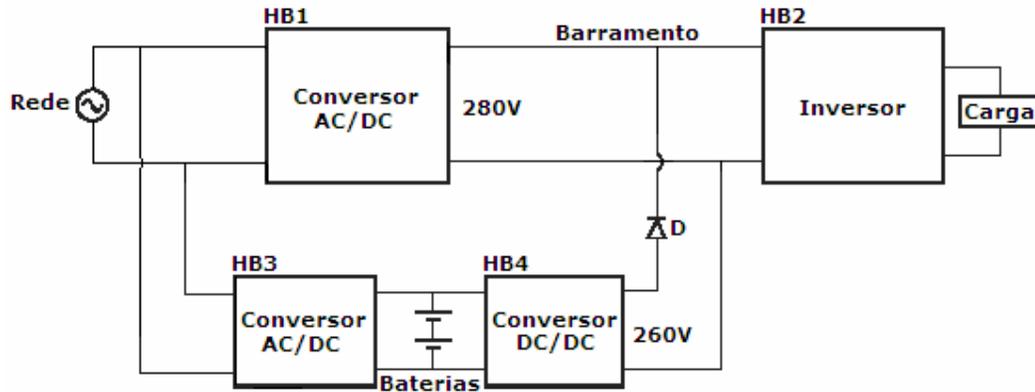


Figura 2 – Diagrama de blocos do *no-break*.

As principais topologias de *no-break* existentes são, *stand-by*, interativo e *on-line*. O projeto aqui implementado trata-se de um *no-break on-line*. Será feito a seguir uma comparação entre eles.

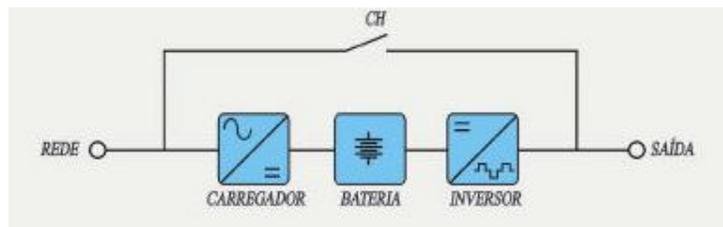


Figura 3: Diagrama de blocos do *no-break Stand-by*.

Em um *no-break stand-by*, Figura 3, quando a rede elétrica está presente a chave CH é mantida fechada. A carga é alimentada pela rede elétrica, onde a tensão e frequência de saída são portanto totalmente dependentes da tensão e frequência de entrada. Em caso de falha de rede elétrica a chave CH é aberta e é dada a partida no inversor. A carga passa a ser alimentada pelo conjunto inversor/banco de baterias.

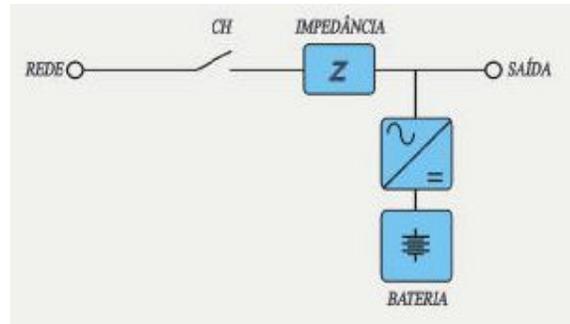


Figura 4: Diagrama de blocos do *no-break* Interativo.

No caso do *no-break* interativo visto na Figura 4, um único conversor desempenha as funções de carregador de baterias, condicionador de tensão e inversor, onde na presença de rede elétrica, a rede é condicionada pelo conversor, que também mantém as baterias carregadas. As frequências de entrada e saída são iguais, enquanto na ausência de rede elétrica a chave CH é aberta e este conversor inverte o sentido de potência passando a operar como inversor, alimentando a carga com a energia das baterias.

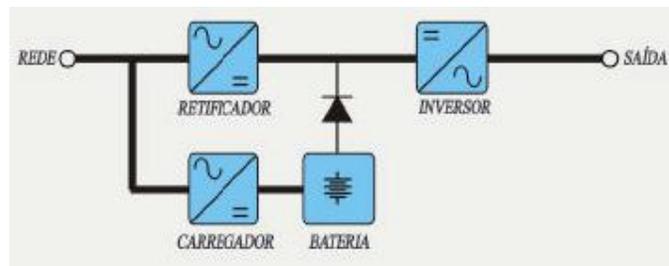


Figura 5: Diagrama de blocos do *no-break on-line*.

Em um *no-break on-line*, Figura 5, quando a rede elétrica está presente, o circuito retificador alimenta o inversor, enquanto o banco de baterias é mantido carregado pelo circuito carregador de baterias. A carga é continuamente alimentada pelo inversor, enquanto na falta de rede elétrica a energia armazenada no banco de baterias é utilizada pelo inversor para alimentar a carga, sem interrupção ou transferência.

Como pode-se observar, a topologia *on-line*, utilizada neste trabalho é a única no qual a carga sempre é alimentada pelo circuito inversor, ou seja, com rede

elétrica ou sem rede elétrica as imperfeições da rede não são refletidas na carga, pois no processo de retificação e inversão da tensão todas estas imperfeições são removidas ou filtradas pelo *no-break*.

O *no-break* proposto neste trabalho trata-se então de um *no-break on-line* com um aperfeiçoamento, comparando as Figuras 2 e 5 pode-se observar que a Figura 2 possui um bloco a mais (HB4) do que a Figura 5. Isto porque normalmente um *no-break on-line* trabalha em baixa frequência, ou seja, reduz a tensão da rede através de um transformador, retifica e filtra esta tensão para daí então alimentar o circuito inversor com uma tensão próxima ao valor da tensão do banco de baterias e assim também acontece com o circuito carregador de baterias. Com isto na falta de rede elétrica, o circuito inversor é alimentado diretamente pelo banco de baterias.

O bloco HB4 que aparece no diagrama de blocos da Figura 2, que é o proposto neste trabalho, trata-se de um conversor DC/DC elevador de tensão chaveado em alta frequência que irá alimentar o circuito inversor na falta da rede elétrica. Isto porque eliminou-se do projeto um dos maiores componentes e que apresenta um baixo rendimento, o transformador de baixa frequência.

A entrada do *no-break* é retificada e filtrada sem transformador o que resulta em uma tensão DC, que será o valor de pico da tensão da rede elétrica alimentando-se assim o circuito inversor com uma tensão de alto valor.

Para o circuito carregador de baterias também eliminou-se o transformador de baixa frequência, implementando um conversor DC/DC *flyback* chaveado em alta frequência que irá manter o banco de baterias carregado enquanto existir rede elétrica presente. Esta tecnologia de chaveamento em alta frequência utilizada no carregador de baterias, conversor DC/DC elevador de tensão e também na ponte do circuito inversor, apresentou uma considerável diminuição no tamanho final do equipamento (maior robustez).

Também possibilitou a implementação de uma estratégia de controle e proteção analógicos assim como a implementação destes de maneira digital utilizando um DSC (Controlador Digital de Sinais) de baixo custo e podendo então realizar uma comparação de desempenho destas duas tecnologias, visto ainda que a tecnologia de controle digital com processamento em tempo real é tema de muitas pesquisas

atualmente, por se tratar de uma tecnologia recente, tanto que esta área ainda está muito precária de material didático.

Mais especificamente, foi realizado neste trabalho o projeto do já mencionado *no-break*, bem como a implementação do mesmo e montagem de uma placa em circuito impresso, conforme o projeto.

Após a montagem da placa foram feitos os testes e ajustes necessários, bem como correções e mudança de componentes pertinentes. Também o acréscimo e retirada de componentes até que se atingisse o funcionamento desejado. As disparidades entre o projeto e a real necessidade na prática, foram ajustados resultando em uma placa final, que apresenta o funcionamento esperado do *no-break*.

Como observado na Figura 2 o circuito de potência do *no-break* pode ser dividido em 4 blocos, o primeiro bloco (HB1) trata-se de um conversor AC/DC, para este conversor foi utilizado um circuito retificador, com ainda um seletor 127V/220V. Assim, para uma tensão de entrada de 127V utiliza-se um retificador dobrador e para uma entrada 220V, utiliza-se um retificador normal (não-dobrador), do qual trata-se no capítulo 1.

O terceiro bloco (HB3) é um conversor AC/DC utilizado para carregar as baterias, tendo assim uma saída de 28V com um limitador de corrente de 1A. Para tal circuito utiliza-se um conversor *flyback* no modo descontínuo, controlado por um circuito integrado 1MO380, que será tratado em seção específica (capítulo 2).

No capítulo 3 será tratado o quarto bloco (HB4), que corresponde a um conversor DC/DC elevador, o qual quando há falta de energia converte a tensão das baterias, em torno de 24V, em uma tensão de 260V. Para tanto, este bloco utiliza um conversor que mescla características dos conversores *forward* e *push-pull*.

Finalmente, no capítulo 4, será analisado o segundo bloco (HB2) da Figura 2, que corresponde ao circuito inversor, que visa transformar a tensão contínua de saída dos blocos 1 ou 4 novamente em uma tensão senoidal de 115V<sub>RMS</sub> e de frequência 60Hz, com uma potência de saída de 700W.

Assim a união destes 4 blocos formará o circuito total do *no-break*. Quando houver tensão na rede o bloco HB1 irá retificar a onda da rede que, depois passará pelo inversor formando novamente uma onda senoidal, o que elimina as

imperfeições da rede já mencionadas nesta seção. E o bloco HB3 carregará as baterias, quando elas estiverem descarregadas, até que atinjam a carga completa.

Quando houver uma falta de energia na rede, o bloco HB4 atuará, convertendo a tensão das baterias para uma tensão mais elevada (260V). Finalmente o inversor, juntamente com um filtro, converterá esta tensão em uma onda senoidal de 115V, 60Hz, enquanto houver carga nas baterias. Eliminando, assim faltas rápidas na rede, e ainda permitindo que equipamentos delicados sejam adequadamente desligados e dados sejam salvos, antes que a carga das baterias cesse.

# 1 - Circuito Retificador

## 1.1 - Introdução

Este primeiro capítulo tratará do primeiro bloco do diagrama de blocos apresentado na Figura 2 na introdução geral deste trabalho. Este primeiro bloco trata-se de um conversor AC/DC, que converte a forma de onda da rede elétrica, podendo esta ter 127V ou 220V<sub>RMS</sub>, com frequência de 60Hz.

Este bloco converte a tensão alternada da rede em uma tensão contínua que alimenta o barramento de entrada do inversor. Assim, como a entrada deste bloco é alimentada pela rede, ele só estará ativo quando a rede estiver presente, quando a rede sair, o mesmo barramento de saída deste bloco será alimentado pelo conversor DC/DC alimentado pela bateria.

Adicionalmente, neste mesmo capítulo será citado também o filtro de linha, que filtra as “impurezas” da rede, tais como picos de tensão de alta frequência e outros ruídos, para que estas não prejudiquem componentes do circuito, bem como seu correto funcionamento. Um resistor na entrada é inserido no circuito apenas no início do funcionamento, para limitar a corrente de partida (*in-rush*), quando os capacitores do retificador estão descarregados, que é curto-circuitado por um relé cuja bobina é acionada pelo controle.

## 1.2 - Procedimentos de Projeto

### 1.2.1 - Retificador

Para o projeto deste retificador, as equações utilizadas foram retiradas de [TREVISIO, 2005]. A Figura 6, mostra o circuito retificador implementado neste projeto, com um seletor 127V/220V, que será explicado a seguir. É também importante lembrar que este circuito não é ligado diretamente à rede, passando antes por um filtro de linha e um relé que habilita um resistor no início do funcionamento da placa.

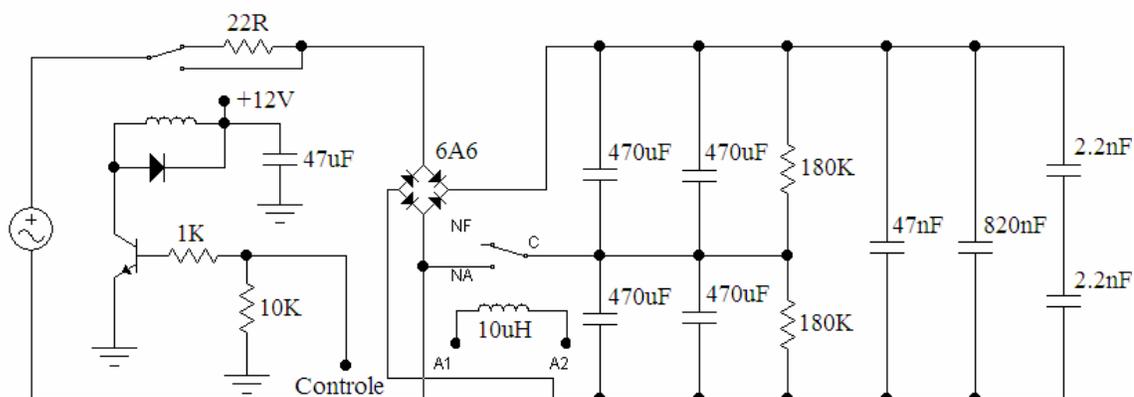


Figura 6 – Circuito retificador com filtro de linha e seletor 127V/220V.

Quando a tensão de entrada é de 220V<sub>RMS</sub> o relé fica em NF, assim o circuito funciona como um retificador de onda completa comum, como se pode notar na Figura 7.

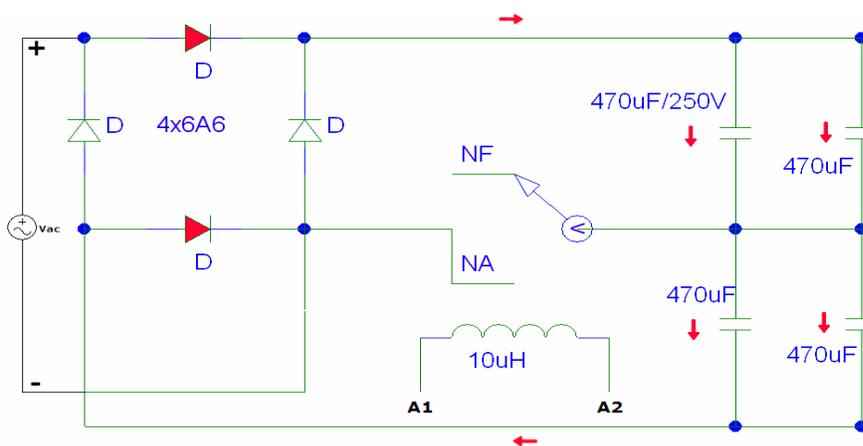


Figura 7 – Funcionamento do retificador em 220V I.

Quando as tensões positiva e negativa da rede estão como mostrado na Figura 7, os diodos em destaque irão conduzir, carregando os capacitores com a tensão de pico da rede, e, no outro semi-ciclo da rede o funcionamento ocorrerá conforme a Figura 8.

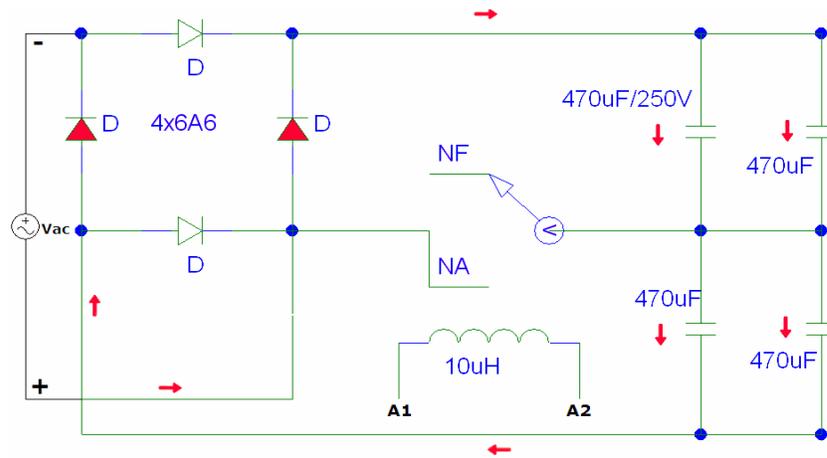


Figura 8 – Funcionamento do retificador em 220V II.

Assim, o retificador irá carregar os capacitores com a tensão de pico da rede a cada semi-ciclo da mesma, conforme se pode observar na Figura 9.

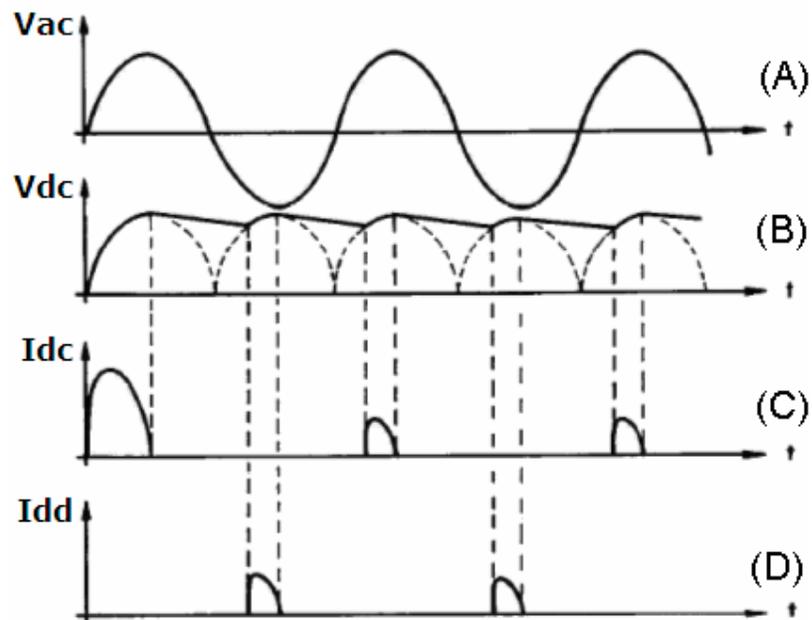


Figura 9 – Formas de onda de tensão na rede (A), tensão no capacitor equivalente (B), corrente nos diodos (C e D).

Ainda, quando a tensão de entrada é de 127V, o relé é chaveado na posição NA e o circuito passa a funcionar como um dobrador de tensão, conforme Figura 10.

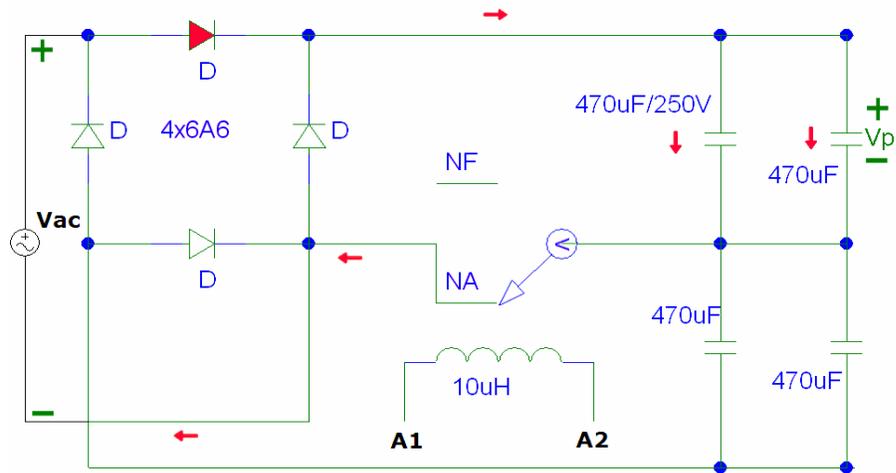


Figura 10 – Funcionamento do retificador em 127V I.

Na Figura 10, no semi-ciclo positivo da rede apenas os dois capacitores de cima são carregados com a tensão de pico da rede, e no semi-ciclo negativo da rede os dois capacitores de baixo também são carregados com a tensão de pico da rede, conforme a Figura 11. Assim, o capacitor equivalente dos dois capacitores de cima mais os dois capacitores de baixo terá uma tensão de  $2V_p$ . Com apenas o diodo em destaque conduzindo.

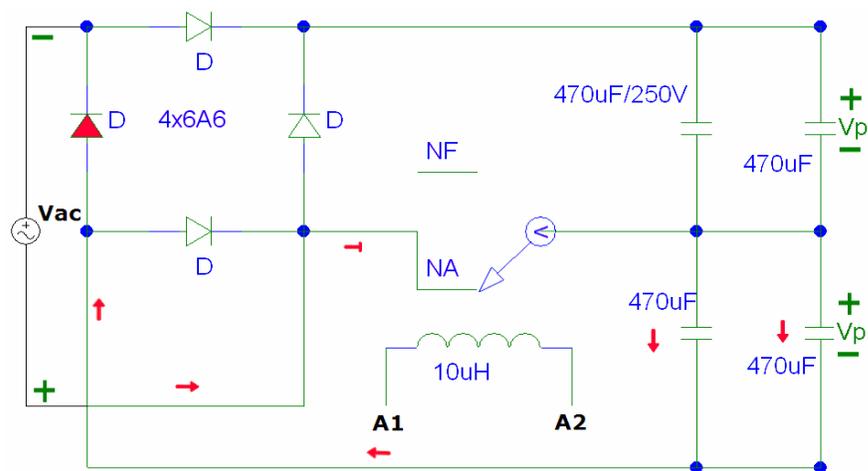


Figura 11 – Funcionamento do retificador em 127V II.

### 1.2.1.1 - Cálculos para o Retificador como Onda Completa

A capacitância utilizada no equacionamento é a capacitância equivalente dada pelas associações em série e paralelo entre os capacitores. Assim, a energia acumulada neste capacitor equivalente em cada semi-ciclo é dada por:

$$\frac{W_{in}}{2} = \frac{1}{2} \cdot C \cdot (V_p^2 - V_{min}^2)$$

onde:

$$\frac{W_{in}}{2} = \text{Energia acumulada em C a cada semi - ciclo,} \quad [\text{Equação 1}]$$

$V_p$  = Tensão de pico,

$V_{min}$  = Tensão mínima

Como a energia acumulada no capacitor também pode ser dada por:

$$W_{in} = \frac{P_{in}}{f} \quad [\text{Equação 2}]$$

E a tensão mínima pode ser escrita como:

$$V_{min} = V_p \cdot \cos(2\pi \cdot f \cdot t_c) \quad [\text{Equação 3}]$$

$t_c$  = Tempo de carga do capacitor

O tempo de carga pode ser dado pela equação a seguir:

$$t_c = \frac{\cos^{-1}\left(\frac{V_{min}}{V_p}\right)}{2\pi \cdot f} \quad [\text{Equação 4}]$$

A carga que o capacitor absorve e cede a cada meio ciclo de funcionamento da rede é calculado pela equação a seguir.

$$\Delta Q = i_{chg} \cdot t_c = C \cdot \Delta V \quad [\text{Equação 5}]$$

$i_{chg}$  = Pico de corrente de carga do capacitor

Assim, a corrente de carga pode ser estipulada por:

$$i_{chg} = \frac{C \cdot \Delta V}{t_c} = \frac{C \cdot (V_p - V_{\min})}{t_c} \quad \text{[Equação 6]}$$

Igualando-se as equações 1 e 2 tem-se:

$$C \cdot (V_p^2 - V_{\min}^2) = \frac{P_{in}}{f} \quad \text{[Equação 7]}$$

portanto:

$$C = \frac{P_{in}}{f \cdot (V_p^2 - V_{\min}^2)} \quad \text{[Equação 8]}$$

Considerando:

- $I_{chg}$  – Valor eficaz da componente alternada da corrente de carga.
- $I_{DC}$  – Valor médio da corrente de carga.
- $I_{c1ef}$  – Valor eficaz da corrente total de carga do capacitor.

Então:

$$I_{c1ef}^2 = I_{DC}^2 + I_{chg}^2 \quad \text{[Equações 9 e 10]}$$

$$I_{chg} = \sqrt{I_{c1ef}^2 - I_{DC}^2}$$

E, como:

$$I_{DC} = i_{chg} \cdot \frac{2 \cdot t_c}{T} \quad \text{[Equações 11 e 12]}$$

$$I_{c1ef} = i_{chg} \cdot \sqrt{\frac{2 \cdot t_c}{T}}$$

Assim:

$$I_{chg} = \sqrt{i_{chg}^2 \cdot \frac{2 \cdot t_c}{T} - i_{chg}^2 \cdot \frac{4 \cdot t_c^2}{T^2}} \quad \text{[Equações 13 e 14]}$$

$$I_{chg} = i_{chg} \cdot \sqrt{2 \cdot t_c \cdot f - (2 \cdot t_c \cdot f)^2}$$

No capacitor circula apenas a componente alternada da corrente  $i_{chg}$ , produzindo perdas em sua resistência série equivalente (RSE), o que provoca aquecimento. Assim, pode-se calcular o retificador, com uma potência de saída de 700W, adotando um rendimento de 90%, uma tensão de entrada de 220V com variação de 10% e uma tensão mínima de 260V, e pela equação 8, tem-se:

$$C = \frac{700/0,9}{60 \cdot \left( (0,9 \cdot 220 \cdot \sqrt{2})^2 - 260^2 \right)} = 1199 \mu F$$

Assim, cada um dos capacitores deve ter o dobro do valor mostrado acima, uma vez que estão em série, ou este mesmo valor se estiverem em série-paralelo, como é o caso, conforme a Figura 6. E a corrente de carga, que é a corrente de pico repetitivo que os diodos devem suportar, pode ser calculada pelas equações 4 e 6.

$$t_c = \frac{\cos^{-1}\left(\frac{260}{280}\right)}{377} = 1,01ms$$

$$i_{chg} = \frac{1199 \mu F \cdot (280 - 260)}{1,01ms} = 23,78A$$

E a corrente média nos diodos é dada por:

$$I_{Dm\u00e9dia} = \frac{P_{in}}{2 \cdot V} = \frac{777,77}{2 \cdot 200} = 1,94A$$

### 1.2.1.2 - Cálculos para o Retificador como Dobrador

Para o cálculo da tensão mínima neste modo de operação, tem-se que levar em conta que esta ocorrerá quando um dos capacitores estiver em seu nível mínimo de tensão, enquanto o outro, neste momento estará ainda no meio de sua descarga, tendo uma tensão dada pela média entre a sua tensão de pico e a sua tensão mínima, assim:

$$\begin{aligned} V_{C1p} &= V_{C2p} \\ V_{C1min} &= V_{C2min} \\ V_{min} &= V_{C1min} + \frac{V_{C2min} + V_{c2p}}{2} \end{aligned} \quad \text{[Equações 15, 16 e 17]}$$

Substituindo as equações 15 e 16 na 17, tem-se:

$$V_{C1\min} = \frac{2 \cdot V_{\min} - V_{c1p}}{3} \quad [\text{Equação 18}]$$

A energia fornecida pelo capacitor a cada meio ciclo é dada pela equação a seguir:

$$\begin{aligned} \frac{W}{2} &= \frac{1}{2} \cdot C_1 \cdot (V_{C1p}^2 - V_{C1\min}^2) \\ W &= \frac{P_{in}}{f} \end{aligned} \quad [\text{Equações 19 e 20}]$$

Assim, as capacitâncias C1 e C2 devem ser de:

$$C_1 = C_2 = \frac{P_{in}}{f \cdot (V_{C1p}^2 - V_{C1\min}^2)} \quad [\text{Equação 21}]$$

Para o cálculo do tempo de carga, pode-se aplicar a equação 4 para o capacitor C1 ou C2, bem como a equação 6 para a corrente de carga, que também será a corrente de pico repetitivo que o diodo deve suportar, substituindo  $V_{\min}$  por  $V_{C1\min}$  e  $V_p$  por  $V_{C1p}$ . Assim, considerando a tensão de entrada de 127V, tem-se, aplicando-se as equações 18, 21, 4 e 6,

$$\begin{aligned} V_{C1\min} &= \frac{2 \cdot 260 - 0,9 \cdot 127 \cdot \sqrt{2}}{3} = 119,45V \\ C_1 = C_2 &= \frac{777,77}{60 \cdot \left( (0,9 \cdot 127 \cdot \sqrt{2})^2 - (119,45)^2 \right)} = 1092,9\mu F \\ t_c &= \frac{\cos^{-1}\left(\frac{119,45}{0,9 \cdot 127 \cdot \sqrt{2}}\right)}{377} = 1,961ms \\ i_{chg} &= \frac{1092,9\mu F \cdot (0,9 \cdot 127 \cdot \sqrt{2} - 119,45)}{1,961ms} = 23,51A \end{aligned}$$

Assim para o cálculo dos capacitores, usa-se o valor calculado na seção 1.2.1.1. A corrente média e a tensão reversa que o diodo deve suportar, está apresentada a seguir:

$$I_{Dmed} = i_{chg} \cdot t_c \cdot f$$

$$I_{Dmed} = 23,51 \cdot 1,961m \cdot 60 = 2,76A \quad \text{[Equações 22 e 23]}$$

$$V_{Dmax} = 2 \cdot \sqrt{2} \cdot V_{ACmax} \cdot 1,1$$

$$V_{Dmax} = 2 \cdot \sqrt{2} \cdot 127 \cdot 1,1 = 395,13V$$

Utiliza-se o diodo 6A6, cujas características se encontram na Tabela 1, preenchendo com folga os requisitos apresentados.

Tabela 1: Características elétricas do diodo 6A6

**MAXIMUM RATINGS** (At TA = 25°C unless otherwise noted)

RATINGS	SYMBOL	6A05	6A1	6A2	6A4	6A6	6A8	6A10	UNITS
Maximum Recurrent Peak Reverse Voltage	VRRM	50	100	200	400	600	800	1000	Volts
Maximum RMS Voltage	VRMS	35	70	140	280	420	560	700	Volts
Maximum DC Blocking Voltage	VDC	50	100	200	400	600	800	1000	Volts
Maximum Average Forward Rectified Current at TA = 60°C	IO	6.0							Amps
Peak Forward Surge Current 8.3 ms single half sine-wave superimposed on rated load (JEDEC method)	IFSM	400							Amps
Typical Junction Capacitance (Note)	CJ	150							pF
Typical Thermal Resistance	RθJA	10							°C/W
Operating and Storage Temperature Range	TJ, TSTG	-65 to + 175							°C

### 1.2.2 - Relé e o Resistor Limitador de Corrente *In-rush*

O circuito do resistor que limita a corrente de *in-rush* e o circuito do relé que o aciona estão apresentados a seguir.

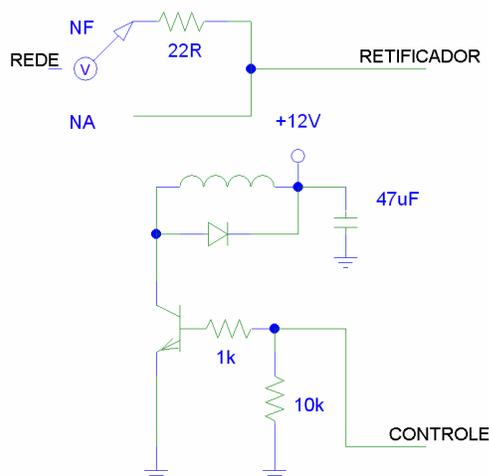


Figura 12 – Limitador de corrente de *in-rush*.

No circuito da Figura 12, na situação inicial (NF) o resistor está inserido no circuito e é “a única carga que a rede enxerga”, uma vez que os capacitores estão descarregados.

Decorrido algum tempo, conforme implementado no controle, os capacitores já terão efetuado suas cargas iniciais. O controle enviará um sinal positivo, que irá saturar o único transistor apresentado no circuito. Desta forma surgirá uma tensão de  $12V - V_{SAT}$  na bobina, acionando o relé, que mudará de posição, curto-circuitando o resistor e ligando a rede (há um filtro de linha entre a rede e o relé) ao retificador.

Para uma situação extrema, em que a rede é ligada em 220V, com uma tensão 10% acima do valor nominal, estando os capacitores descarregados, tem-se uma corrente de partida (*in-rush*), pela lei de Ohm, de:

$$I = \frac{1,1 \cdot 220 \cdot \sqrt{2}}{22} = 15,5A$$

### 1.2.3 - Filtro de Linha

O filtro de linha apresentado na Figura 13, tem a função de filtrar interferências eletromagnéticas que, de outra maneira poderiam interferir no circuito e até mesmo reduzir a vida útil dos componentes, bem como causar outros problemas, servindo também para amenizar o envio de ruídos para a rede, enviados do próprio equipamento.

Com este propósito utiliza-se um filtro de resistores, capacitores e indutores. Os capacitores utilizados devem ser dos tipo X e Y. Estes capacitores são destinados à supressão de interferência porque possuem baixas resistência e indutância série equivalentes, alta capacidade de absorção de transientes, boa resistência à ionização devido à impregnação do dielétrico, excelente propriedade de auto-recuperação após ionizações momentâneas do dielétrico, além de altas frequências de ressonância.

A Figura 13 mostra a implementação do filtro de linha.

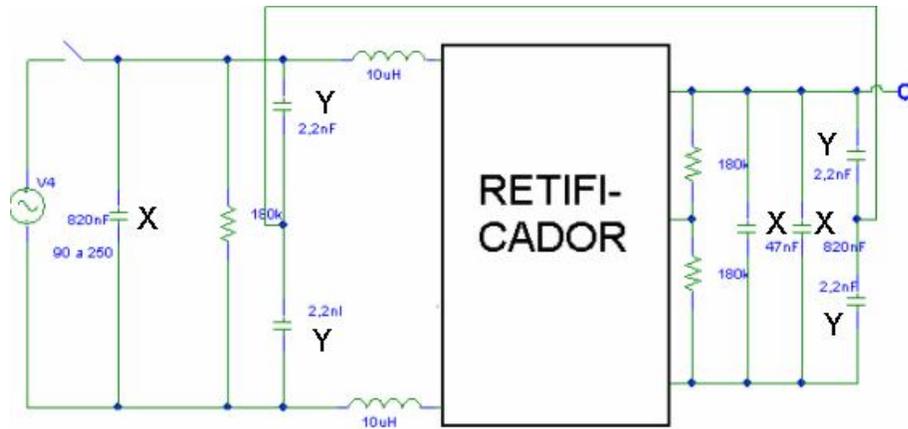


Figura 13 – Filtro de interferência eletromagnética.

### 1.2.4 - Seletor 127V / 220V

O circuito da Figura 14, identifica se a tensão de alimentação é de 127V ou 220V, e conforme for, aciona o relé do dobrador de tensão, de forma a ajustar o retificador. Se a tensão for de 127V, aciona o relé de forma a obter-se um retificador dobrador, e, se for de 220V, um retificador de onda completa.

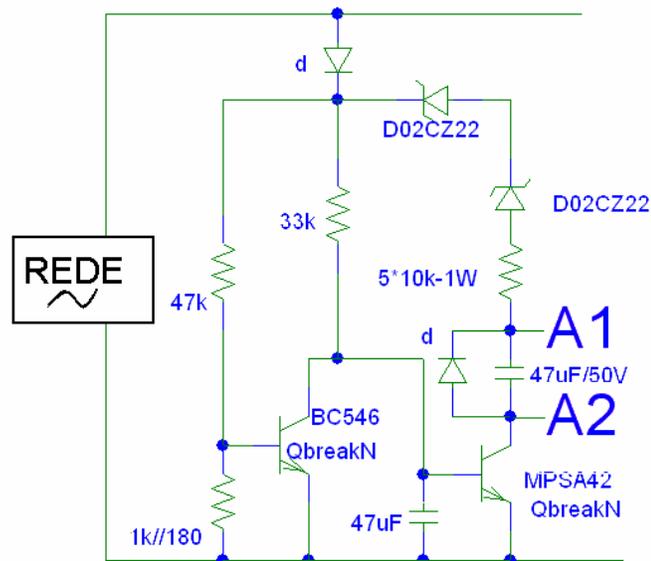


Figura 14 – Circuito do seletor 127V / 220V.

Na Figura 14, as saídas A1 e A2 são conectadas nos terminais da bobina do relé. Os resistores de 47kΩ e o paralelo entre os resistores de 180Ω e 1kΩ formam um divisor resistivo, que saturará o transistor BC546 ao atingir por volta de 0,7V. A seguir tem-se o cálculo que leva à tensão necessária para saturar este transistor.

$$1k // 180 = \frac{1000 \cdot 180}{1000 + 180} \cong 152\Omega$$

$$V \cdot \frac{R1}{R1 + R2} = 0,7$$

$$V = 0,7 \cdot \frac{R1 + R2}{R1}$$

$$V = 0,7 \cdot \frac{152 + 47k}{152} \cong 217V$$

Para que a rede atinja uma tensão de 217V (pico), a tensão RMS na rede dever ser de:

$$V_{RMS} = \frac{217}{\sqrt{2}} \cong 153V$$

Portanto, o transistor BC546 irá saturar para tensões acima de 150V, o que irá provocar a descarga do capacitor de 47μF em paralelo com o mesmo, colocando, assim o transistor MPSA42 em corte e o capacitor em série com o mesmo irá descarregar-se. Deixando o relé em sua posição normal, ou seja, permanecerá fechado em NF (normalmente fechado), e aberto em NA (normalmente aberto), o que fará com que o retificador funcione em modo onda completa, conforme as Figuras 7 e 8.

Para tensões abaixo de 150V, como é o caso de uma tensão de 127V, O BC546 não irá saturar, e o capacitor de 47μF em paralelo com o mesmo será carregado pelo resistor de 33kΩ e injetará corrente suficiente para que a junção base-emissor do MPSA42 mantenha-se polarizada, e o mesmo opere em saturação, o que permitirá a carga do capacitor em paralelo com A1 e A2, ligados à bobina do relé, ativando-o. Assim, o relé passará à posição acionado, abrindo em NF e fechando em NA, o que irá fazer com que o circuito funcione como um retificador dobrador, como pode ser observado nas Figuras 10 e 11.

### 1.3 - Conclusão (Circuito Retificador)

Assim, para que o circuito funcione perfeitamente em todos os aspectos considerados no projeto os diodos 6A6 serão suficientes para suprir as necessidades do circuito, conforme apresentado na Tabela 1.

Os capacitores do filtro do retificador, conforme apresentado na seção 1.2.1.1 devem ter um valor comercial de  $1200\mu\text{F}$ , cada um dos capacitores em série paralelo, e, uma isolação de 250V em cada capacitor será suficiente. Porém, por indisponibilidade no laboratório deste componente, foram utilizados 4 capacitores de  $470\mu\text{F}/250\text{V}$  na placa do protótipo.

Conforme mostrado na seção 1.2.2, para proteção dos semicondutores e demais componentes quanto a altas correntes de pico no momento inicial da carga dos capacitores, foi implementado uma proteção contra esta corrente de *in-rush*, através da inserção se um resistor de  $22\Omega/5\text{W}$ . A função deste resistor é limitar a corrente inicial, o qual é controlado por um relé acionado pelo circuito de controle, em aproximadamente 1s, no inicio do funcionamento do circuito.

Na seção 1.2.3 foi mostrado o filtro de linha que protege tanto a rede quanto o circuito contra distúrbios que entram ou saem do circuito, melhorando a qualidade da rede e o tempo de vida dos componentes do circuito.

E, finalmente, na seção 1.2.4 considera-se o seletor de tensão que foi calculado e comutará em torno dos  $150\text{V}_{\text{RMS}}$ , devendo selecionar corretamente a tensão da rede, permitindo que a entrada seja de 127V ou 220V.

## 2 - Carregador de Baterias

### 2.1 - Introdução

Como já mencionado na introdução geral, o carregador das baterias foi implementado através de um conversor *flyback* no modo descontínuo com transformador, controlado pelo integrado 1M0380 [5].

A tensão do carregador será controlada por um regulador ajustável de precisão, o TL431 [6], também contando com um circuito de controle de corrente. O circuito completo do carregador de baterias será analisado neste capítulo.

O carregador das baterias deve fornecer uma tensão de saída de 28V, uma vez que foram utilizadas duas baterias de 12V em série, e as mesmas apresentam uma tensão de flutuação um pouco acima da nominal.

Este circuito possui um limitador de corrente de 1A, pois o equipamento terá um longo período para carregar as baterias, quando houver energia da rede. A potência relativamente baixa, da ordem de 30W, torna simplificado o circuito e a robustez dos componentes utilizados no mesmo.



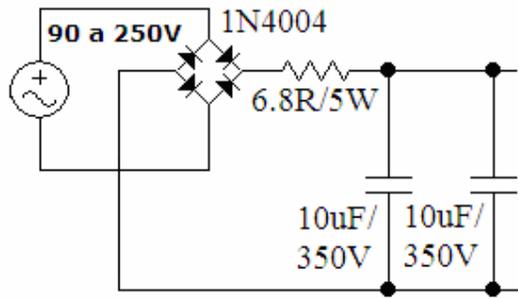


Figura 16 – Retificador do *flyback*.

Como se pode observar, este é um circuito retificador de onda completa, e para uso posterior no projeto, será considerado que ele fornecerá uma tensão de saída mínima de 130V e tensão máxima na saída de 350V.

## 2.2.2 - Flyback

### 2.2.2.1 - Integrado 1M0380 [5]

O *flyback* é controlado pelo integrado 1M0380. O pino 1 (GND) deve ser ligado ao terra, já o pino 2 corresponde ao dreno (*drain*) do FET na saída. O pino 3 ( $V_{CC}$ ) corresponde à alimentação, que deve ser de no máximo 30V. Seu diagrama de blocos é mostrado a seguir:

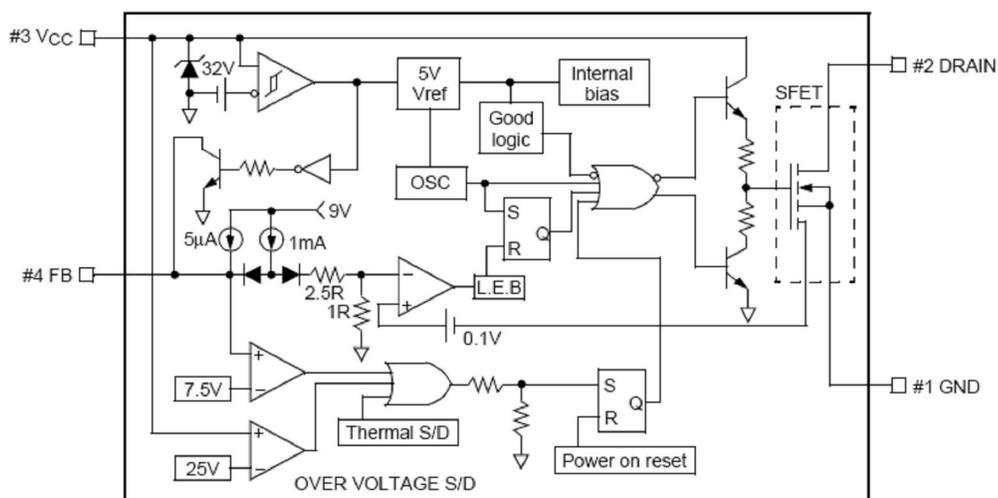


Figura 17 – Diagrama de blocos do integrado 1M0380.

E o pino 4 corresponde à realimentação. A frequência de trabalho deste integrado é de 67kHz. A Figura 18 apresenta a parte do circuito que representa o *flyback*, sem o controle e retificador.

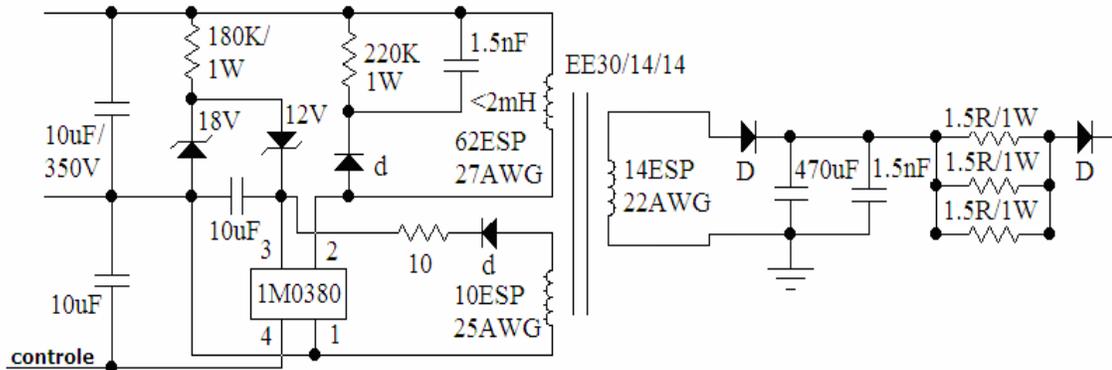


Figura 18 – Circuito de potência do *flyback*.

Inicialmente, o resistor de 180kΩ polariza o zener D02CZ18 (18V), que manterá 18V sobre si, o zener D02CZ12 (12), estará polarizado diretamente, assim, no pino de alimentação (pino 3) do integrado, haverá uma tensão de 18V, menos a queda de tensão no zener D02CZ12 diretamente polarizado, que é da ordem de 0,7V, resultando em uma tensão de 17,3V, suficiente para iniciar o funcionamento do integrado, não tendo potência necessária para mantê-lo funcionando.

Apesar dessa alimentação inicial não ser suficiente para manter o integrado, ela permitirá que ele libere os primeiros pulsos. A partir desse momento entra em operação a sua alimentação propriamente dita, para este fim há o terceiro enrolamento, exclusivamente para alimentar o dispositivo integrado.

Este enrolamento possui apenas seis espiras, de um fio 25AWG, e através dele, os pulsos, passando pelo diodo 1N4148 e pelo resistor de 10Ω irá carregar o capacitor de 10µF, que manterá tensão suficiente para alimentar o 1M0380, e esta tensão estará grampeada em 30V pelos diodos zener, D02CZ18 e D02CZ12, pois o integrado possui uma proteção interna de 32V.

### 2.2.2.2 - *Flyback* Modo-Descontínuo com Transformador

Na Figura 19 é apresentado um exemplo de circuito *flyback* com transformador.

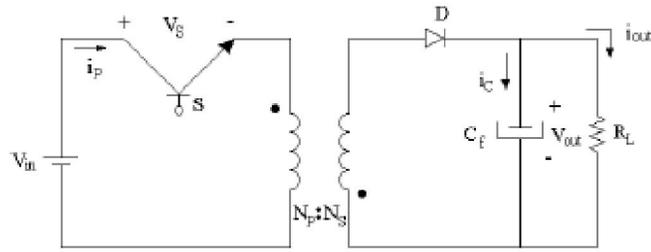


Figura 19 – Conversor *flyback* modo descontínuo com transformador.

No *flyback* Figura 19 o transformador, irá funcionar como elemento de transferência de energia, sendo carregado no primário pelo transistor e descarregado no secundário pelo capacitor, que fornece a corrente de saída.

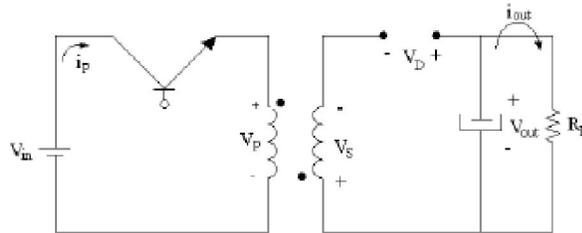


Figura 20 – *Flyback*: Armazenamento de energia  $[t_0; t_1]$ .

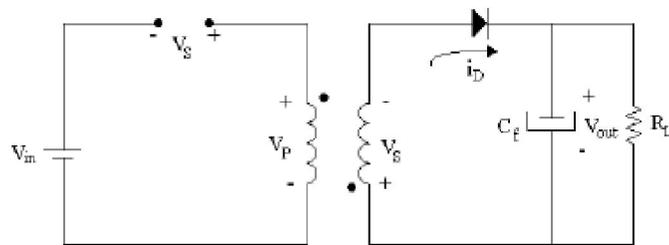


Figura 21 – *Flyback*: Transferência de energia  $[t_1; t_2]$ .

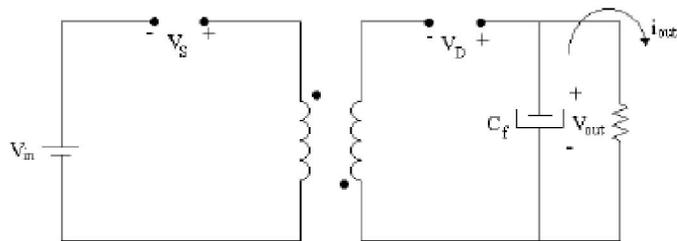


Figura 22 – *Flyback*: Repouso  $[t_2; t_3]$ .

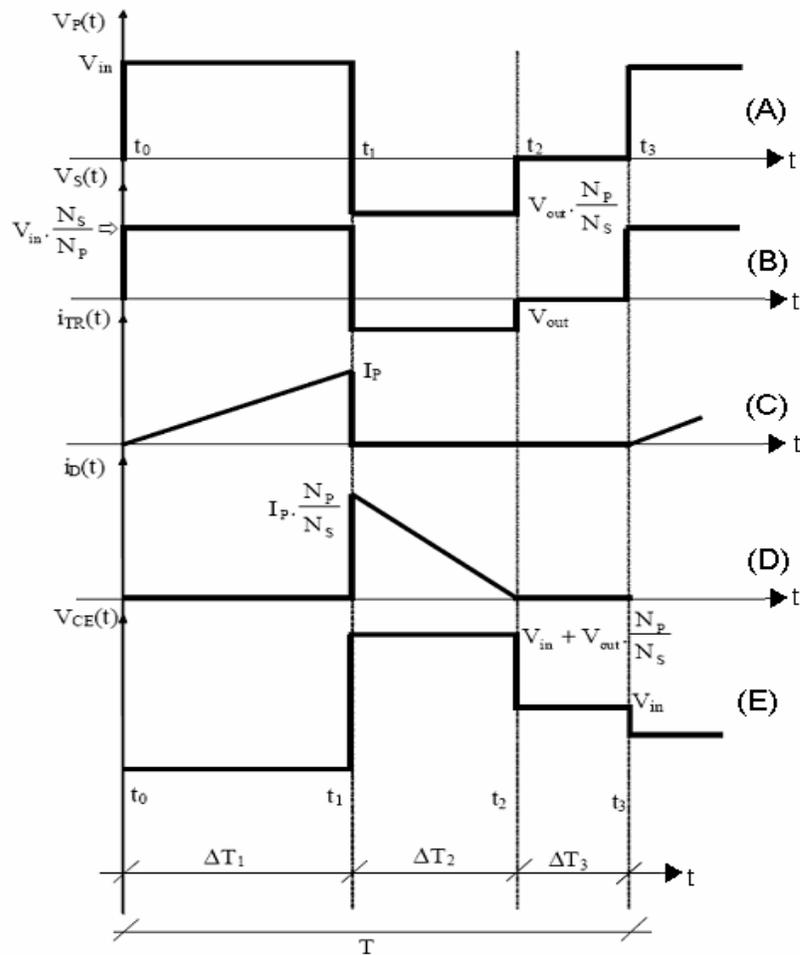


Figura 23 – *Flyback*: Principais formas de onda.

No modo descontínuo, a energia armazenada no núcleo durante a saturação do transistor é totalmente transferida para a saída durante seu corte. Assim, tanto a energia inicial no núcleo quanto a corrente de coletor serão sempre nulas no início da condução do transistor. Lembrando que no circuito *flyback* utilizado o transistor é o FET cujo dreno fica no pino 2 do 1M0380 e a fonte (*source*) ligada ao pino 1.

Chamando de  $I_M$  a corrente no fim do período de condução do transistor, tem-se:

$$V_E = L_p \cdot \frac{I_M}{\delta T} \quad \text{[Equação 24]}$$

, onde  $\delta$  é a razão cíclica.

Assim que o diodo começa a conduzir, por ele passa uma corrente que decresce linearmente, conforme a forma de onda (D) da Figura 23, até chegar a zero, no tempo  $\psi T$  (onde  $\psi$  é dado por  $1 - \delta$ ). Essa corrente se relaciona com a corrente de pico no primário  $I_M$ , pois a energia no instante do corte deve ser constante e igual a:

$$E_p = \frac{1}{2} \cdot L_p \cdot I_M^2 \quad \text{[Equação 25]}$$

Que no secundário poderá ser expressa por:

$$E_s = \frac{1}{2} \cdot L_s \cdot I_D^2 \quad \text{[Equação 26]}$$

Igualando as equações 25 e 26 tem-se:

$$I_D = \eta \cdot I_M \quad \text{[Equação 27]}$$

como

$$\eta = \frac{N_p}{N_s} \quad \text{[Equação 28]}$$

Pode-se escrever:

$$V_s = L_s \cdot \frac{\eta \cdot I_M}{\psi T} \quad \text{[Equação 29]}$$

Assim, para compensar variações em  $I_M$  deve-se variar  $\psi$ , portanto, o ângulo de condução do secundário é diretamente proporcional à corrente de saída. Entretanto a energia em cada ciclo deve ser a energia necessária para manter a corrente de saída a uma tensão constante, assim:

$$E = \frac{P_s}{f} \quad \text{[Equação 30]}$$

Igualando as equações 25 e 30, encontra-se:

$$I_M = \sqrt{\frac{2 \cdot P_S}{f \cdot L_p}} \quad [\text{Equação 31}]$$

Substituindo o  $I_M$  da equação 31 na Equação 24, pode-se obter o  $L_p$ .

$$L_p = \frac{(\delta \cdot V_E)^2}{2 \cdot P_S \cdot f} \quad [\text{Equação 32}]$$

Substituindo  $P_S$  por  $\frac{V_S^2}{R_S}$ , na Equação 32, obtém-se:

$$V_S = \delta \cdot V_E \cdot \sqrt{\frac{R_S}{2 \cdot f \cdot L_p}} \quad [\text{Equação 33}]$$

A Equação 33 fornece a função de transferência do conversor *Flyback* modo-descontínuo. Nota-se que tanto variações em  $V_E$  quanto em  $R_S$ , contribuem para variações em  $\delta$ . Assim,  $\delta$  deverá ser máximo para  $V_{Emin}$  e  $I_{Smax}$ , o que implicará em  $\psi_{max}$ , logo para  $V_{Emin}$  e  $I_{Smax}$  deve-se ter:

$$\delta_{max} + \psi_{max} = 1 \quad [\text{Equação 34}]$$

A relação de espiras deve ser calculada por:

$$N = \frac{\delta_{max} \cdot V_{Emin}}{V_S \cdot (1 - \delta_{max})} \quad [\text{Equação 35}]$$

O ângulo de condução  $\psi$  pode ser calculado por:

$$\psi = \sqrt{\frac{2 \cdot f \cdot L_S}{R_S}} \quad [\text{Equação 36}]$$

E o capacitor pode, então, ser calculado pela equação a seguir:

$$C = \frac{(N \cdot I_M - I_S)^2 \cdot \sqrt{\frac{2 \cdot f \cdot L_S}{R_S}}}{2 \cdot N \cdot I_M \cdot \Delta V_C \cdot f} \quad [\text{Equação 37}]$$

### 2.2.2.2.1 - Cálculo do Transformador

Considera-se para os cálculos a tensão de entrada entre 130V e 350V e adotando um  $\delta$  máximo de 0,5, corrente de saída máxima de 1A, mínima de 0,1A, tensão de saída de 28V e queda de tensão no diodo de 1,5V, bem como a frequência de trabalho do 1M0380, que é de 67kHz.

- Potência de saída:

$$P_0 = V_0 \cdot I_0 = (28 + 1,5) \cdot 1 = 29,5W$$

- Indutância no primário:

Da Equação 32, tem-se:

$$L_p \leq \frac{(\delta_{\max} \cdot V_{E\min})^2}{2 \cdot P_s \cdot f} = \frac{(0,5 \cdot 130)^2}{2 \cdot 29,5 \cdot 67k} = 1,068mH$$

Assim, adota-se uma indutância de 900 $\mu$ H.

- Corrente no primário:

Utilizando a Equação 31 tem-se que:

$$I_M = \sqrt{\frac{2 \cdot P_s}{f \cdot L_p}} = \sqrt{\frac{2 \cdot 29,5}{67k \cdot 0,9m}} = 0,989A$$

- Energia:

Da Equação 30 obtém-se:

$$E = \frac{P_s}{f} = \frac{29,5}{67k} = 440\mu J$$

- Núcleo EE

$$A_p = \left( \frac{2 \cdot E \cdot 10^4}{k_u \cdot k_j \cdot B_{\max}} \right)^z \quad \text{[Equação 38]}$$

$\Delta T = 30^\circ C$ ;  $k_j = 397$ ;  $k_u = 0,4$ ;  $B = 0,3T$ ;  $z = 1,136$

$$A_p = \left( \frac{2 \cdot 440\mu \cdot 10^4}{0,4 \cdot 397 \cdot 0,3} \right)^{1,136} = 0,1468cm^4$$

Núcleo EE30/15/7:  $A_p=0,71\text{cm}^4$ ;  $l_e=6,69\text{cm}$ ;  $A_e=0,597\text{cm}^2$

$$Al = \frac{A_e^2 \cdot B^2}{2 \cdot E} = \frac{(0,597 \cdot 10^{-4})^2 \cdot 0,3^2}{2 \cdot 440 \mu} = 365 \text{nH} / \text{esp}^2 \quad \text{[Equação 39]}$$

$$N_p = \sqrt{\frac{L_p}{A_l}} = \sqrt{\frac{900 \mu}{365 \text{n}}} \cong 50 \text{esp.} \quad \text{[Equação 40]}$$

Assim, tem-se 50 espiras no primário, para o núcleo EE30/15/7, conforme [DATASHEET EE30/15/7]. E a área de cobre é calculada a seguir:

$$J = k_j \cdot A_p^{-j} = 397 \cdot 0,9^{-0,12} = 402 \text{A} / \text{cm}^2$$

$$I_{PRMS} = I_M \cdot \sqrt{\frac{\delta_{\max}}{3}} = 0,989 \cdot \sqrt{\frac{0,5}{3}} = 404 \text{mA} \quad \text{[Equações 41, 42 e 43]}$$

$$ACu = \frac{I_{PRMS}}{J} = \frac{404 \text{mA}}{402} = 0,001005 \text{cm}^2$$

Assim, para o enrolamento primário um fio 26AWG será suficiente, com 50 voltas. Para o secundário, da Equação 32 substituindo  $V_E$  por  $V_S$  e  $P_S$  por  $\frac{V_S^2}{R_S}$ , tem-se,

$$L_S = \frac{\delta_{\max}^2 \cdot R_S}{2 \cdot f} = \frac{0,5^2 \cdot 28}{2 \cdot 67 \text{k}} = 52,2 \mu\text{H} \quad \text{[Equação 44]}$$

E da Equação 40, retira-se:

$$N_S = \sqrt{\frac{L_S}{A_l}} = \sqrt{\frac{52,2 \mu}{365 \text{n}}} = 11,95 \cong 12 \text{esp.}$$

Assim, tem-se que o secundário deverá apresentar 12 espiras, com a área de cobre calculada a seguir, utilizando as equações 27, 42 e 43.

$$I_D = N \cdot I_M = \frac{50}{12} \cdot 0,989 = 4,12 \text{A}$$

$$I_{SRMS} = I_D \cdot \sqrt{\frac{\delta_{\max}}{3}} = 4,12 \cdot \sqrt{\frac{0,5}{3}} = 1,68 \text{A}$$

$$ACu = \frac{I_{SRMS}}{J} = \frac{1,68}{402} = 0,00418 \text{cm}^2$$

Assim, para o secundário 12 voltas de dois fios 24AWG serão suficientes.

### 2.2.2.2.2 - Cálculo do Capacitor

Para o cálculo do capacitor basta substituir os valores já calculados na equação 37, com uma variação de tensão na saída não maior que 0,5%, o que equivale a 14mV.

$$C = \frac{(N \cdot I_M - I_S)^2 \cdot \sqrt{\frac{2 \cdot f \cdot L_S}{R_S}}}{2 \cdot N \cdot I_M \cdot \Delta V_C \cdot f} = \frac{(4,12 - 1)^2 \cdot \sqrt{\frac{2 \cdot 67k \cdot 52,2\mu}{28}}}{2 \cdot 4,12 \cdot 14m \cdot 67k} \cong 305\mu F$$

Assim, pode-se utilizar um capacitor de 470µF, com certa folga.

### 2.2.2.2.3 - Cálculo do Diodo

O diodo deve suportar uma corrente média de 1A, que é a corrente de saída, com picos repetitivos no valor de  $I_D$  que é de 4,12A, e suportar altas frequências, por isso utiliza-se um diodo UF.

Foi utilizado o diodo UF5404, que satisfaz com folga as necessidades, pois tem um tempo de recuperação reversa de menos de 50ns, conforme a Tabela 2 e suporta uma corrente média de 3A e uma corrente de pico repetitivo de 30A, conforme a Tabela 3.

Tabela 2: Tempo de recuperação reversa do UF5404

Characteristics	Kennwerte	
Type	Reverse recovery time	Forward voltage
Typ	Sperrverzugszeit	Durchlaßspannung
	$t_{rr}$ [ns] <sup>1)</sup>	$V_F$ [V] at / bei $I_F$ [A]
UF 5400 ... UF 5404	< 50	< 1.0      3
UF 5405 ... UF 5408	< 75	< 1.7      3

Tabela 3: Máxima tensão reversa, corrente média e corrente de pico repetitivo do UF5404

Maximum ratings		Grenzwerte	
Type Typ	Repetitive peak reverse voltage Periodische Spitzensperrspannung $V_{RRM}$ [V]	Surge peak reverse voltage Stoßspitzensperrspannung $V_{RSM}$ [V]	
UF 5400	50	50	
UF 5401	100	100	
UF 5402	200	200	
UF 5403	300	300	
UF 5404	400	400	
UF 5405	500	500	
UF 5406	600	600	
UF 5407	800	800	
UF 5408	1000	1000	

Max. average forward rectified current, R-load Dauergrenzstrom in Einwegschaltung mit R-Last	$T_A = 50^\circ\text{C}$	$I_{FAV}$	3 A <sup>1)</sup>
Repetitive peak forward current Periodischer Spitzenstrom	$f > 15\text{ Hz}$	$I_{FRM}$	30 A <sup>3)</sup>

### 2.2.2.3 - Circuito de Controle

O principal elemento do circuito de controle é o integrado TL431[6]. Este componente é um regulador de precisão ajustável, a seguir tem-se seu diagrama de blocos interno para maior compreensão.

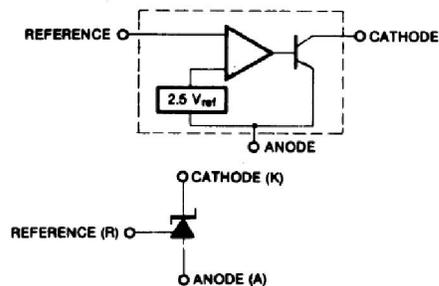


Figura 24 – Diagrama de blocos interno do TL431.

E o circuito de controle encontra-se na Figura 25:

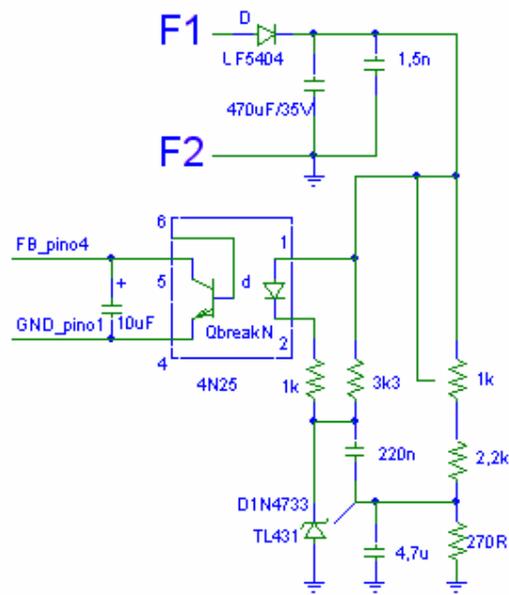


Figura 25 – Circuito de controle do *Flyback*.

A lógica do controle apresentada no circuito da Figura 25, funciona da seguinte maneira: primeiramente o TL431[6] mantém uma tensão de 2,5V na referência, assim através do divisor resistivo obtido através dos resistores de 2,2kΩ e 270Ω, bem como do trimpot de 1kΩ, regula-se a tensão que se deseja na saída, com estes resistores obtém-se uma tensão entre 22,87V e 32,13V, conforme segue:

$$V_{REF} = \frac{R_1}{R_1 + R_2} \cdot V_0$$

$$V_0 = \frac{R_1 + R_2}{R_1} \cdot V_{REF}$$

$$R_{trimpot} = 0$$

$$V_0 = \frac{270 + (2,2k + 0)}{270} \cdot 2,5 = 22,87V$$

$$R_{trimpot} = 2,2k$$

$$V_0 = \frac{270 + (2,2k + 1k)}{270} \cdot 2,5 = 32,13V$$

Assim, quando a tensão na saída passa do valor estipulado, o TL431[6] irá consumir mais corrente em seu catodo, o que irá provocar um aumento na corrente no diodo do optocoplador 4N25, diminuindo a tensão sobre o transistor acoplado ao

mesmo (4N25), fazendo com que a tensão que vai ao pino de realimentação do 1M0380 [5] diminua, reduzindo-se, assim, a razão cíclica.

E, quando a tensão na saída cai abaixo do nível correto, o catodo do TL431[6] irá deixar de demandar corrente, fazendo com que a corrente no diodo do optoacoplador diminua, o que irá provocar um aumento na tensão coletor emissor do transistor do optoacoplador, aumentando assim, a tensão na realimentação do 1M0380[5], fazendo com que a razão cíclica do mesmo aumente. Mantendo, assim, a tensão na saída estável no valor desejado. Os capacitores do circuito funcionam como filtro para os ruídos.

#### 2.2.2.4 - Limitador de Corrente

O circuito limitador de corrente será analisado utilizando a Figura 26:

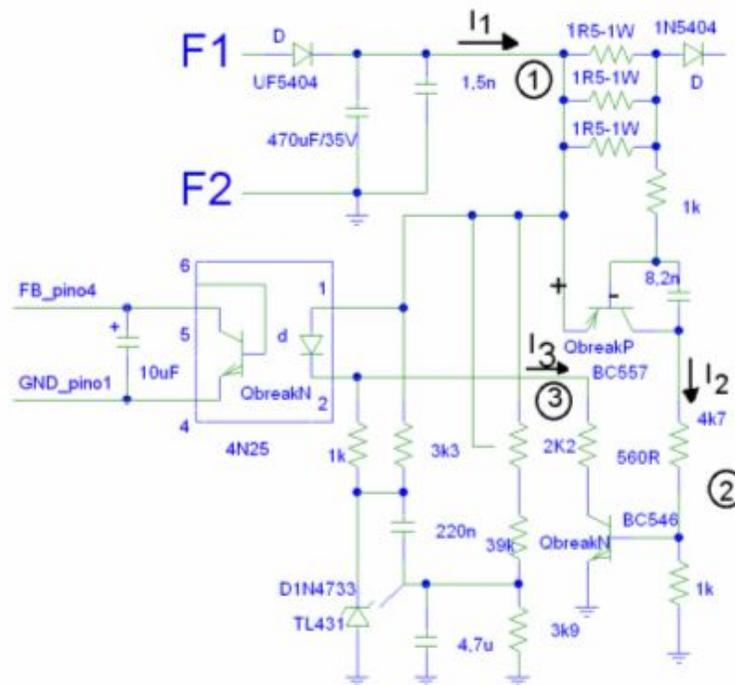


Figura 26 – Circuito do limitador de corrente.

Quando a corrente de saída, representada na Figura 26 por  $I_1$ , cresce, ela causa um aumento da tensão nos resistores em série com a saída, cuja associação em paralelo pode ser representada por um resistor de  $0,5\Omega$ , assim, para correntes

maiores que 1A, essa associação passa a ter uma queda de tensão maior que 0,5V, como pode-se notar em 1.

Com essa tensão, o transistor BC557 começa conduzir, gerando uma pequena corrente,  $I_2$ , que irá polarizar o transistor BC546 em 2, gerando a corrente  $I_3$ , que irá aumentar a corrente no diodo do optoacoplador em 3.

Independentemente da ação de controle do TL431[6], que irá perder sua capacidade de compensar a queda de tensão que esta ação irá causar, a razão cíclica diminuirá, pois aumentando a corrente no diodo do optoacoplador, a tensão no coletor-emissor de seu transistor irá reduzir, diminuindo a tensão no pino de realimentação do 1M0380[5], que irá provocar essa diminuição da razão cíclica.

## **2.3 - Conclusão (Carregador de Baterias)**

Assim, pode-se concluir que o conversor *flyback* foi projetado para fornecer à saída uma tensão de aproximadamente 28V, para carregar as baterias, contando ainda com uma proteção contra curto circuito, pois baterias com baixa carga ou descarregadas possuem valores de tensão bem abaixo do valor nominal da saída do circuito e possuem ainda grande capacidade de absorver corrente, o que poderia ser muito prejudicial a um circuito sem tal proteção.

Para o controle utilizou-se um integrado dedicado ao controle de conversores *forward* e *flyback*, para o transformador, utilizou-se um núcleo EE 30/15/7 com 50 espiras de fio 26 AWG no primário, 12 espiras com dois fios 24 AWG e 6 espiras de fio 25 AWG no terciário, que alimentará o integrado 1M0380[6]. Para o capacitor utilizou-se um de 470 $\mu$ F, sendo o mesmo mais que suficiente para a implementação realizada.

## 3 - Conversor DC/DC

### 3.1 - Introdução

Será apresentado neste capítulo o circuito do conversor DC/DC elevador, que funcionará sempre que a rede cair, retirando energia da bateria, com uma tensão entre 22V e 28V (cada uma das baterias tem uma tensão nominal de 12V, totalizando 24V), e convertendo para uma tensão DC de 260V.

Além do conversor, serão tratados alguns circuitos adicionais, como a alimentação da placa de controle, a amostragem da carga da bateria e os *drives* das chaves (MOSFET), bem como a amostragem da realimentação, que irá para o controle.

A Figura 27 mostra o circuito completo do conversor DC/DC, que apresenta tanto características de um conversor *forward* quanto do *push-pull*. Seu funcionamento será detalhado no decorrer deste capítulo.

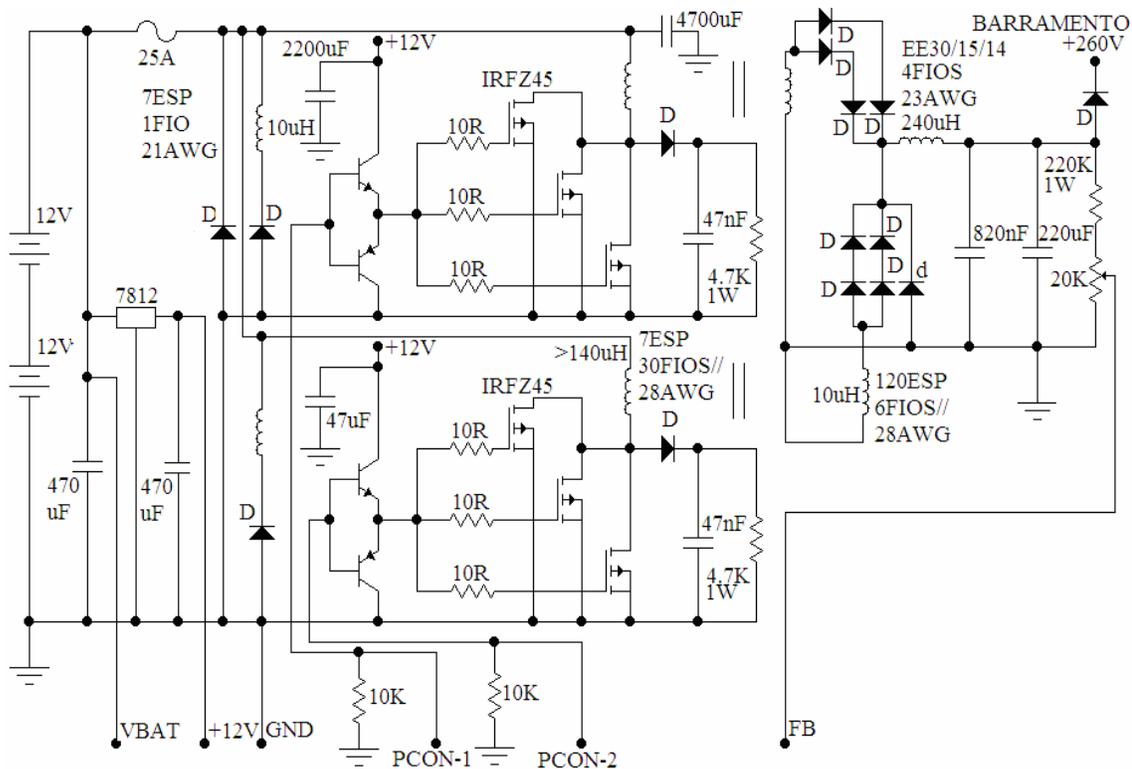


Figura 27 – Circuito completo do conversor DC/DC.

### 3.2 - Procedimentos de Projeto

Para o projeto deste conversor, as equações utilizadas são provenientes de [TREVISI, 2005].

#### 3.2.1 - Circuitos Adicionais

Neste tópico trata-se de alguns circuitos para o conversor DC/DC. Primeiramente pode-se observar na Figura 27, as fontes de tensão  $V_5$  e  $V_6$  no lado esquerdo do esquemático, que representam as baterias em série. Ligado ao mesmo ponto que o pólo positivo da bateria está a saída  $V_{BAT}$ , que vai para o controle, e amostra a tensão da bateria.

Ligado ao mesmo ponto está a entrada do regulador LM7812, que fornece um barramento de 12V que alimenta o controle, por meio das saídas +12 e GND, e os *drives* dos MOSFET's. Entre o GND e a entrada e entre o GND e a saída existem

capacitores de  $470\mu\text{F}$  para garantir estabilidade ao regulador, bem como próximo aos *drives*, para filtrar o barramento.

Há, também, no canto direito da Figura 27, um divisor resistivo (resistor de  $220\text{k}\Omega$  e trimpot de  $20\text{k}\Omega$ ), que amostra a tensão na saída, e envia esta realimentação ao controle através da saída FB. E, finalmente, um fusível na saída das baterias limitando a sua corrente em 50A, e em paralelo com as baterias, depois do fusível, um diodo UF5404, que deverá entrar em condução quando os pólos das baterias forem ligados invertidos, queimando o fusível.

### 3.2.2 - Snubber

Estes dispositivos são utilizados para se amortecer as oscilações de alta frequência geradas durante a comutação dos semicondutores de potência, devido às suas indutâncias parasitas e capacitâncias intrínsecas e são usados para evitar picos elevados de tensão nos semicondutores, evitando que os mesmos sejam danificados. E, por ser um circuito de baixa potência, este não adiciona grande custo ao projeto, propiciando ao mesmo, qualidade. Tem-se a seguir o circuito do *snubber* implementado para proteger as chaves do conversor DC/DC.

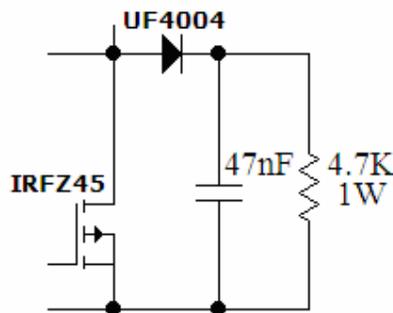


Figura 28 – Circuito do *snubber*.

#### 3.2.2.1 - Cálculo do *Snubber*

Primeiramente dimensiona-se o resistor para que este dissipe  $1,0\text{W}$  para a tensão máxima que a chave deverá suportar. Para o circuito adota-se o dobro da tensão máxima de entrada,  $28\text{V}$ , assim:

$$R = \frac{(2 \cdot V_{IRMS})^2}{1} = \frac{56^2}{1} = 3,1k\Omega$$

Porém, como pode-se notar utiliza-se um resistor maior, de 4,7kΩ. Para o capacitor, deve-se dimensionar uma queda para 90% de sua tensão:

$$V_{C1} = V_{C0} \cdot e^{-\frac{1}{RC}t}$$

$$C = \frac{-t}{R \cdot \ln\left(\frac{V_{C1}}{V_{C0}}\right)}$$

Para um tempo de descarga do valor do período ( $f = 15\text{kHz}$ )

$$C = \frac{-66,7\mu}{4,7k \cdot \ln(0,9)} = 134,6\eta F$$

Como se pode notar na Figura 28, foi usado um capacitor de 47nF e um diodo UF4004, mas os valores aqui calculados, como já dito são empíricos, assim, os valores utilizados podem apenas ser próximos dos calculados, como visto.

### 3.2.3 - Conversor

#### 3.2.3.1 - Funcionamento do Circuito

Para explicar o funcionamento deste conversor, foi montado um circuito esquemático, apresentado na Figura 29, que simplifica o circuito, retirando-se componentes em série e paralelo, bem como componentes adicionais para melhorar seu desempenho.

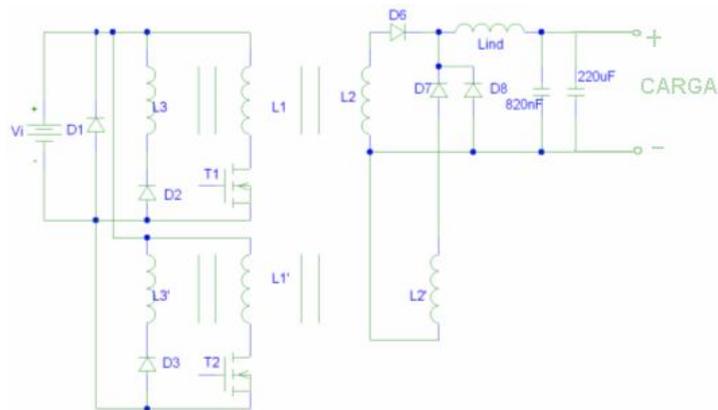


Figura 29 – Circuito simplificado do conversor.

Este circuito, como se pode notar, compõe-se de nada mais que dois conversores *forward* compartilhando do mesmo indutor e capacitor do secundário, e, cada um trabalhando alternadamente, ou seja, funcionando entrelaçados.

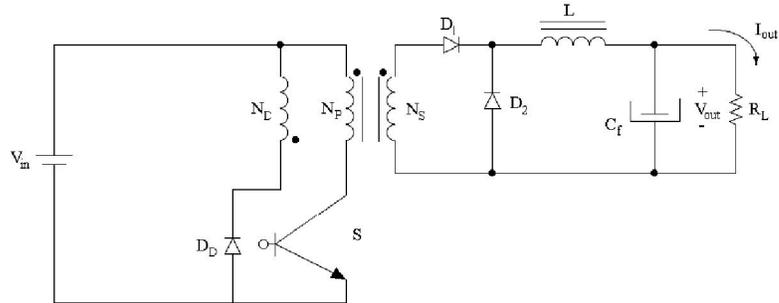


Figura 30 – Circuito de um conversor *Forward* convencional.

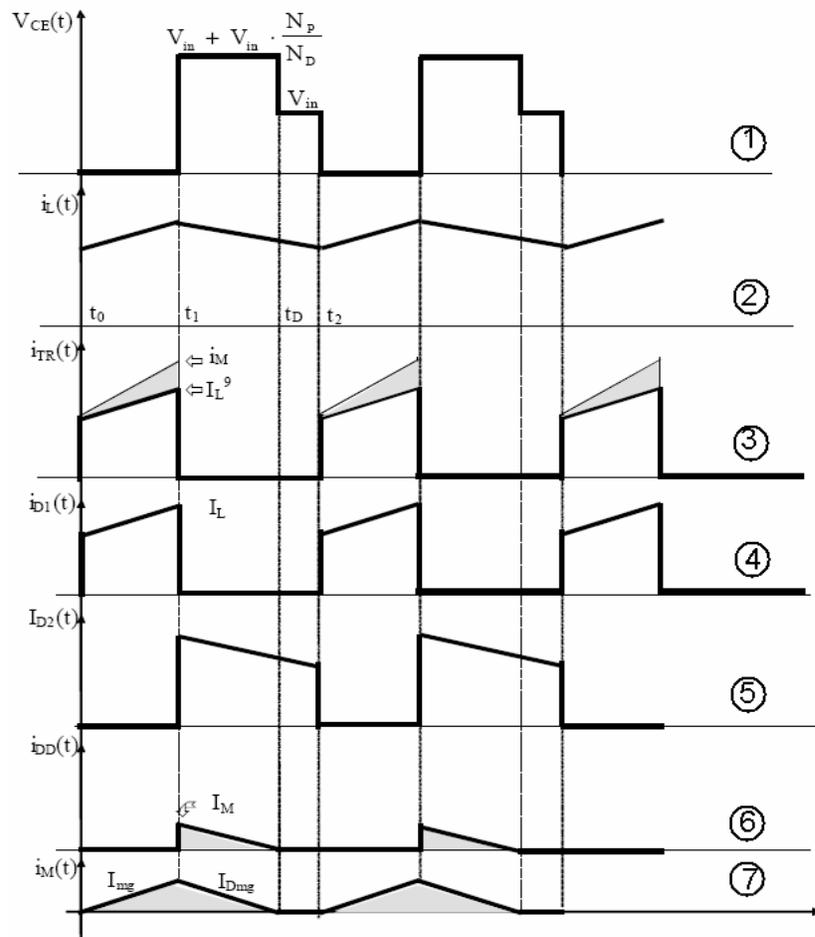


Figura 31 – Formas de onda de um conversor *Forward* convencional.

A partir daqui, todas as referências dos componentes levarão em conta a Figura 29, enquanto que todas as referências à formas de onda levarão em consideração a Figura 31. Assim, num primeiro momento, a chave T1 é posta em condução, colocando uma tensão igual a  $V_i$  em L1, e passando pela mesma uma corrente apresentada na forma de onda 3, enviando energia para a saída, aparecendo assim uma corrente representada pela forma de onda 4 no diodo D6, que irá para o indutor.

Após essa etapa, a chave T1 será colocada em corte, surgindo uma corrente de desmagnetização em L3 e D2 (forma de onda 6), surgindo ainda uma tensão na chave T1. A corrente do indutor  $L_{ind}$  fechará o laço através do diodo D8.

Após alguns instantes, a chave T2 entrará em condução, porém nada mudará para as formas de onda mencionadas acima, que estão relacionadas com um outro transformador, independentemente. Surgirá agora a tensão  $V_i$  no enrolamento L1', passando a corrente da forma de onda 3, porém atrasada em meio período, pela chave T2. Assim, essa energia será enviada para a saída através do enrolamento L2', passando pelo diodo D7, com a corrente da forma de onda 4, porém também atrasada em meio ciclo de chaveamento.

Ao abrir a chave T2, passará pelo diodo D3, uma corrente de desmagnetização, como mostrada em 6 porém também atrasada de 180°. E o diodo D8 voltará a conduzir a corrente do indutor  $L_{ind}$ .

Assim, as formas de onda dos dois circuitos (de cada transformador) serão as mesmas, como mostrado na Figura 31, porém defasadas de 180° uma da outra, tendo uma razão cíclica menor que 0,5 para cada chave. Assim, tem-se na saída a forma de onda da Figura 32.

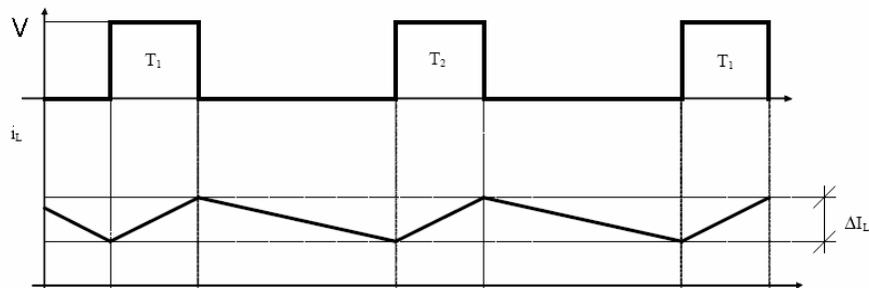


Figura 32 – Formas de onda de tensão no diodo D8 e forma da corrente no indutor.

### 3.2.3.2 - Cálculo dos Transformadores

Como os dois transformadores deverão ser iguais, apenas um cálculo será efetuado. Assim projetou-se o transformador para uma entrada entre 22V e 28V, uma tensão de saída de 130V (metade da tensão de saída desejada, uma vez que usou-se dois transformadores), uma frequência de trabalho de 15kHz e uma potência de saída de 350W, pois cada transformador fornecerá metade da potência de saída desejada, e a potência de saída total deverá ser de 700W. Primeiramente será definido a máxima razão cíclica como 0,45, deixando certa folga em relação à razão cíclica máxima teórica, de 0,5, assim pode-se obter a razão cíclica mínima:

$$\begin{aligned} \frac{D_{\max}}{D_{\min}} &= \frac{V_{\max}}{V_{\min}} \\ \frac{0,45}{D_{\min}} &= \frac{28}{22} \end{aligned} \quad \begin{array}{l} \text{[Equação} \\ \text{45]} \end{array}$$
$$D_{\min} = \frac{0,45 \cdot 22}{28} = 0,353$$

Para a obtenção da relação de espiras, utiliza-se a função de transferência do conversor para uma razão cíclica máxima. Assim, obtém-se a seguinte relação de espiras:

$$\begin{aligned} V_0 &= \frac{D \cdot V_i}{N} - V_D \cdot D \\ V_0 + V_D \cdot D &= \frac{D \cdot V_i}{N} \end{aligned} \quad \text{[Equação 46]}$$
$$N = \frac{D_{\max} \cdot V_{i\min}}{V_0 + V_D \cdot D_{\max}} = \frac{0,45 \cdot 22}{130 + 1,5 \cdot 0,45} = 0,0757$$

A seguir calcula-se a densidade de fluxo, para a variação da tensão de entrada, de modo que a densidade de fluxo nunca ultrapasse o valor em que o núcleo começa a saturar. Assim:

$$B = \frac{V_{\min}}{V_{\max}} \cdot B_{\max} = \frac{22}{28} \cdot 0,35 = 0,275T \quad \text{[Equação 47]}$$

De posse destes dados calculados pode-se calcular o coeficiente de densidade de corrente nos fios (kj), utilizando um  $\Delta T$  de 30°, e o  $A_p$  do núcleo necessário:

$$kj = 63.35 \cdot 40^{0.54} = 464,36 \quad \text{[Equações 48 e 49]}$$

$$Ap = \left( \frac{2,65 \cdot P_s \cdot 10^4}{kj \cdot B \cdot f} \right)^z = \left( \frac{2,65 \cdot 350 \cdot 10^4}{464,36 \cdot 0,275 \cdot 15k} \right)^{1,136} = 6cm^4$$

O núcleo determinado é o EE42/21/20, conforme [DATASHEET EE 42/21/20], cujo  $Ap$  é de  $6,14cm^4$ ;  $l_e=9,7cm$ ;  $A_e=2,4cm^2$ . Agora, a partir da escolha do núcleo, calcula-se o número de espiras no enrolamento primário.

$$N_1 \geq \frac{V_{i\min} \cdot D_{\max}}{A_e \cdot B \cdot f} = \frac{22 \cdot 0,45}{2,4 \cdot 10^{-4} \cdot 0,275 \cdot 33k} = 4,54esp. \quad \text{[Equação 50]}$$

Adota-se, então, 5 espiras no primário. Como já foi calculado a relação de espiras, pode-se obter o número de espiras no secundário.

$$N = \frac{N_1}{N_2} \rightarrow N_2 = \frac{N_1}{N} = \frac{5}{0,0757} = 66esp. \quad \text{[Equação 51]}$$

A densidade de corrente nos fios será:

$$J = kj \cdot Ap^{-0,12} = 464,36 \cdot 6,14^{-0,12} = 373,48A/cm^2 \quad \text{[Equação 52]}$$

Calculados os números de espiras no primário e no secundário, pode-se passar para o cálculo da área de cobre que será necessária para esses mesmos enrolamentos. Primeiramente, para um fator de indutância do núcleo de  $Al=4000nH/esp^2$  (dado do fabricante), pode-se calcular a indutância no primário.

$$L_p = Al \cdot N_1^2 = 4 \cdot 10^{-6} \cdot 5^2 = 100\mu H \quad \text{[Equação 53]}$$

Donde pode-se obter a corrente de magnetização no primário:

$$I_{mg} = \frac{D_{\max} \cdot V_{i\min}}{L_p \cdot f} = \frac{0,45 \cdot 22}{100\mu \cdot 15k} = 6,6A \quad \text{[Equação 54]}$$

Sendo o seu valor RMS:

$$I_{mgRMS} = I_{mg} \cdot \sqrt{\frac{D_{\max}}{3}} = 6,6 \cdot \sqrt{\frac{0,45}{3}} = 2,556A \quad \text{[Equação 55]}$$

O que implicará uma área de cobre de:

$$A_{Cu} = \frac{I_{RMS}}{J} = \frac{2,556}{464,36} = 0,0055cm^2 \quad \text{[Equação 56]}$$

Assim, tem-se que o enrolamento da desmagnetizante deverá ter a área de cobre calculada acima, sendo que três fios 24 AWG serão suficientes, tendo o mesmo 5 espiras, como o primário. A corrente RMS no secundário será:

$$I_{SRMS} = (I_0 + I_{0min}) \cdot \sqrt{D_{max}} = (2,69 + 0,269) \cdot \sqrt{0,45} = 1,985A \quad \text{[Equação 57]}$$

E a área de cobre no enrolamento secundário, conforme a equação 56, deve ser de:

$$A_{Cu} = \frac{I_{RMS}}{J} = \frac{1,985}{464,36} = 0,00427cm^2$$

O que dá 3 fios 24 ou 25 AWG, enquanto para o primário usa-se fita de cobre para os enrolamentos, cuja corrente RMS respectiva área de cobre devem ser:

$$I_{pRMS} = \frac{I_{SRMS}}{N} + I_{mgRMS} = \frac{1,985}{0,0757} + 2,56 = 28,78A$$

$$A_{Cu} = \frac{I_{RMS}}{J} = \frac{28,78}{464,36} = 0,06197cm^2$$

Finalizando-se, assim, o cálculo dos transformadores.

### 3.2.3.3 - Cálculo do Filtro de Saída

Para o cálculo do filtro de saída, tanto do indutor, quanto do capacitor, utilizam-se as equações de um *push-pull* [Treviso, 2005], assim, a indutância mínima do indutor de saída deve ser:

$$L_{ind} \geq \frac{D_{min} \cdot (1 - 2 \cdot D_{min}) \cdot V_{i max}}{2 \cdot N \cdot I_{S min} \cdot (2 \cdot f)} = \frac{0,353 \cdot (1 - 2 \cdot 0,353) \cdot 28}{2 \cdot 0,0757 \cdot 0,269 \cdot (2 \cdot 15k)} = 2,378mH \quad \text{[Equação 58]}$$

Para a escolha do núcleo precisa-se primeiramente calcular a energia máxima no indutor, dada pela Equação 59:

$$E = \frac{1}{2} \cdot L_{ind} \cdot (I_s + I_{s_{min}})^2 = \frac{1}{2} \cdot 2,378m \cdot (2,69 + 0,269)^2 = 10,41mJ \quad [\text{Equação 59}]$$

A partir da energia calculada, pode-se fazer a escolha do núcleo, considerando um fator de utilização (ku) de 0,4, e uma variação de temperatura de 30°C, o que nos leva a um kj de 397, segundo a Equação 48, tem-se um Ap de:

$$A_p = \left( \frac{2 \cdot E \cdot 10^4}{k_u \cdot k_j \cdot B} \right)^z = \left( \frac{2 \cdot 10,41m \cdot 10^4}{0,4 \cdot 397 \cdot 0,35} \right)^{1,136} = 4,48cm^4 \quad [\text{Equação 60}]$$

Assim, o núcleo a ser utilizado deve ser o núcleo EE 42/21/15, que tem um Ap de 4,66 cm<sup>4</sup>, Ae=1,82 cm<sup>2</sup> e le=9,7 cm. Calcula-se, agora, o fator de indutância.

$$A_l = \frac{A_e^2 \cdot B_{max}^2}{2 \cdot E} = \frac{(1,82 \cdot 10^{-4})^2 \cdot 0,35^2}{2 \cdot 10,41m} = 194,89nH / esp^2 \quad [\text{Equação 61}]$$

E, portanto, o indutor deverá ter um entreferro, cuja largura é calculada a seguir:

$$\mu_e = \frac{A_l \cdot l_e}{\mu_0 \cdot A_e} = \frac{194,89n \cdot 9,7 \cdot 10^{-2}}{4\pi \cdot 10^{-7} \cdot 1,82 \cdot 10^{-4}} = 82,65$$

$$lg = \frac{l_e}{\mu_e} = \frac{9,7cm}{82,65} = 1,17mm \quad [\text{Equações 62 e 63}]$$

Assim, a largura deixada entre as duas partes do núcleo deve ser da metade deste valor, uma vez que o fluxo passará duas vezes pelo entreferro, sendo que o entreferro deixado deve ser de 0,587mm. A seguir, tem-se o cálculo do número de espiras:

$$N = \sqrt{\frac{L_{ind}}{A_l}} = \sqrt{\frac{2,378m}{194,89n}} = 110,46esp. \quad [\text{Equação 64}]$$

A densidade de corrente pode ser obtida através da Equação 52:

$$J = k_j \cdot A_p^{-0,12} = 397 \cdot 4,66^{-0,12} = 330A / cm^2$$

Superdimensiona-se a corrente RMS usando a corrente de pico, de 2,96A. Assim, tem-se uma área de cobre, conforme a equação 56, de:

$$A_{Cu} = \frac{I_{RMS}}{J} = \frac{2,96}{330} = 0,00897cm^2$$

O que leva a 3 fios 22 AWG.

Para o cálculo do capacitor, deve-se arbitrar a máxima variação na tensão de saída, que será considerada 0,5%, ou 1,3V. Assim, a capacitância necessária é de:

$$C = \frac{L \cdot \Delta I_s^2}{2 \cdot \Delta V_s \cdot V_s} = \frac{2,378m \cdot 2,69^2}{2 \cdot 1,3 \cdot 260} = 25,45 \mu F \quad \text{[Equação 65]}$$

Porém, um ponto crítico no projeto do capacitor é a perda através da resistência série equivalente (ESR), que é dada por:

$$\Delta V_{ESR} = 2 \cdot I_s \cdot ESR$$
$$ESR = \frac{\Delta V_{ESR}}{2 \cdot I_s} = \frac{1,3}{2 \cdot 2,69} = 0,24 \Omega \quad \text{[Equação 66]}$$

O capacitor utilizado foi o de 220 $\mu$ F/400V, que tem 0,25 $\Omega$  de ESR, como pode ser visto em [DATASHEET CAPACITORES ELETROLÍTICOS], e este, ainda está em paralelo com os capacitores do retificador, que possuem resistência série equivalente ainda mais baixa. Assim, uma vez que o capacitor equivalente utilizado, tem 10 vezes mais capacitância e uma ESR menor que suficiente, é de se esperar, de acordo com as equações 65 e 66, um *ripple* menor que o máximo dimensionado.

### 3.2.3.4 - Cálculo dos Semicondutores

Os diodos D2 e D3 da Figura 29, devem suportar uma corrente de pico repetitivo de 3A, como encontrado na equação 54. Bem como uma tensão reversa de duas vezes a entrada máxima, ou seja, 56V. Assim, o diodo UF5404 suprirá essas características com folga, como já apresentado na Tabela 3.

Já os diodos D6 e D7 devem suportar uma corrente de 3,4A, como calculado pela Equação 57, e uma tensão de pico repetitivo do dobro da tensão dos pulsos no secundário.

$$V = 2 \cdot \frac{V_{i\max}}{N} = 2 \cdot \frac{28}{0,757} = 740V$$

Para suportar estas necessidades foram colocados 4 diodos UF5404 em série paralelo, o que permite o dobro da corrente e da tensão do diodo, apresentados na Tabela 3, satisfazendo, assim, as necessidades do projeto.

O diodo D8 deverá suportar uma tensão reversa no valor desses picos no secundário, de 370V, sendo suficiente um diodo UF5406, cujos dados também se encontram na Tabela 3.

Os transistores devem também suportar uma tensão do dobro da tensão máxima de entrada, ou seja, 56V, e uma estimativa da corrente que eles devem suportar conduzir, é dada pela corrente na saída, dividida pela relação de transformação.

$$I = \frac{I_s}{N} = \frac{2,69}{0,0757} = 35,53A$$

Assim, utiliza-se 3 MOSFET's IRFZ45 em paralelo, satisfazendo assim as necessidades, como pode ser conferido na Tabela 4:

Tabela 4: Características do IRFZ45

#### MAXIMUM RATINGS

Characteristic	Symbol	IRFZ44	IRFZ45	IRFZ40	IRFZ42	Unit
Drain-Source Voltage (1)	V <sub>DSS</sub>	60		50		Vdc
Drain-Gate Voltage (R <sub>GS</sub> =1 0MΩ)(1)	V <sub>DGR</sub>	60		50		Vdc
Gate-Source Voltage	V <sub>GS</sub>	± 20				Vdc
Continuous Drain Current T <sub>C</sub> =25°C	I <sub>D</sub>	35	35	35	35	Adc
Continuous Drain Current T <sub>C</sub> =100°C	I <sub>D</sub>	35	33	35	33	Adc
Drain Current—Pulsed (3)	I <sub>DM</sub>	210	190	210	190	Adc
Gate Current—Pulsed	I <sub>GM</sub>	± 1.5				Adc
Single Pulsed Avalanche Energy (4)	E <sub>AS</sub>	53				mJ
Avalanche Current	I <sub>AS</sub>	35				A
Total Power Dissipation at T <sub>C</sub> =25°C Derate above 25°C	P <sub>D</sub>	150 1.2				Watts W/°C
Operating and Storage Junction Temperature Range	T <sub>J</sub> , T <sub>stg</sub>	-55 to 175°				°C
Maximum Lead Temp. for Soldering Purposes, 1/8" from case for 5 seconds	T <sub>L</sub>	300				°C

Notes: (1) T<sub>J</sub>=25°C to 175°C

(2) Pulse test. Pulse width ≤ 300μs, Duty Cycle ≤ 2%

(3) Repetitive rating: Pulse with limited by max junction temperature

(4) L=50μH, V<sub>dd</sub>=25V, R<sub>G</sub>=25Ω, Starting T<sub>J</sub>=25°C

### **3.3 - Conclusão (Conversor DC/DC)**

Assim, pode-se dizer que as chaves (MOSFET's) e diodos utilizados devem satisfazer com folga às necessidades do circuito, conforme mostrado na seção 3.2.3.4. O transformador calculado utiliza um núcleo de ferrite EE 42/21/20, com 5 espiras no primário, de fita de cobre, com área de cobre de 0,0564 cm<sup>2</sup>, 66 espiras no secundário, com 3 fios 25 AWG, e 5 espiras na desmagnetizante, de 3 fios 24 AWG.

O indutor calculado, deverá usar núcleo de ferrite EE42/21/15, com 110 espiras, utilizando 3 fios 22 AWG. E, finalmente, foi utilizado um capacitor de 220µF, com tensão de 400V.

## 4 - Inversor

### 4.1 - Introdução

Nesta seção estuda-se o último dos blocos do *no-break*, o inversor, ou seja, um conversor DC/AC. Quando a rede está ativa este bloco é alimentado pela tensão de saída do retificador, retirando sua energia da rede. Quando há uma falta de energia na rede este bloco passa a ser alimentado pelo conversor DC/DC, retirando sua energia das baterias, de modo que não falte energia na saída, sendo esta a idéia central do *no-break*.

Para gerar uma onda senoidal a partir de uma tensão contínua, este circuito utiliza-se de modulação PWM, assim, modula-se os pulsos a de maneira a se ter uma senóide em PWM, isto é feito comparando-se uma senóide com uma triangular, porém este assunto deve ser tratado no controle. Daí a onda em PWM passa por um filtro, obtendo-se, então a senóide na saída.

Para tanto, utiliza-se um inversor senoidal bipolar PWM. O inversor bipolar PWM gera pulsos de largura variável, de modo que vários harmônicos podem ser eliminados. Para obter a modulação PWM, uma onda senoidal e uma onda triangular, geradas pelo controle, são comparadas.

Assim, a tensão de saída PWM, varia de  $+V_{cc}$  para  $-V_{cc}$ , dependendo da comparação entre as ondas senoidal e triangular. Essa modulação produz pulsos cujos harmônicos de baixa ordem podem ser eliminados. Devido à simetria, os harmônicos ímpares são praticamente eliminados. Portanto, o filtro deve ter uma frequência de corte menor que a frequência da onda triangular e maior que a frequência da onda senoidal.

Na Figura 33, tem-se o circuito esquemático completo do inversor, o qual será explicado nas seções a seguir.

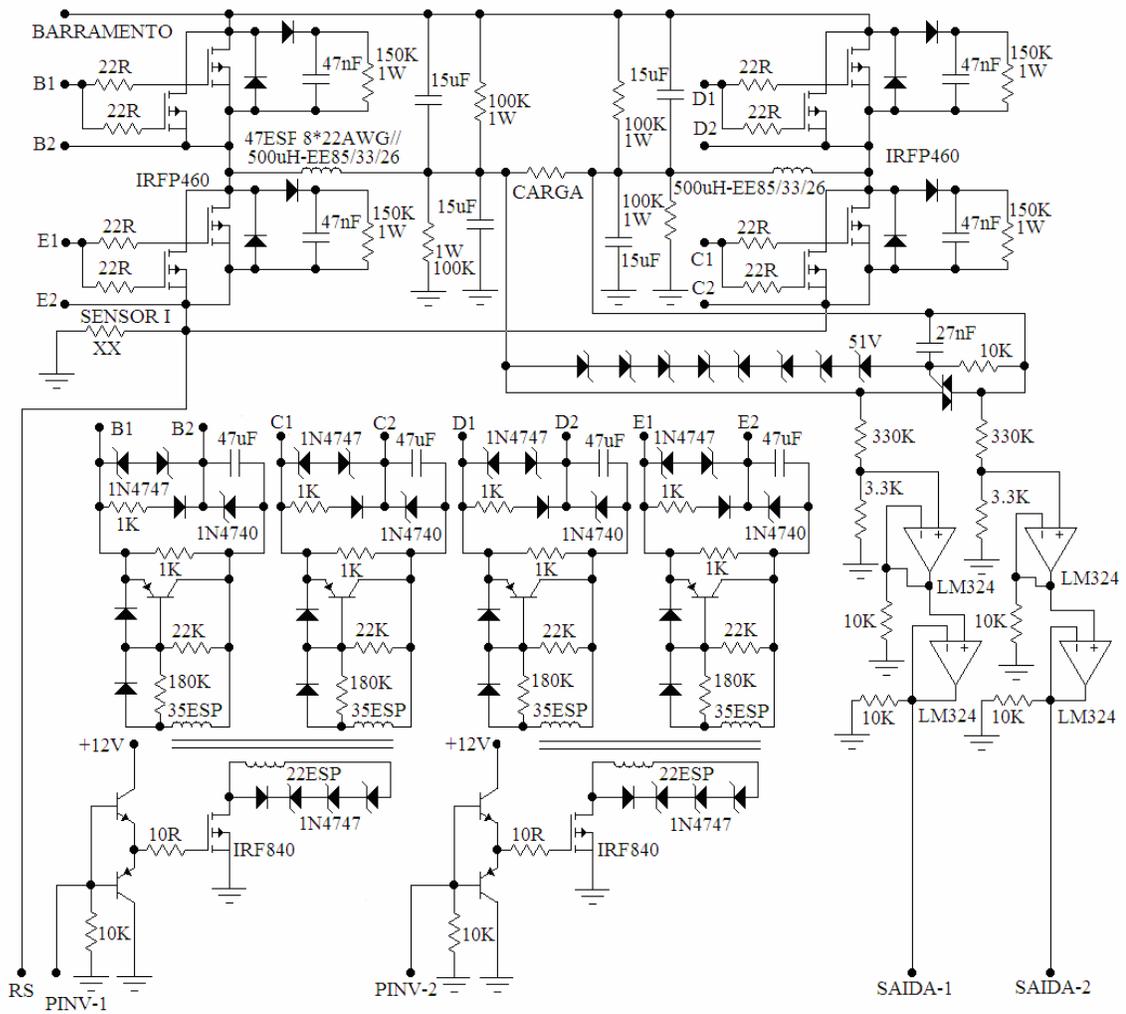


Figura 33 – Esquemático do circuito do inversor.

## 4.2 - Procedimentos de Projeto

### 4.2.1 - Circuitos para o Controle e Proteção

Conforme Figura 33, há um pequeno sensor de corrente ( $R_s$ ) ligado ao barramento DC, que possui uma resistência muito baixa. Assim, toda a corrente que vai para o terra passa por ele, gerando uma pequena tensão, proporcional à corrente na carga, tendo-se assim uma amostragem da forma de onda na saída, que é enviada para o controle.

Tem-se ainda as saídas “SAÍDA 1” e “SAÍDA 2”, que correspondem a uma amostragem da tensão de saída, conforme pode-se notar na Figura 34:

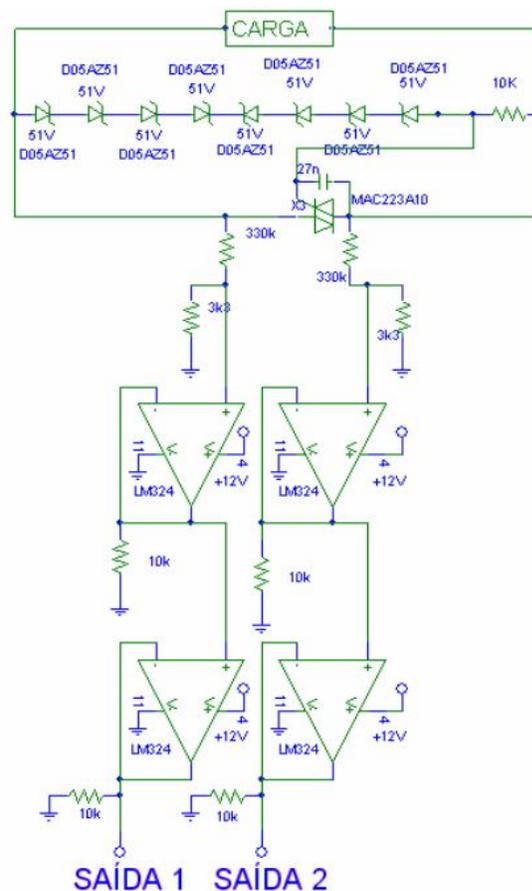


Figura 34 – Circuito de amostragem da tensão de saída.

Este circuito, tem um divisor resistivo, que divide a tensão na carga em cerca de cem vezes, e dois *buffers* para manter o sinal, enviando-o para o controle, uma amostragem da diferença de potencial sobre a carga.

Ainda na Figura 34, tem-se um triac, que é acionado sempre que a tensão de saída vence os quatro diodos zener de 51V, totalizado 204V, assim, quando a tensão de saída ultrapassa esse valor no pico, o triac deverá ser acionado, causando um curto e rompendo o fusível de proteção existente entre os capacitores do barramento e o inversor.

#### 4.2.2 - Drives das Chaves

Os *drives* das chaves servem para fornecer a tensão e corrente necessárias para colocá-las em condução ou em corte rapidamente, bem como para isolar os pulsos das mesmas. Na Figura 35, tem-se o esquemático do circuito dos *drives*.

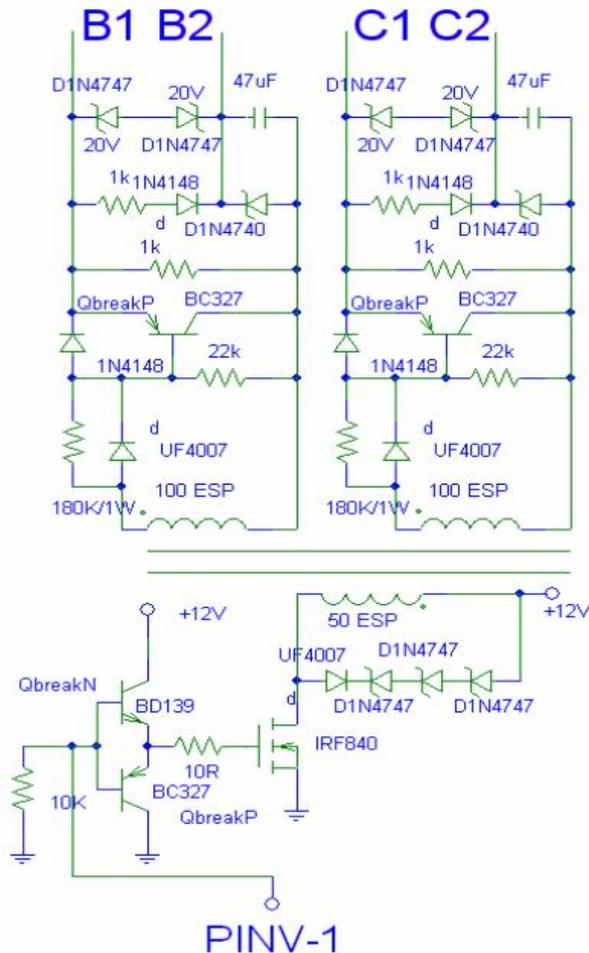


Figura 35 – Esquemático do circuito dos *drives* das chaves.

Na Figura 35 tem-se apenas o esquemático dos *drives* da entrada PINV-1, sendo que o circuito para os *drives* da entrada PINV-2 é o mesmo e cada uma das entradas gera dois sinais, definidos como B e C, no caso de PINV-1, e D e E, no caso de PINV2 (Figura 33). Cada um desses sinais acionará duas chaves em paralelo, para aumentar sua capacidade de corrente. Tanto os sinais B e C, quanto os sinais D e E são iguais, acionando dois grupos de chaves ao mesmo tempo. Agora será explicado o funcionamento dos circuitos dos *drives*, para apenas um sinal, pois todos os quatro circuitos serão iguais.

Logo na entrada de PINV-1 há um par de transistores. Se o sinal em PINV-1 for de nível alto, o transistor BD139 entrará em condução levando a tensão de 12V ao *gate* do IRF840, fazendo-o entrar em condução.

Surgirá então 12V na bobina primária do transformador, que dobrará esta tensão em seu secundário, já que a relação de transformação deste transformador de pulsos é de 1:2. Quando houver nível baixo em PINV-1 o transistor BC327 entrará em saturação, descarregando o capacitor no *gate* do IRF840, fazendo-o entrar em corte.

Assim que o MOSFET entrar em corte, a bobina deverá desmagnetizar-se através dos três diodos zener em série, de 150V cada, assim a tensão de desmagnetização será de 450V, muito maior que a tensão dos pulsos, tendo-se assim, uma rápida desmagnetização, permitindo-se razões cíclicas bem altas. Note que o MOSFET deverá suportar esta tensão, por isso foi usado um IRF840, que suporta tensões de 500V.

No secundário do transformador, quando houver pulso positivo o diodo na saída do enrolamento conduzirá, carregando o capacitor de 47 $\mu$ F via resistor de 1k $\Omega$  e diodo 1N4148, travando sua tensão em 10V, graças ao zener 1N4740, assim, entre B1 e B2 tem-se:  $24V - 10V - 2V = 12V$ .

Na desmagnetização, a tensão será de 900V no secundário, e fará com que o transistor BC327 (PNP) entre em saturação por meio do divisor resistivo, descarregando o capacitor do *gate* do MOSFET, enquanto o capacitor de 47 $\mu$ F, fará com que uma tensão negativa de -10V apareça entre B1 e B2, garantindo, assim, o corte das chaves. Os diodos zener 1N4747 garantirão uma proteção de tensão nas chaves, protegendo-as contra transitórios rápidos superiores a 20V.

### 4.2.3 - Snubber

Como este assunto já foi tratado na seção 3.2.2, passa-se diretamente ao cálculo dos componentes para o mesmo. A seguir tem-se a Figura 36 com o *snubber* para as chaves do inversor:

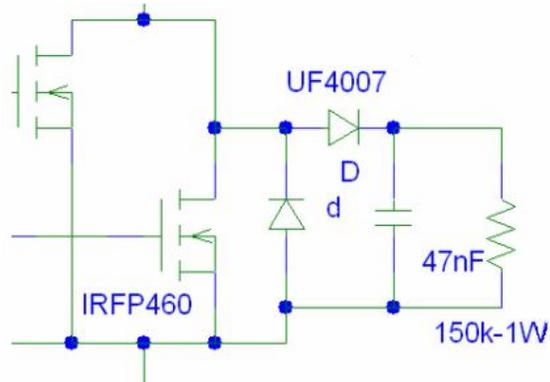


Figura 36 – *Snubber* das chaves do inversor.

Agora adota-se os mesmos cálculos anteriores dos *snubber's*, assim, para uma dissipação de 1,0W, e uma tensão do valor do pico de tensão do retificador como dobrador, que pode ser vista na seção 1.2.1.2, obtem-se uma resistência de:

$$R = \frac{V_{\max}^2}{1} = \frac{395^2}{1} = 156k\Omega$$

Assim, utiliza-se uma resistência de 150kΩ. A seguir, calcula-se os capacitores para uma descarga máxima de 90%, segundo os métodos utilizados anteriormente.

$$C = \frac{-33,3\mu}{150k \cdot \ln(0,9)} = 2,1\eta F$$

Foi deixada uma boa folga para o capacitor, e o diodo usado foi o UF4007, que suporta 700V de tensão reversa.

### 4.2.4 - Funcionamento do Inversor

A seguir simplifica-se o circuito do inversor, apenas para explicar o seu funcionamento, retirando-se os *snubbers*, circuitos para controle e proteção, bem como “unindo” componentes em série e paralelo em um só.

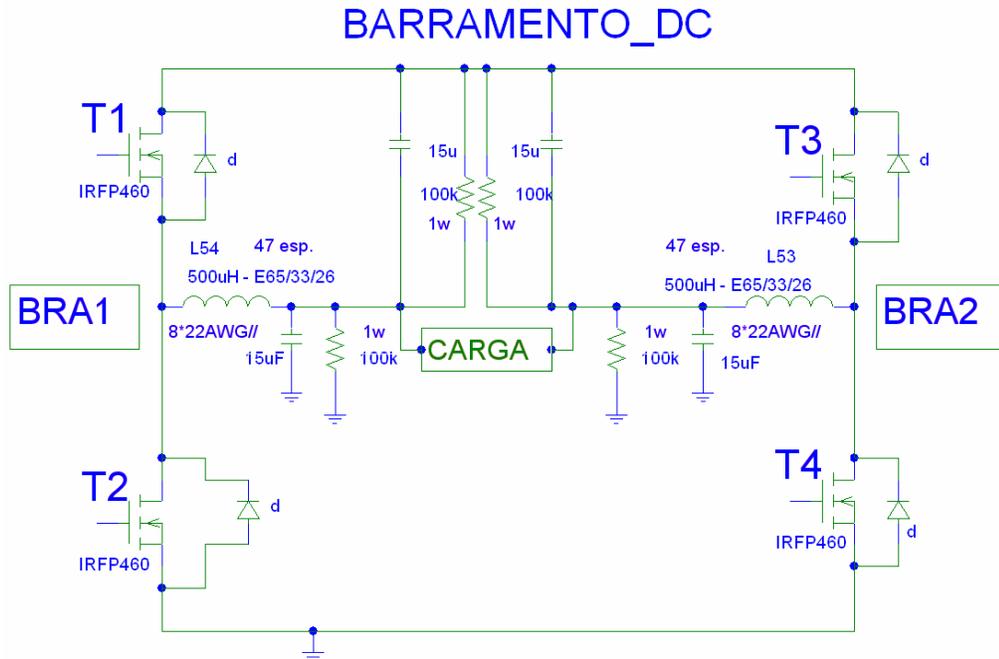


Figura 37 – Circuito simplificado do inversor.

Quando houver um pulso positivo em PINV-1, as chaves T1 e T4 serão fechadas, então surgirá a tensão do barramento DC em BRA1, e do terra em BRA2, e quando houver um pulso positivo em PINV-2 as chaves T2 e T3 serão fechadas, aparecendo a tensão do barramento DC em BRA2 e 0V em BRA1.

Adotando BRA2 como referência, e a tensão do barramento de 260V (apenas para explicar o circuito). Sempre que houver um pulso em PINV-1, tem-se em BRA1 260V, e, quando houver um pulso em PINV-2, tem-se em BRA1 uma tensão de -260V, assim, obtém-se uma onda PWM de 30kHz (frequência adotada para o inversor).

A tensão média dessa onda PWM será positiva sempre que a razão cíclica de PINV-1 for maior que a de PINV-2, sendo máxima quando a razão cíclica de PINV-1 for máxima, e será negativa sempre que a razão cíclica de PINV-2 for maior que a de PINV-1, sendo máxima quando a razão cíclica de PINV-2 for máxima. Sendo nula quando as duas razões cíclicas forem iguais.

Assim, pode-se controlar a tensão média da onda PWM, através dos pulsos de PINV-1 e PINV-2, de modo que este controle resulte em uma onda senoidal de 60Hz, e 115V<sub>RMS</sub>. Daí, o filtro se encarrega de transformar a onda PWM em uma

onda senoidal, filtrando as frequências altas dos pulsos de 30kHz e deixando passar a senoidal de 60Hz, modulada.

#### 4.2.5 - Carga Proposta

Para uma potência de saída de 700W, e uma tensão RMS de 115V, pode-se facilmente calcular a corrente RMS para uma carga resistiva, através da equação de potência para cargas puramente resistivas, a seguir.

$$P = V_{RMS} \cdot I_{RMS}$$

$$I_{RMS} = \frac{P}{V_{RMS}} = \frac{700}{115} = 6,086A \quad \text{[Equação 67]}$$

Porém, nem todas as cargas são puramente resistivas, e um caso crítico, embora comum, é o de um retificador como carga. Assim, supõe-se um retificador como carga, com potência de entrada de 700W, e *ripple* de 10%, com uma tensão de entrada estável em 115V, como é o caso da saída do *no-break* projetado. Tem-se, então uma tensão de pico e uma tensão mínima de:

$$V_p = 115 \cdot \sqrt{2} = 162,63V$$

$$V_{\min} = 0,9 \cdot V_p = 146,37V$$

Assim, segundo a equação 8, a capacitância para esta carga deverá ser de:

$$C = \frac{P_{in}}{f \cdot (V_p^2 - V_{\min}^2)} = \frac{700}{60 \cdot (162,63^2 - 146,37^2)} = 2322\mu F$$

Adota-se para o capacitor da carga um valor de 2200μF. Assim, através das equações encontradas em [BOLOGNINI, 2004], pode-se calcular a corrente máxima que os indutores deverão suportar:

$$R = \frac{115^2}{700} = 18,89\Omega$$

$$V_{ripple} = \frac{V_p}{2 \cdot f \cdot C \cdot R} = \frac{115 \cdot \sqrt{2}}{2 \cdot 60 \cdot 2,2m \cdot 18,89} = 32,61V \quad \text{[Equações 68 e 69]}$$

$$I_{\max} = I_L \cdot \left( 1 + 2\pi \cdot \sqrt{\frac{V_p}{2 \cdot V_R}} \right) = \frac{700}{115} \cdot \left( 1 + 2\pi \cdot \sqrt{\frac{115 \cdot \sqrt{2}}{2 \cdot 32,61}} \right) = 66,48A$$

Da Equação 4 pode-se calcular o tempo de carga e, finalmente, através da equação 6, a corrente de carga:

$$t_c = \frac{\cos^{-1}\left(\frac{V_{\min}}{V_p}\right)}{2\pi \cdot f} = \frac{\cos^{-1}(0,9)}{377} = 1,196ms$$

$$i_{chg} = \frac{2322\mu F \cdot (162,63 - 146,37)}{1,196ms} = 31,56A$$

Assim, pode-se utilizar estas cargas estimadas para cálculos a seguir.

#### 4.2.6 - Dimensionamento das Chaves

As chaves MOSFET usadas foram MOSFET's IRFP460, pois como a tensão máxima que as chaves devem suportar é a tensão máxima do barramento, de quase 400V, conforme visto na seção 4.2.3.

E a corrente RMS na carga, para uma carga resistiva máxima será em torno de 6 A, calculado pela Equação 67, como cada uma das chaves conduzirá durante apenas metade do tempo, tem-se uma corrente média nas chaves de:

$$I_{med} = \frac{6,087}{2} = 3,04A \quad \text{[Equação 70]}$$

Assim, para dar certa folga foram colocados dois MOSFET's IRFP460 em paralelo, cada um com uma corrente direta de 13A, a 100°C, para uma corrente DC, como mostrado na Tabela 5. Considerando que esta capacidade devido ao efeito pelicular caia para 25%, tem-se uma corrente de 3,25A. Com os dois MOSFET's em paralelo tem-se uma corrente de 6,5A, suportando, ainda as estimativas, bem como uma margem de segurança.

Tabela 5: Características do IRFP460

**ABSOLUTE MAXIMUM RATINGS**

Symbol	Parameter	Value	Unit
V <sub>DS</sub>	Drain-source Voltage (V <sub>GS</sub> = 0)	500	V
V <sub>DGR</sub>	Drain- gate Voltage (R <sub>GS</sub> = 20 kΩ)	500	V
V <sub>GS</sub>	Gate-source Voltage	± 20	V
I <sub>D</sub>	Drain Current (continuous) at T <sub>c</sub> = 25 °C	20	A
I <sub>D</sub>	Drain Current (continuous) at T <sub>c</sub> = 100 °C	13	A
I <sub>DM</sub> (*)	Drain Current (pulsed)	80	A
P <sub>tot</sub>	Total Dissipation at T <sub>c</sub> = 25 °C	250	W
	Derating Factor	2	W/°C
dv/dt(1)	Peak Diode Recovery voltage slope	3.5	V/ns
T <sub>stg</sub>	Storage Temperature	-65 to 150	°C
T <sub>j</sub>	Max. Operating Junction Temperature	150	°C

(\*) Pulse width limited by safe operating area

(1) I<sub>SD</sub> ≤ 20 A, di/dt ≤ 160 A/μs, V<sub>DD</sub> ≤ V<sub>(BR)DSS</sub>, T<sub>j</sub> ≤ T<sub>JMAX</sub>

### 4.2.7 - Cálculo do Filtro de Saída

Para o cálculo do filtro arbitra-se uma freqüência de corte de 500Hz (60 vezes menor que a freqüência da onda triangular), assim, pode-se calcular os valores de capacitância e indutância de modo a se obter este filtro. Primeiramente apresenta-se o cálculo do LC.

$$f_c = \frac{1}{2\pi \cdot \sqrt{L \cdot C}} \quad \text{[Equação 71]}$$

$$L \cdot C = \left( \frac{1}{2\pi \cdot f_c} \right)^2 = \left( \frac{1}{2\pi \cdot 500} \right)^2 = 1,013 \cdot 10^{-7}$$

Assim, ao utilizar dois indutores de 500 μH, pode-se obter uma capacitância de:

$$C = \frac{1,013 \cdot 10^{-7}}{L} = \frac{1,013 \cdot 10^{-7}}{2m} = 50,66 \mu F$$

Utiliza-se 4 capacitores, e adota-se para cada capacitor de um valor de 16μF, totalizando, assim, 64μF, donde obtém-se a freqüência de corte de:

$$f_c = \frac{1}{2\pi \cdot \sqrt{L \cdot C}} = \frac{1}{2\pi \cdot \sqrt{2m \cdot 64\mu}} = 444,85 Hz$$

Dada a corrente máxima encontrada através da equação 69 na seção 4.2.5, pode-se calcular a energia que o núcleo deverá suportar, através da Equação 59.

$$E = \frac{1}{2} \cdot L_{ind} \cdot (i_{Dmax})^2 = \frac{1}{2} \cdot 1m \cdot (66,48)^2 = 2,21J$$

A partir do cálculo da energia, pode-se fazer a escolha do núcleo, considerando um fator de utilização (ku) de 0,4, e uma variação de temperatura de 30°C, o que leva a um kj de 397 segundo a Equação 48, então tem-se um Ap segundo a Equação 60, de:

$$Ap = \left( \frac{2 \cdot E \cdot 10^4}{ku \cdot kj \cdot B} \right)^z = \left( \frac{2 \cdot 2,21 \cdot 10^4}{0,4 \cdot 397 \cdot 0,35} \right)^{1,136} = 1972cm^4$$

Assim, nota-se que não será possível a implementação desse núcleo, devido ao Ap ser muito grande, não estando disponível no laboratório um núcleo com esse Ap. Assim, a partir do núcleo EE65/33/26, conforme [DATASHEET EE65/33/26], encontra-se as seguintes condições: aumenta-se a freqüência de corte para 1681Hz, com os mesmos capacitores e propõem-se uma carga com uma capacitância de 1000µF. Recalcula-se então, o núcleo.

$$V_{ripple} = \frac{V_p}{2 \cdot f \cdot C \cdot R} = \frac{115 \cdot \sqrt{2}}{2 \cdot 60 \cdot 1m \cdot 18,89} = 152,63V$$

$$i_{Dmax} = I_L \cdot \left( 1 + 2\pi \cdot \sqrt{\frac{V_p}{2 \cdot V_R}} \right) = \frac{700}{115} \cdot \left( 1 + 2\pi \cdot \sqrt{\frac{115 \cdot \sqrt{2}}{2 \cdot 71,74}} \right) = 46,8A$$

$$L \cdot C = \left( \frac{1}{2\pi \cdot f_c} \right)^2 = \left( \frac{1}{2\pi \cdot 1681} \right)^2 = 8,96 \cdot 10^{-9}$$

$$2 \cdot L_{ind} = \frac{8,96 \cdot 10^{-9}}{C} = \frac{8,96 \cdot 10^{-9}}{64\mu} = 140\mu H$$

$$E = \frac{1}{2} \cdot L_{ind} \cdot (i_{Dmax})^2 = \frac{1}{2} \cdot 70\mu \cdot (46,8)^2 = 76,71mJ$$

$$kj = 63,35 \cdot 40^{0,54} = 464,36$$

$$Ap = \left( \frac{2 \cdot E \cdot 10^4}{ku \cdot kj \cdot B} \right)^z = \left( \frac{2 \cdot 76,71m \cdot 10^4}{0,4 \cdot 464,36 \cdot 0,35} \right)^{1,136} = 36,28cm^4$$

Para o núcleo EE 65/33/26, tem-se um Ap de 36,28 cm<sup>4</sup>, Ae=5,25 cm<sup>2</sup> e le=14,7 cm. Calcula-se, agora, o fator de indutância.

$$A_l = \frac{A_e^2 \cdot B_{max}^2}{2 \cdot E} = \frac{(5,25 \cdot 10^{-4})^2 \cdot 0,35^2}{2 \cdot 76,71m} = 220,07nH/esp^2$$

E, portanto, o indutor deverá ter um entreferro, cuja largura é calculada a seguir:

$$\mu_e = \frac{A_l \cdot l_e}{\mu_0 \cdot A_e} = \frac{220,07n \cdot 14,7 \cdot 10^{-2}}{4\pi \cdot 10^{-7} \cdot 5,25 \cdot 10^{-4}} = 49,03$$

$$lg = \frac{l_e}{\mu_e} = \frac{14,7cm}{49,03} = 3mm$$

Assim, a largura deixada entre as duas partes do núcleo deve ser a metade deste valor, uma vez que o fluxo passará duas vezes pelo entreferro, sendo que o entreferro deixado deve ser de 1,5mm. A seguir, tem-se o cálculo do número de espiras:

$$N = \sqrt{\frac{L_{ind}}{A_l}} = \sqrt{\frac{70\mu}{220,07n}} = 17,83esp.$$

A densidade de corrente pode ser obtida através da Equação 52:

$$J = kj \cdot Ap^{-0,12} = 464,36 \cdot 36,28^{-0,12} = 301,78A/cm^2$$

A corrente RMS no indutor, conforme a Equação 67 é de 6,086. Assim, tem-se uma área de cobre, conforme a Equação 56, de:

$$A_{Cu} = \frac{I_{RMS}}{J} = \frac{6,086}{301,78} = 0,02017cm^2$$

O que leva a 10 fios 24 AWG.

### 4.3 - Conclusão (Circuito Inversor)

Assim, tem-se que as chaves do inversor, T1 a T4, serão compostas por 2 MOSFET's IRPF460 em paralelo, todas elas contando com um *snubber*, que serão chaveadas através de *drives* que garantirão a condução com uma tensão de 12V, e o corte com uma tensão de -10V, descarregando o capacitor de *gate* por meio de um transistor.

Um triac protegerá a tensão de saída contra picos de tensão maiores que 204V, e o projeto para o filtro de saída levou a 4 capacitores de 16μF, e dois indutores de 70μH, com 10 fios 24AWG, núcleo EE65/33/26, com 18 espiras e entreferro de 1,5mm (total de 3mm), que deverá suportar uma corrente de 46,8A, com uma frequência de corte de 1680Hz.

Porém, o filtro que encontra-se implementado tem uma frequência de corte de 440Hz, também 4 capacitores de  $16\mu\text{F}$ , e dois indutores de  $500\mu\text{H}$ , de núcleo EE65/33/26, o núcleo suportou apenas correntes máximas de 13A, conseqüentemente, suportando corrente RMS de 6A. O que não apresentará problemas para cargas resistivas, mas o núcleo saturará para cargas como um retificador.

## 5 - Resultados Experimentais

Nesta seção apresenta-se os resultados obtidos para o protótipo final implementado conforme descrito nos quatro primeiros capítulos. Faz-se isso em forma de resultados parciais, de cada um dos blocos individualmente.

Na seção 5.1 serão apresentados resultados obtidos para o filtro de entrada. Na seção 5.2, os resultados experimentais para o conversor *Flyback*, enquanto que, na seção seguinte, serão apresentados os resultados obtidos em laboratório para o conversor DC/DC. Finalmente, na seção 5.4 serão apresentados os resultados obtidos para o inversor, e, entre estes, a forma de onda na carga.

O teste mais importante, foi o funcionamento do circuito como um todo, os quatro blocos integrados de maneira a se obter uma onda senoidal na saída.

### 5.1 - Resultados para o Retificador

O retificador implementado foi testado em laboratório. Nesta seção, apresenta-se apenas as formas de onda e resultados parciais para o circuito retificador, funcionando tanto como retificador de onda completa, quanto dobrador.

Na Figura 38, tem-se duas formas de onda, no canal 1, tem-se a forma de onda na entrada para a bobina do relé, e no canal 2 tem-se a forma de onda no barramento de 12V, Assim, por comparação pode-se notar o tempo que levará para se acionar o relé.

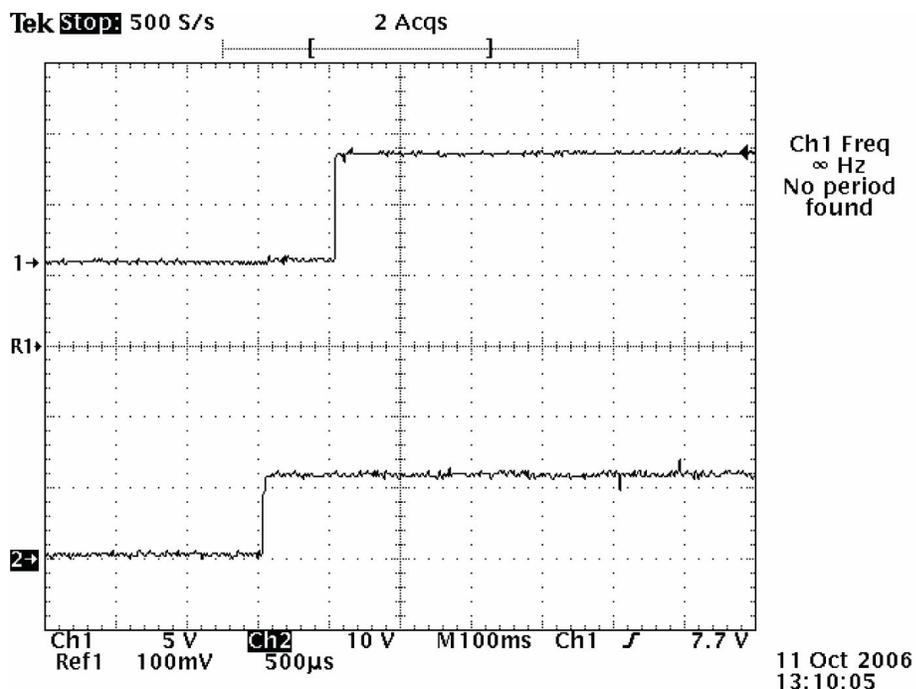


Figura 38 – Acionamento do relé.

Na Figura 38, quando o circuito foi ligado, surgiu então tensão no barramento, e, apenas decorrido algum tempo, o relé foi acionado, com uma tensão de 7,5V na entrada do *drive*, que se encarregou de acionar o relé corretamente, conforme observado em laboratório.

Finalmente, na Figura 39, tem-se a forma de onda da saída do retificador com uma tensão de entrada de 127V RMS, e uma carga de 100Ω, extraindo uma potência em torno de 160W do *no-break*. Na Figura 40, tem-se a forma de onda na saída do retificador, para uma tensão de entrada de 220V RMS, com as mesmas condições de carga.

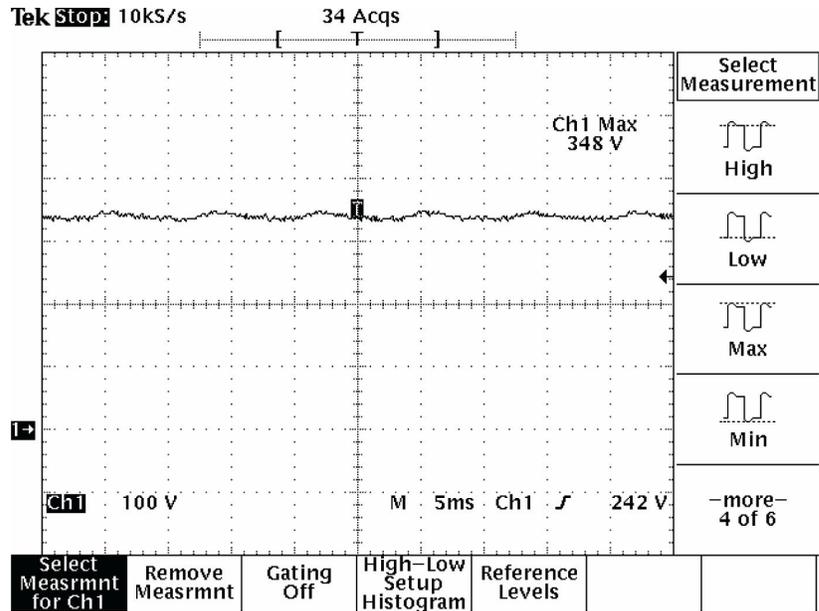


Figura 39 – Saída do retificador para uma entrada de 127V.

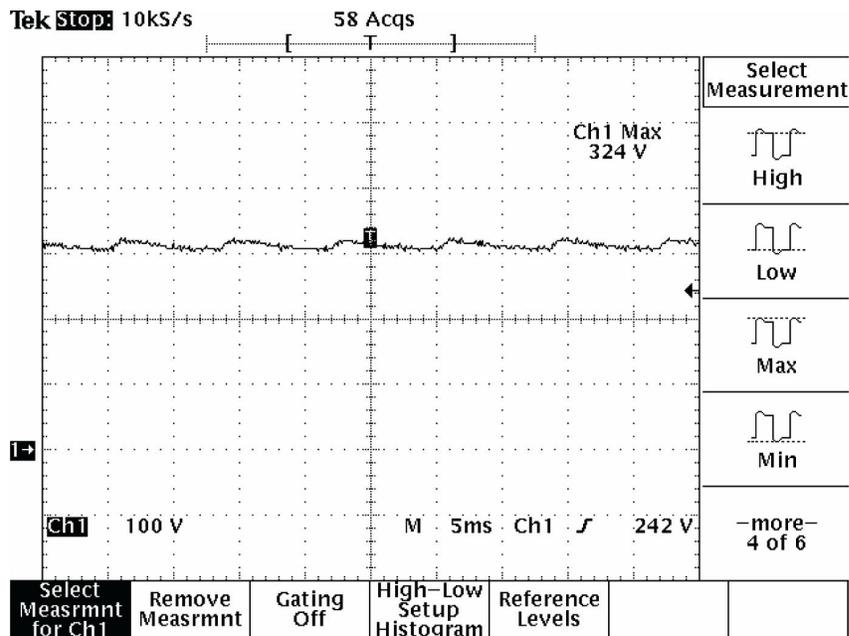


Figura 40 – Saída do retificador para uma entrada de 220V.

## 5.2 - Resultados para o Carregador das Baterias

Para o conversor *flyback*, calibrou-se a tensão de saída medindo-a através de um multímetro, obtendo uma tensão de cerca de 29V, antes do diodo de saída, para

o qual estima-se 1V de queda de tensão, mede-se ainda a corrente em que o limitador começa a atuar, que ficou em 0,92A, com cerca de 1,2A de corrente de curto circuito.

A seguir, tem-se a forma de onda da saída do *flyback*, com a rede inserida, ou seja, durante a carga das baterias.

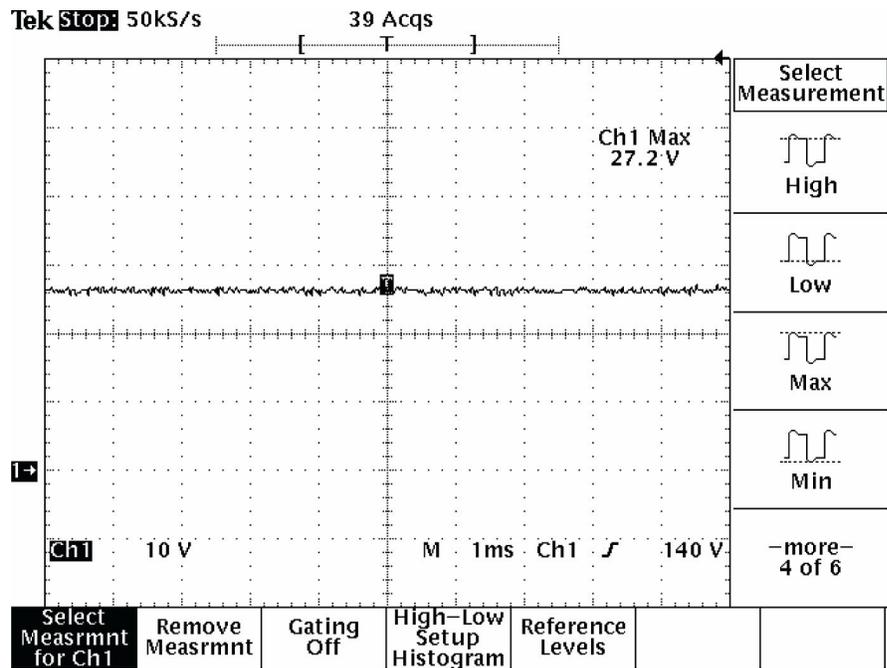


Figura 41 – Saída do conversor *flyback* durante o carregamento das baterias.

### 5.3 - Resultados para o Conversor DC/DC

Apresenta-se a seguir, primeiramente o pulso de um dos transformadores do conversor DC/DC vindo do circuito de controle, na Figura 42.

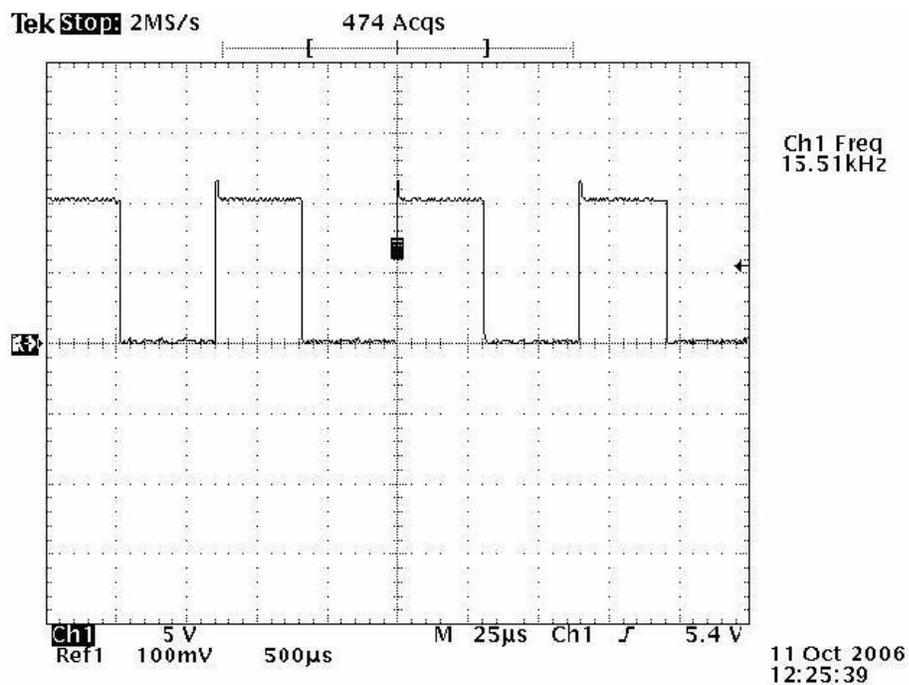


Figura 42 – Sinal na entrada do conversor DC/DC, proveniente do controle.

A seguir, na Figura 43, tem-se a tensão no dreno dos MOSFET's, bem como a tensão no secundário do transformador, na Figura 40.

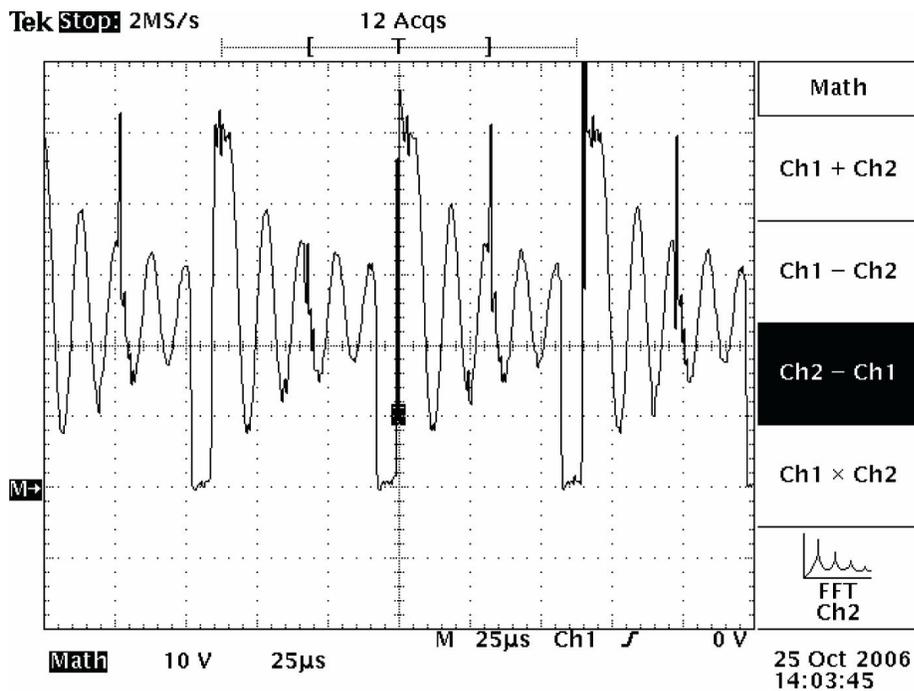


Figura 43 – Forma de onda no primário do transformador do conversor DC/DC.

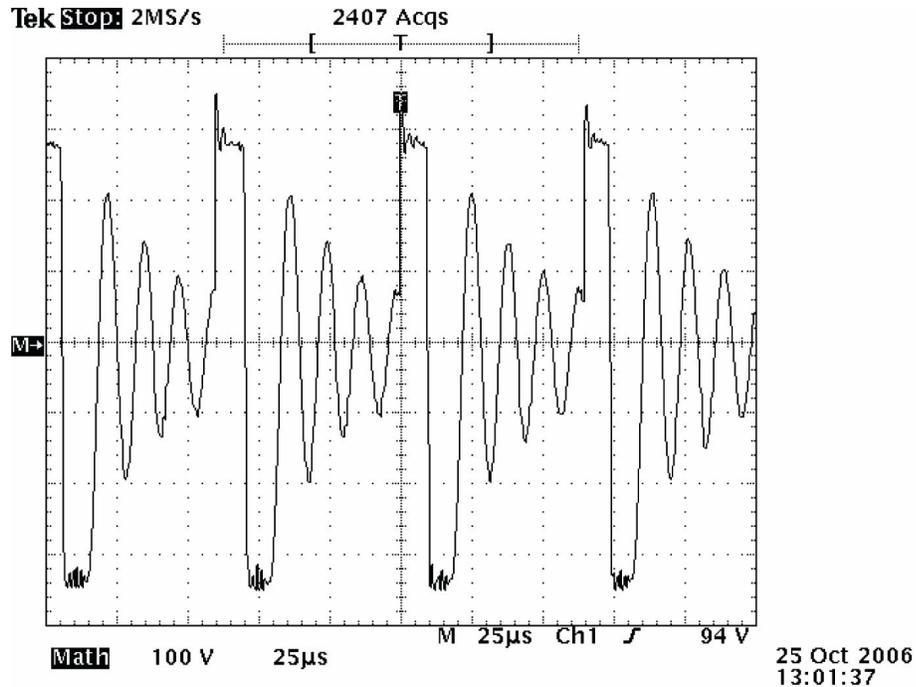


Figura 44 – Forma de onda no secundário do transformador do conversor DC/DC.

Na Figura 43, pode-se notar que, quando ocorrem os pulsos, a tensão nos drenos dos MOSFET's chega a praticamente 0V. O outro terminal do enrolamento primário é ligado ao barramento de 24V, surgindo assim uma tensão de 24V na bobina, a oscilação que ocorre a seguir é devido à troca de energia entre as capacitâncias das chaves e as indutâncias magnetizantes do trafo.

No secundário, durante os pulsos, surge uma tensão dada pela tensão no primário dividida pela relação de espiras entre o primário e o secundário, surgindo também uma oscilação no tempo morto (em que não há pulsos), conforme Figura 44.

E, finalmente, tem-se a tensão na saída do conversor DC/DC, após o filtro de saída, o barramento de 260V, que alimentará o inversor quando a rede estiver fora. A carga utilizada na saída do *no-break*, durante a aquisição desta forma de onda foi de 100Ω, o que leva à potência de saída de 161W. Essa forma de onda é apresentada na Figura 45.

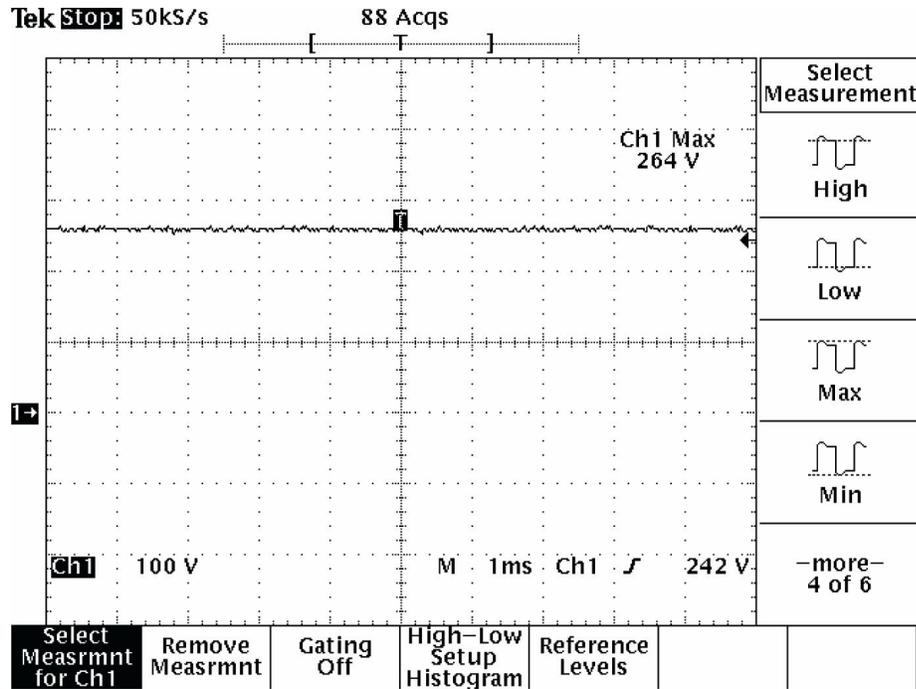


Figura 45 – Forma de onda de saída do conversor DC/DC.

## 5.4 - Resultados para o Inversor

Para o inversor, recebe-se os pulsos do controle através das entradas PINV-1 e PINV-2, na Figura 46, pode-se observar como ficam os pulsos PWM em uma baixa frequência, com 2,5ms por divisão, assim uma senóide de 60Hz ocorrerá a cada 6,66 divisões.

Para uma melhor visualização desses pulsos tem-se, na Figura 47 e na Figura 48, os mesmos sinais na frequência dos pulsos, nota-se que existe apenas um pequeno tempo morto entre eles, de modo que não conduzirão os dois braços ao mesmo tempo, o que causaria um curto entre o barramento DC e a referência, o que poderia trazer sérias conseqüências ao circuito.

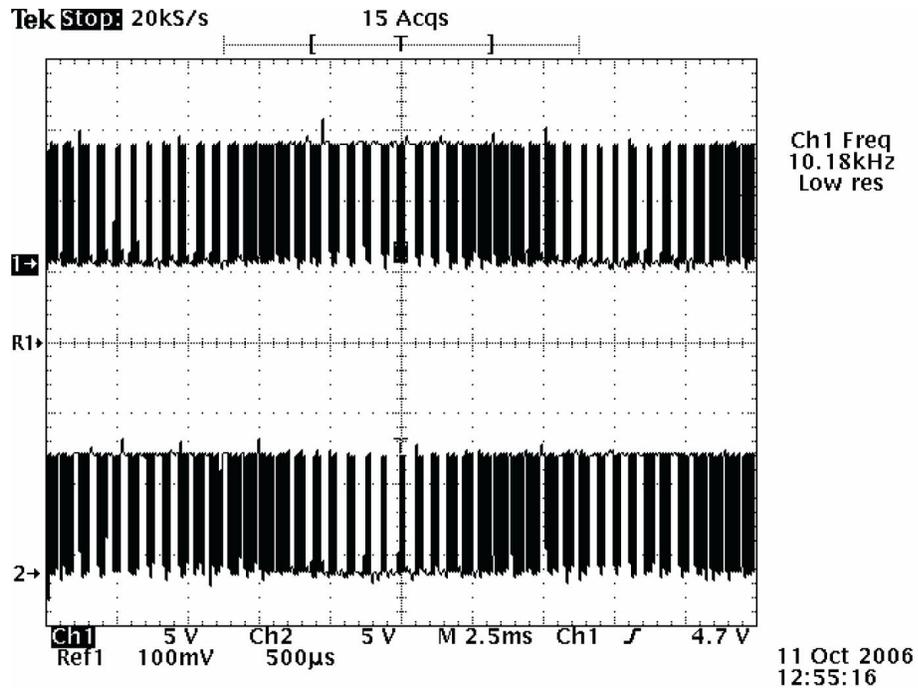


Figura 46 – Sinais da onda PWM em PINV-1 e PINV-2 I.

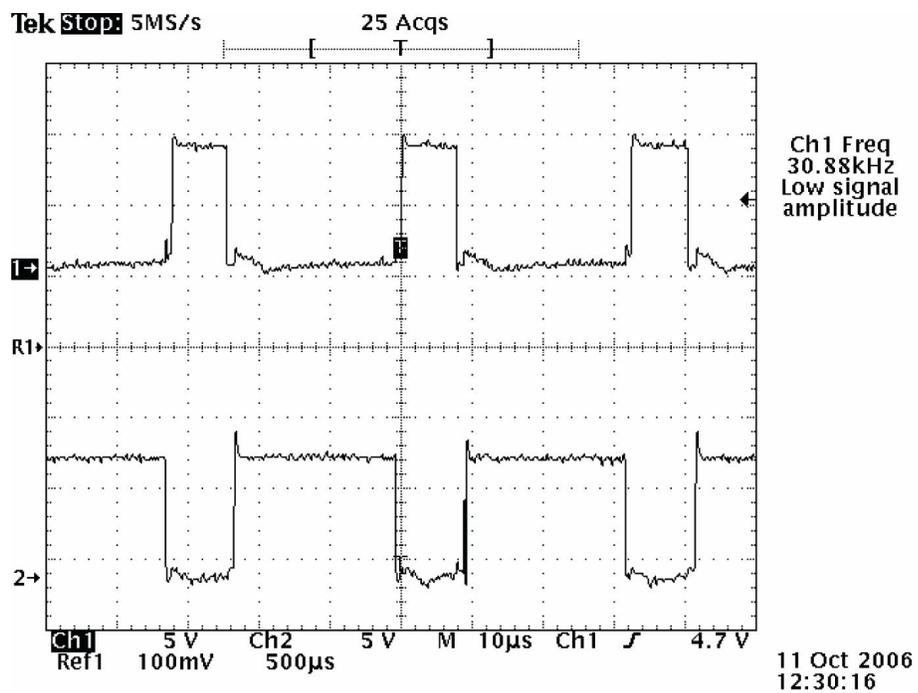


Figura 47 – Sinais da onda PWM em PINV-1 e PINV-2 II.

Na Figura 44, tem-se os sinais dos pulsos nos *gates* dos MOSFET's antes dos resistores de  $22\Omega$ , ou seja, após os *drives* dos mesmos. Onde pode-se notar a

tensão em torno de 10V quando há pulsos, e a tensão negativa na ausência dos pulsos, garantindo o corte das chaves.

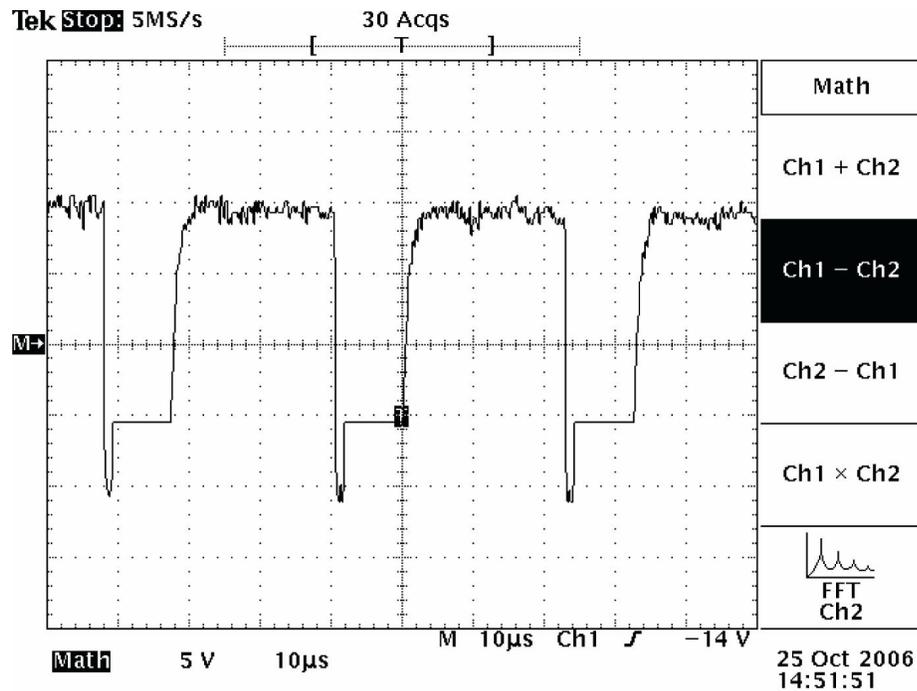


Figura 48 – Forma de onda nos *gates* dos MOSFET's.

Finalmente, tem-se a onda PWM antes do filtro de saída, depois das chaves, e, na Figura 49, o sinal na saída, depois do filtro, que é o principal resultado do circuito geral do *no-break*. A tensão na saída medida através do multímetro foi de 129V<sub>RMS</sub>, as figuras a seguir são para uma carga de 1k $\Omega$ , tendo sido verificada a eficiência do circuito com sucesso.

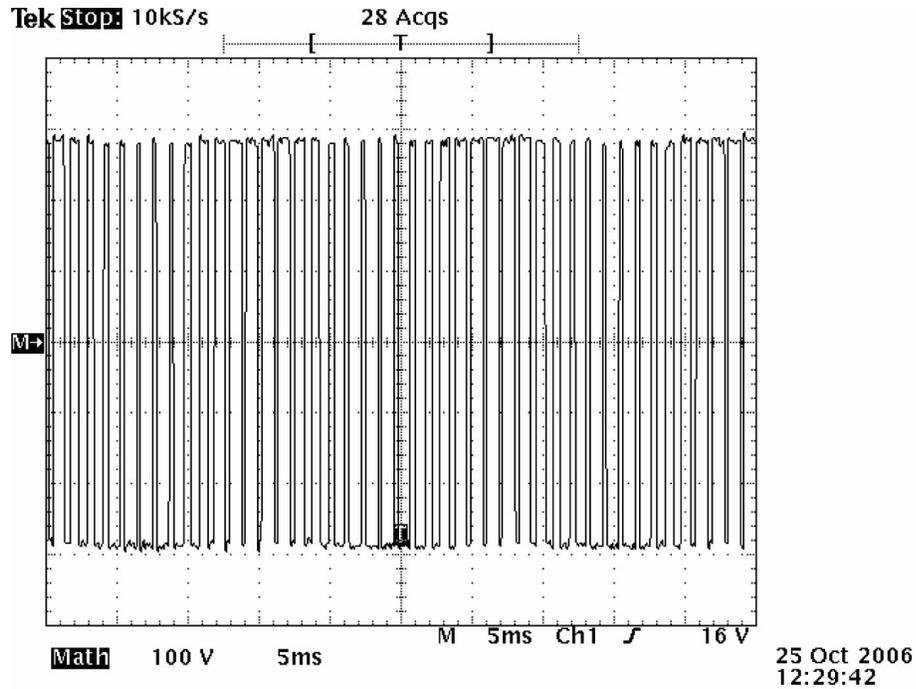


Figura 49 – Onda PWM antes do filtro de saída I.

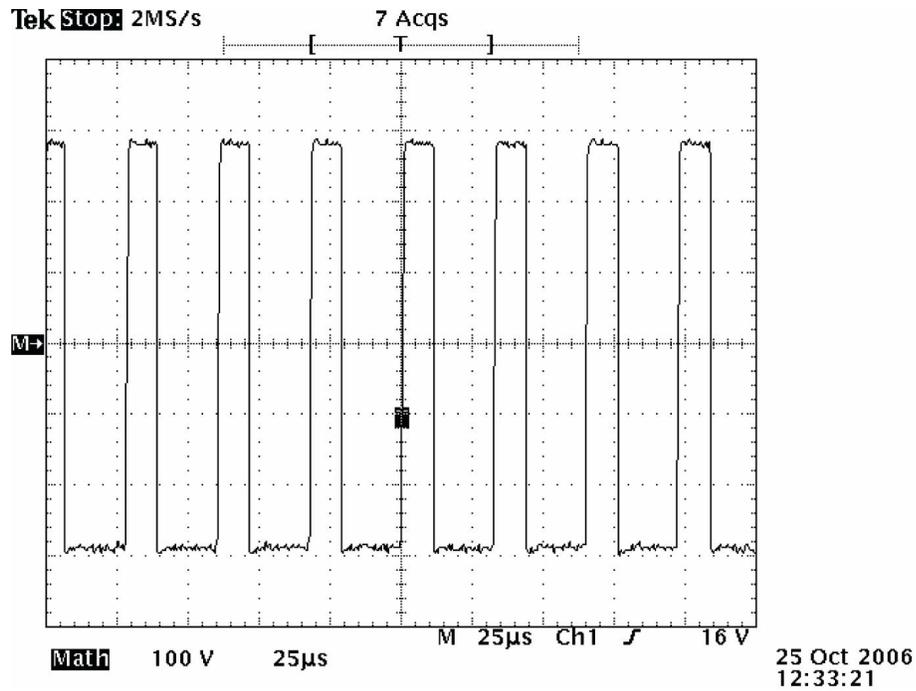


Figura 50 – Onda PWM antes do filtro de saída II.

Na Figura 49, pode-se ver a onda PWM formando uma senóide a cada 3,33 divisões, porém, a largura de pulsos apresentada não é real, ocorrendo devido à

baixa taxa de amostragem em relação à alta frequência dos pulsos, devido ao osciloscópio utilizado ser digital, sendo a Figura 49, no entanto, apropriada para a visualização da formação da onda senoidal através dos pulsos PWM.

Na Figura 50, no entanto, pode-se observar a onda PWM numa frequência de amostragem apropriada, assim, pode-se notar que ora há uma tensão positiva, ora negativa, como já explicado.

Na Figura 51, tem-se, finalmente a forma de onda na saída do filtro, ou seja, a forma de onda na carga.

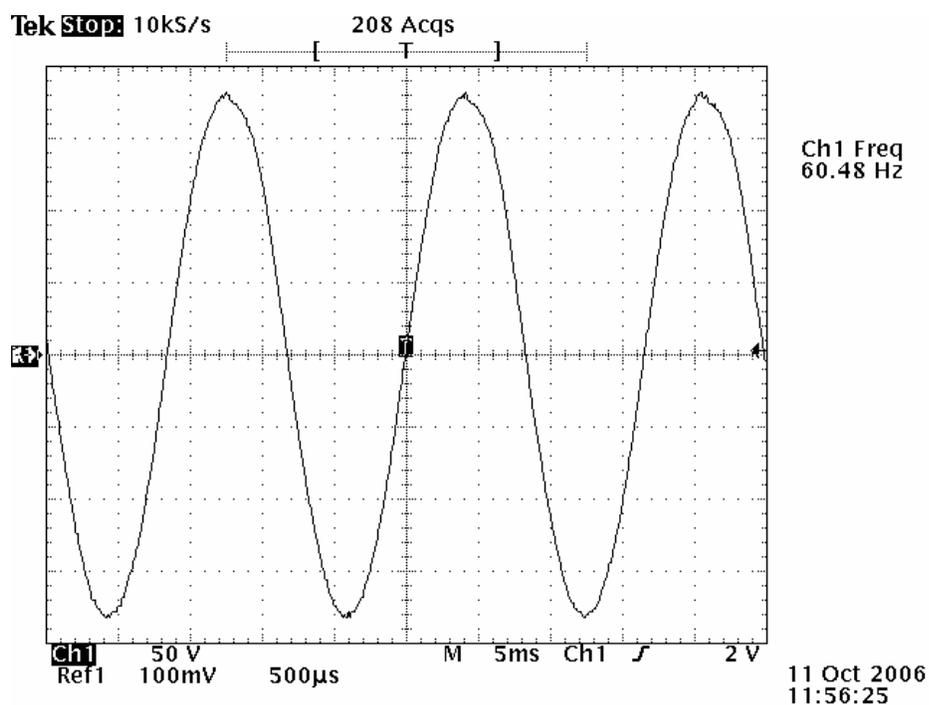


Figura 51 – Sinal de 60Hz na saída do circuito.

## 6 - Considerações Finais (Etapa de Potência)

Esse projeto é de grande importância tanto na área de eletrônica de potência quanto na área de qualidade de energia, pois pode-se implementar um *no-break on-line*, o que significa que este circuito nunca deixará que falte energia em sua saída fornecendo a energia da bateria quando não houver tensão na rede. Além de fornecer uma saída estabilizada, sem os picos de tensão, subtensões e sobretensões a que equipamentos ligados diretamente à rede são submetidos.

Além disso, contribuindo para a qualidade da energia na rede, este circuito possui filtro de linha, amenizando os ruídos que este circuito irá inserir na rede. Há também uma sincronização entre o conversor DC/DC e o inversor, diminuindo, assim, os ruídos RFI, também contribuindo para a qualidade da energia na rede.

Em eletrônica de potência, este circuito possui vários conversores, um conversor *flyback* que carregará as baterias, dois conversores *forward* ligados em seu secundário como um *push-pull* bem como um retificador e um inversor, todos interligados para formar o *no-break*, utilizando-se assim de conversões AC/DC, DC/DC e DC/AC.

Assim, apesar das alterações no projeto que tiveram de ser feitas, como o uso dos capacitores de  $470\mu\text{F}$ , em vez de  $1200\mu\text{F}$ , por indisponibilidade dos mesmos em laboratório, o que acarreta em um aumento do *ripple* na saída do retificador, os resultados foram satisfatórios.

E o uso de um indutor que melhora o filtro de saída com relação à frequência de corte mas que permite uma corrente máxima de 13A, permitindo ainda cargas resistivas, mas constituindo em um problema para cargas não lineares, como seria o caso de um retificador. Talvez, porém isso não seja um problema sério, pois ao saturar o núcleo, os indutores diminuirão sua indutância, porém ainda serão capazes

de filtrar a onda PWM, já que o filtro foi projetado para uma frequência de corte muito abaixo da frequência dos pulsos.

O circuito, porém, funcionou corretamente para uma carga resistiva como foi medido e mostrado no capítulo 5. Sendo assim, pode-se concluir que o trabalho realizado para a implementação do *no-break* aqui descrito foi realizado com sucesso. Tendo, cada um dos blocos aqui descritos interagido corretamente, juntamente com o circuito de controle.

Finalmente, tem-se ainda que regular a tensão na saída, para que esta fique em 115V, pois no momento a saída está com uma tensão em torno de 127V. No anexo 1, tem-se o circuito geral dos estágios de potência do *no-break*.

## 7 - Circuito de Controle Analógico

### 7.1 - Introdução

Basicamente uma fonte ininterrupta de energia é composta por um retificador, um banco de baterias, um inversor de tensão, e circuitos eletrônicos responsáveis pelo controle do sistema. A tensão alternada gerada pelo *no-break* deve ter frequência, forma e amplitude invariantes, independentemente das eventuais alterações na alimentação provenientes da bateria ou na carga.

Por se tratar de uma fonte alternativa de tensão, a amplitude e a frequência são os mesmos encontrados na rede elétrica, ou seja, uma tensão de 127V alternada com uma frequência de 60Hz. Já quanto a sua forma, a onda de saída do inversor pode ser quadrada, pseudo-senoidal ou senoidal.

Aqui será descrito o sistema de controle analógico deste trabalho. Apresenta-se a seguir o diagrama de blocos do *no-break* e seu controle.

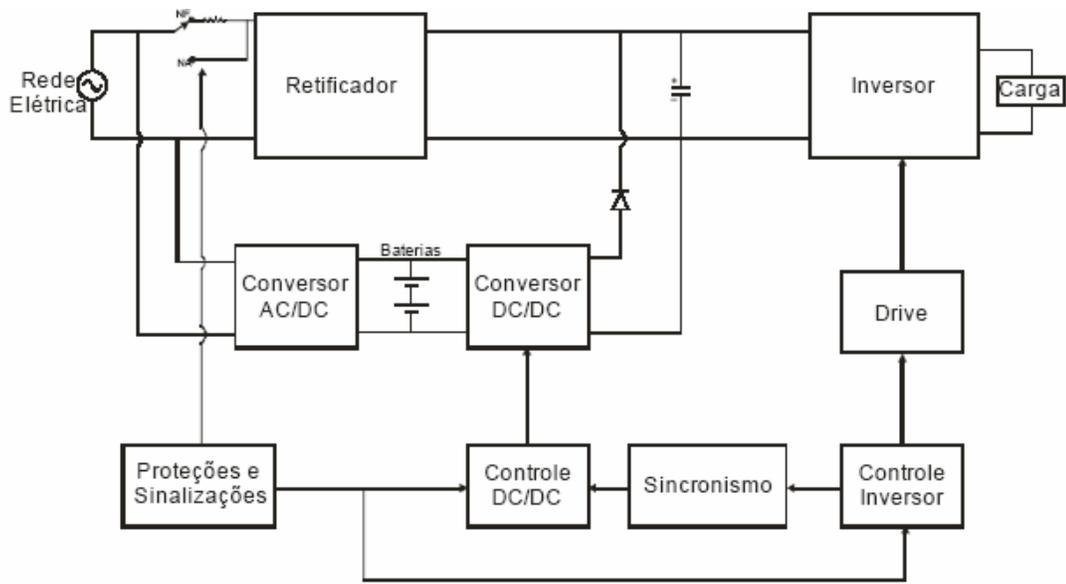


Figura 52 – Diagrama de blocos do *No-break* e seu controle analógico.

O texto do controle analógico é dividido em quatro capítulos. No capítulo 8 será descrito o controle do conversor DC/DC, a topologia utilizada para a conversão e como ela está configurada no circuito de potência, o método de controle com seu circuito implementado através do circuito integrado 3525, descrevendo suas características e funções. E também os ajustes realizados no controle para que a conversão DC/DC esteja acoplada ao restante do circuito do *no-break* de forma correta.

No capítulo 9, será detalhado o controle do inversor de tensão. Parte de fundamental importância dentro do circuito do *no-break*, a qualidade de seu funcionamento determina a qualidade do equipamento em questão. Será mostrado o método de controle escolhido, o tipo de modulação das chaves deste conversor e como se deu o desenvolvimento das partes que integram este controle e suas interligações. Depois de montado o circuito foram realizados os ajustes para se ter a onda de saída senoidal desejada.

As sinalizações comandadas pelo circuito de controle, são assuntos para o capítulo 10. Estas visam uma interface que demonstre qual é a fonte de energia atual do sistema, a carga das baterias e se alguma proteção está atuando no momento. Proteções estas que também são assunto deste capítulo. As proteções

buscam garantir que não se danifique o sistema em si e a carga que está ligada a ele.

Ao capítulo 11 está reservado todos os resultados experimentais obtidos nesta etapa do trabalho.

Por fim, no capítulo 12 tem-se as considerações finais da etapa de controle analógico traçando um apanhado geral de tudo o que é abordado nesta etapa do trabalho.

## 8 - Controle do Conversor DC/DC

### 8.1 - Introdução

A conversão DC/DC é empregada no processo afim de que a partir da tensão das baterias possa se obter uma tensão de barramento próxima à tensão retificada da rede elétrica, quando esta se encontra presente. É esta tensão que alimenta o inversor para gerar na saída a tensão senoidal desejada. Desta forma quando a rede elétrica está presente, a tensão de barramento se origina da sua retificação, e na ausência de rede elétrica, esta tensão é originada das baterias sendo elevada através de dois conversores *forward* defasados de 180°.

A Figura 53 mostra o diagrama de blocos da conversão DC/DC. Nele observa-se que a tensão de saída é atenuada pelo bloco  $\alpha$  e é comparada com uma tensão de referência ( $V_{ref}$ ) que por sua vez, gera uma tensão de erro ( $V_{erro}$ ) que vai para o circuito de controle onde se obtém os pulsos de razão cíclica  $D$ , para atuar no bloco de conversão de potência.

Nota-se então, que uma fonte chaveada é formada por um laço com realimentação negativa que visa manter constante tensão de saída  $V_s$ .

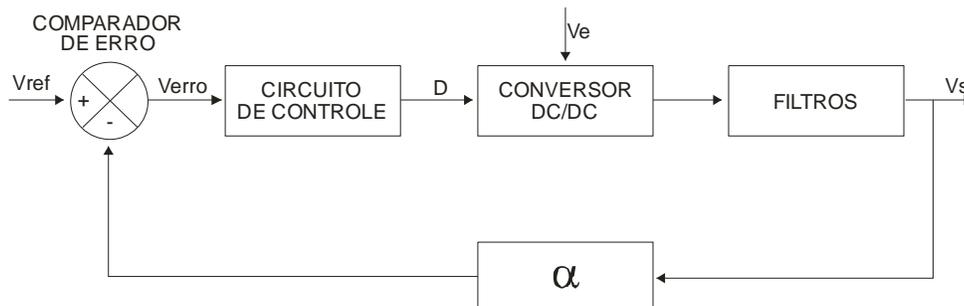


Figura 53 – Diagrama de blocos do controle de um conversor DC/DC.

Para controlar os conversores DC/DC foi utilizado o método de controle por largura de pulso. Para este nível de controle se tem no mercado circuitos integrados responsáveis por esta modulação. Neste trabalho foi utilizado o circuito integrado 3525 para fazer o controle da largura dos pulsos que serão entregues as chaves dos conversores, e assim é controlada a tensão de saída da conversão DC/DC. Através deste CI também pode-se fazer a realimentação de tensão, que possibilita fazer um controle fino do resultado da conversão, o início dos pulsos de forma suave e o sincronismo dos pulsos que rege esta conversão com a conversão DC/AC.

## **8.2 - Conversor *Forward***

O conversor *forward* mostrado na Figura 54 é muito utilizado nos projetos de fontes chaveadas, devido a característica de transferência direta de energia, ou seja, ocorre transferência quando os transistores estão conduzindo, contribuindo para uma boa resposta dinâmica, além de ser bastante robusto e com um número reduzido de componentes se comparado com outras estruturas. O conversor *forward* trabalha com isolação entre a tensão de entrada e saída, através de um transformador isolador. Quando as chaves se abrem a tensão de entrada é colocada no primário do transformador, e assim aparece no secundário uma tensão definida pela relação de espiras entre o primário e o secundário.

O conversor *forward* possui um ganho estático da tensão de saída em relação a tensão de entrada, este ganho é dependente da relação de espiras do transformador e da largura do pulso na chave. Sendo assim, com a relação de espiras fixas, pode-se controlar o conversor pela largura dos pulsos que são transmitidos as chaves.

Foram utilizados dois conversores *forward* acoplados e defasados de 180°, assim controla-se para que quando tenha pulso em um conversor não se tenha no outro, e os dois trabalhem de forma alternada.

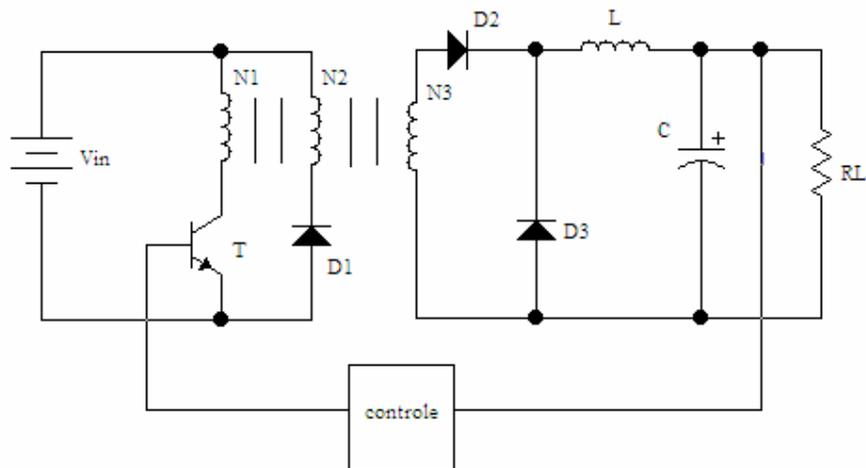


Figura 54 – Conversor DC/DC (Topologia *Forward*).

### 8.3 - CI 3525

Um dos mais populares circuitos no mercado que operam com modulação por largura de pulsos é o UC3525, cuja estrutura básica é apresentada na Figura 55.

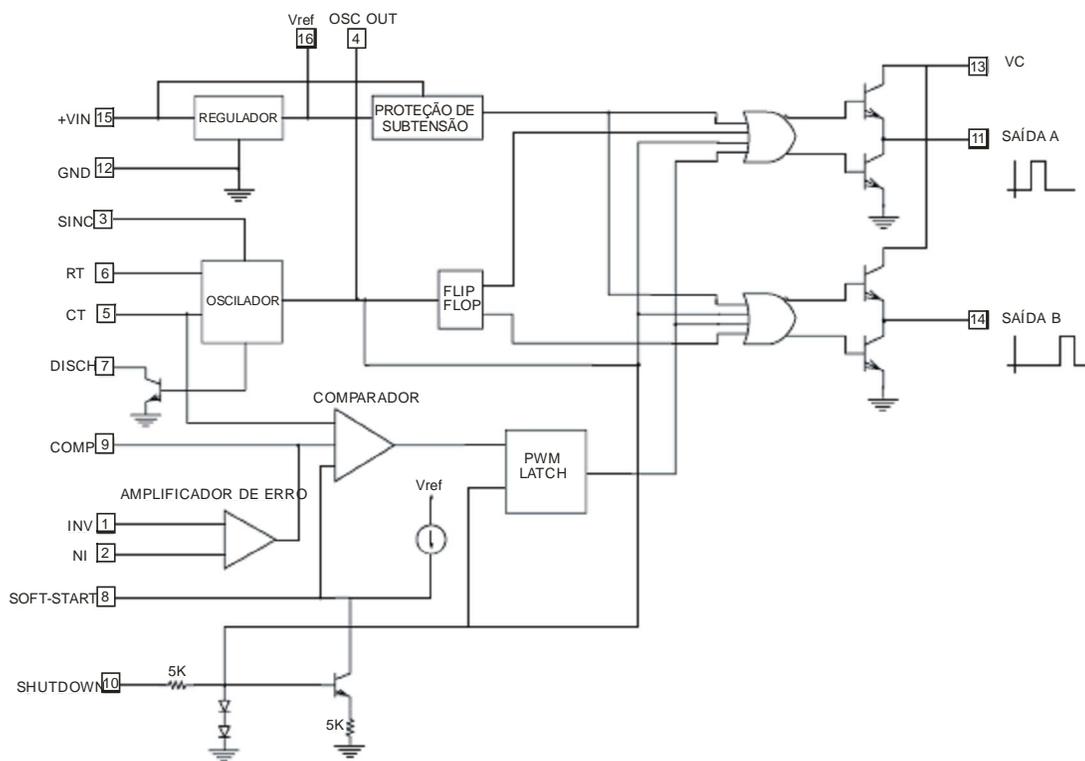


Figura 55 – Diagrama de blocos do circuito integrado 3525.

Este circuito integrado deve ser alimentado através do pino 15 com uma tensão contínua entre 8 e 35V. Um circuito de proteção denominado *undervoltage lockout* é responsável por inibir os pulsos de comando até que a tensão de entrada ( $V_{in}$ , pino 15) seja superior a 8V. Internamente existe um regulador de tensão responsável por estabelecer uma tensão da ordem de 5,1V (pino 16) usada como tensão de referência e para alimentar os circuitos internos.

Um gerador de onda dente de serra tem sua frequência determinada por um par RC conectado aos pinos 5 e 6. Para o 3525, o fabricante recomenda a operação em frequências entre 100Hz e 500kHz. A rampa gerada tem uma excursão de aproximadamente 2,5V e pode ser observada no pino 4 do integrado. O pino 3 encontra-se ligado ao oscilador, é o pino de sincronismo, que é responsável por sincronizar em frequência esta onda com algum sinal externo.

Por meio do pino 7 pode-se ajustar o tempo de descarga do capacitor, ajustando-se assim, o tempo morto entre os pulsos na saída.

O sinal do oscilador aciona um *flip-flop*, selecionando para qual das duas saídas será ligada. Este sinal passa por um *latch*, de modo a garantir um único pulso por ciclo, podendo ainda ser inibido pela entrada de *shutdown* (pino 10), o qual atua em um tempo da ordem de 200ns. A saída dupla permite o comando de uma topologia semelhante à *push-pull*. Os transistores podem fornecer no máximo 200mA, suportando 60V. Caso haja a necessidade de maiores níveis de corrente nas saídas deve ser providenciado um *driver* externo.

O comparador possui 3 entradas. Uma delas proveniente do gerador de rampa, outra fornecida pela saída do amplificador de erro e a última pelo pino 8, responsável pela partida progressiva (*soft-start*).

O amplificador de erro é do tipo transcondutância, ou seja, apresenta uma elevada impedância de saída, comportando-se como uma fonte de corrente. O compensador pode ser construído a partir do próprio amplificador operacional interno ao CI. Caso não haja a necessidade de malha fechada, curto-circuita-se os pinos 1 e 9 para obter a configuração de seguidor de sinal. O amplificador limitador de corrente pode ser usado no modo linear ou com limitação pulso a pulso. Sua tensão de limiar é de 200mV.

## 8.4 - Sincronismo

O sincronismo é realizado entre os pulsos de controle dos conversores DC/DC e DC/AC, para que com suas frequências sincronizadas se evite problemas como interferência e o aparecimento de harmônicas indesejadas.

Visto que o CI 3525 disponibiliza uma entrada (pino 3) para o sincronismo de seu sinal de saída, foi implementado um circuito que, a partir da onda triangular que será usada na geração dos pulsos para o inversor, gere pequenos pulsos na mesma frequência desta onda triangular. Pulsos estes que são ligados ao pino de sincronismo do CI 3525, sincronizando os controles dos conversores.

A Figura 56 mostra o circuito que gera os pulsos de sincronismo:

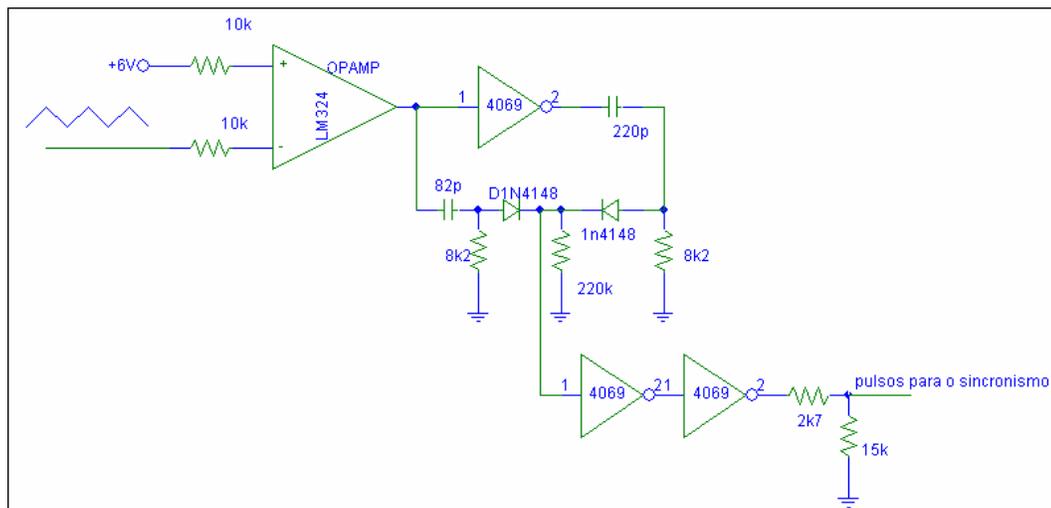


Figura 56 – Circuito de sincronismo.

## 8.5 - Malha Fechada

O conversor DC/DC trabalha em malha fechada fazendo uma regulagem de tensão de forma dinâmica a partir da realimentação obtida da tensão do barramento.

Através de um divisor resistivo é feita a amostragem da tensão do barramento, denominada FB. No CI 3525 este sinal passa por um amplificador de erro, onde é comparado com uma tensão de referência gerada no próprio CI, este sinal de erro vai para um comparador de acordo com a arquitetura interna do CI. O sinal de amostragem de tensão também passa por uma ação proporcional integral e enviado ao pino de compensação do CI 3525 para desta forma tornar o circuito malha

fechada, e obter uma boa regulagem de tensão no conversor. Na Figura 57 está representado o circuito de controle do conversor DC/DC, onde está demonstrado a questão da malha fechado deste circuito como descrito acima.

## **8.6 - Ajuste da Tensão em 260V**

Com a malha fechada implementada, pode-se fazer um ajuste da tensão do barramento através de um potenciômetro associado ao divisor resistivo que amostra o sinal deste barramento. Assim variando este potenciômetro tem-se uma variação do sinal de realimentação e por conseqüência a variação da tensão na saída no conversor DC/DC.

Quando se tem a rede elétrica, a tensão de barramento é originada da retificação desta tensão, e tem o valor em torno de 280V. Quando a rede não se encontra presente, o conversor DC/DC fornece tensão ao barramento. O conversor é acoplado ao barramento via diodo, desta forma a tensão de barramento, quando originada da rede, não tem um caminho disponível para o conversor por causa do sentido de condução do diodo.

Devido a esta forma de acoplamento via diodo, deve-se garantir que a tensão gerada do conversor só seja transmitida ao barramento quando não tiver rede elétrica presente. Visto isso, foi ajustada a tensão na saída do conversor em 260V. Assim, quando se tem rede presente o diodo fica polarizado reversamente. Desta forma, o diodo não conduz a tensão do conversor para o barramento.

O acoplamento do conversor ao barramento via diodo pode ser visto na Figura do circuito de potência no anexo 1.

## **8.7 - Circuito em Malha Fechada**

A Figura 57 mostra o circuito de controle do conversor DC/DC, onde a partir do circuito integrado 3525 com sua arquitetura de construção, foi montada toda a lógica de controle. Na Figura 57 pode-se ver quais componentes foram utilizados para a ligação nos determinados pinos do CI. Como descrito anteriormente, tem-se no circuito a realimentação de tensão, a malha de filtragem da frequência de operação, o sincronismo oferecido pelo CI e utilizado neste trabalho, o início dos pulsos é feito

de maneira suave pela implementação do *soft-start*. No circuito tem-se no pino 10 do CI o sinal de comando para desabilitar os pulsos de saída.

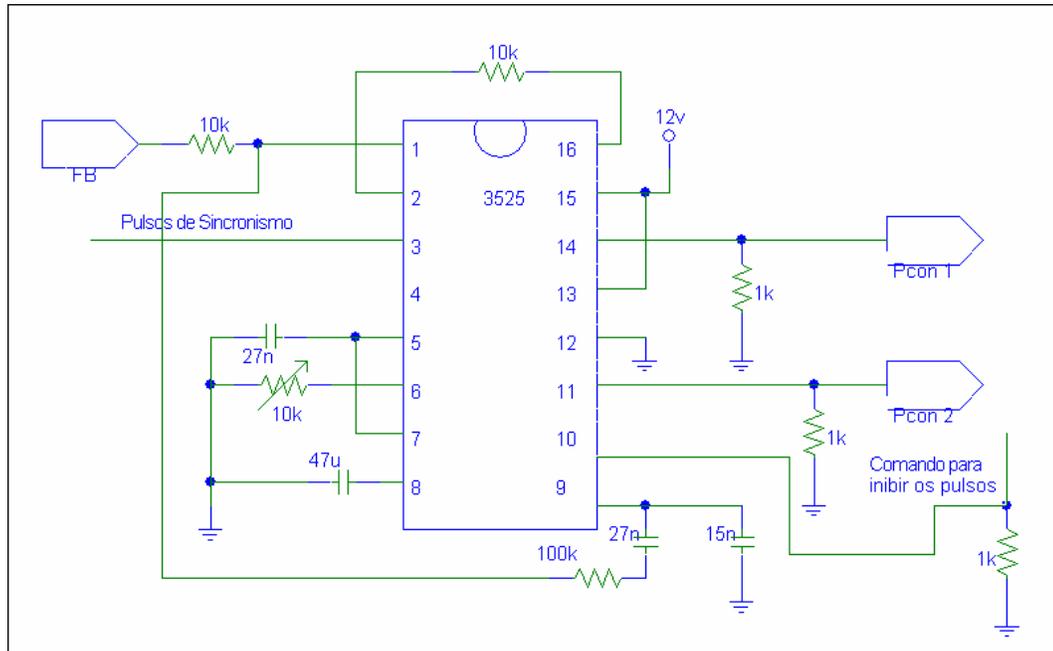


Figura 57 – Circuito de controle do conversor DC/DC.

## 8.8 - Conclusão (Circuito de Controle Analógico do DC/DC)

Neste capítulo foi apresentado toda a metodologia e o circuito de controle do conversor DC/DC. A utilização dos dois conversores *forward* defasados de 180° atendeu todas as necessidades do sistema quanto ao fornecimento de energia e estabilidade na conversão.

A escolha do circuito integrado 3525 para fazer a modulação por largura de pulso, foi adequada para este controle. Pois, pode ser realizada uma conversão em malha fechada de acordo com que se esperava pela teoria de conversão DC/DC. E assim o ajuste da tensão de saída deste conversor foi alcançado de forma precisa, fazendo com que esta tensão pudesse ser usada no contexto do sistema. Foi obtido também o sincronismo desejado com as demais conversões moduladas do *no-break*.

O circuito implementado funcionou dentro das expectativas e seu uso foi possível dentro do sistema de controle do *no-break*.

## 9 - Inversor

### 9.1 - Introdução

Os inversores, ou conversores DC/AC, são responsáveis pela conversão de níveis contínuos de tensão ou corrente em níveis alternados em sua saída, apresentando simetria em amplitude. A frequência de operação pode ser fixa ou variável. Dentre as aplicações onde a frequência de operação é variável destaca-se o controle de velocidade de motores. Fontes de alimentação para sistemas embarcados e fontes ininterruptas de energia figuram entre as principais aplicações quando a frequência de operação é fixa.

Os inversores podem ser classificados em dois grupos: inversores de tensão e inversores de corrente. Os conversores DC/AC de tensão têm como entrada uma fonte de tensão ou um capacitor de valor elevado para substituí-la. De maneira análoga, os conversores DC/AC de corrente apresentam na sua entrada uma fonte de corrente ou um indutor de valor elevado que caracterize este efeito. Entre as topologias monofásicas destacam-se os conversores DC/AC em ponte completa, em meia ponte e do tipo *push-pull*.

A estrutura em ponte completa é a mais utilizada e adequada para potências elevadas, por possuir características interessantes em relação a esforços de corrente e tensão, dentre outros fatores. Na estrutura não isolada, o valor de pico da senóide de saída é inferior ao valor da tensão contínua de entrada. Para elevar a tensão de saída deve-se introduzir um transformador no circuito. Neste trabalho a estrutura utilizada para o inversor foi a ponte completa não isolada.

Inversores de tensão senoidais são responsáveis por fornecer uma tensão senoidal em sua saída. Entretanto, a operação dos interruptores em alta

freqüência produz na saída do inversor interferências (harmônicos) indesejáveis. Para tanto, usualmente é empregado um filtro do tipo LC na saída do estágio inversor para que o conteúdo harmônico seja filtrado e somente a parcela referente à freqüência fundamental esteja disponível na saída. Normalmente também se faz necessária a inclusão de uma malha de controle de tensão para que eventuais perturbações não se reflitam na saída do inversor, preservando sua forma de onda senoidal.

Especialmente em aplicações de fontes ininterruptas de energia são encontradas cargas não-lineares, presentes em quase todos os estágios de entrada de equipamentos eletrônicos. As cargas não-lineares contribuem de maneira significativa para a distorção da forma de onda da tensão de saída do inversor. Para que a distorção harmônica se mantenha em um nível tolerável, deve ser utilizada uma malha de controle da tensão de saída com resposta transitória rápida, bem como um projeto adequado do filtro de saída do inversor.

## **9.2 - Inversor de Tensão Monofásico em Ponte Completa**

O inversor de tensão monofásico em ponte completa, se comparado a outras estruturas de inversores na mesma aplicação, apresenta grande versatilidade e características únicas, como os baixos esforços de corrente e de tensão nos interruptores, tornando esta topologia natural para aplicações em potências normalmente acima de 1 kVA. A principal desvantagem dessa estrutura se concentra na necessidade de se empregar quatro interruptores. Além disso, os sinais de comando devem ser isolados, pois não possuem a mesma referência no circuito.

A Figura 58 mostra o circuito de potência deste inversor, onde os interruptores  $S_1$ ,  $S_2$ ,  $S_3$  e  $S_4$  são acionados de acordo com uma estratégia de modulação, de modo que a única restrição concerne à condução simultânea dos interruptores  $S_1$  e  $S_3$  ou  $S_2$  e  $S_4$ . Na Figura 58, não estão representados os indutores e capacitores do filtro de saída do inversor.  $V_{in}$  representa a tensão do barramento de entrada, que pode ser uma bateria, por exemplo.

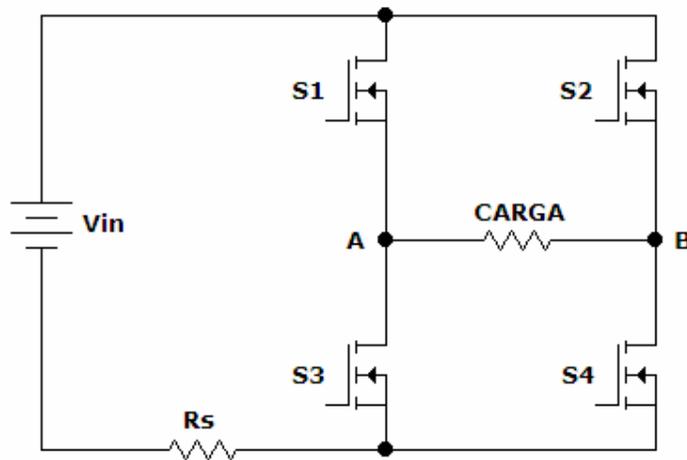


Figura 58 – Inversor em ponte completa.

### 9.3 - Estratégias de Modulação

O princípio de funcionamento do inversor de tensão está intimamente ligado a uma estratégia de modulação que é o processo de mudança de estado dos componentes eletrônicos em um conversor. Diversas são as estratégias de modulação propostas, entre as quais se podem citar a modulação por pulso único, por largura de pulsos múltiplos e iguais entre si, por largura de pulsos otimizada (PWM otimizada) e por largura de pulso senoidal (SPWM).

A modulação por largura de pulso varia a razão cíclica aplicada aos interruptores em uma alta frequência de comutação com o intuito de suprir uma determinada tensão ou corrente na saída em baixa frequência, ou seja, tem-se como objetivo criar uma seqüência de pulsos que devem ter o mesmo valor fundamental de uma referência desejada. Todavia, nesta seqüência de pulsos existem componentes harmônicos indesejados que devem ser minimizados.

Entre os pontos positivos da vasta utilização da SPWM na indústria destacam-se a operação em frequência fixa e o conteúdo harmônico deslocado para altas frequências utilizando-se uma portadora. O emprego de frequência fixa aperfeiçoa o projeto dos componentes magnéticos, tendo em vista que em aplicações onde a frequência é variável os componentes magnéticos devem ser projetados para toda a faixa de frequência utilizada. Quando o conteúdo harmônico se concentra nas altas frequências tem-se uma diminuição de dimensão, peso e custo dos componentes do filtro.

Na SPWM de dois níveis, também conhecida como SPWM bipolar, o sinal de referência  $V_{ref}$  é comparado com um sinal triangular  $V_{tri}$  na frequência de comutação de modo a se obter os pulsos de comando para os interruptores do inversor. No caso do inversor em ponte completa, quando o valor de referência é maior do que o valor da portadora, o respectivo braço comandado é comutado para o valor da tensão contínua do barramento de entrada. Quando o valor de referência é menor que o valor da portadora tem-se o valor da tensão de entrada invertido na saída do estágio inversor. A Figura 59 mostra a comparação dos sinais  $V_{tri}$  e  $V_{ref}$  e a respectiva tensão na saída do bloco inversor ( $V_{ab}$ ).

A largura dos pulsos enviados para os interruptores depende da amplitude da referência senoidal de tensão, fazendo com que a tensão  $V_{ab}$  tenha uma componente fundamental na mesma frequência da tensão de referência e os harmônicos deslocados em torno da frequência da portadora  $V_{tri}$ . Esta modulação apresenta a característica de possuir um único comando para cada dois interruptores, como por exemplo,  $S_1$  e  $S_4$ . Nos outros dois interruptores pode-se usar, idealmente, um comando complementar.

De maneira similar, a modulação por largura de pulso senoidal de três níveis, ou SPWM unipolar, também visa deslocar o conteúdo harmônico para as altas frequências. A diferença é que os interruptores  $S_1$  e  $S_2$  ou  $S_3$  e  $S_4$  também podem conduzir simultaneamente.

O sinal de referência  $V_{ref}$  é comparado com um sinal triangular  $V_{tri}$  na frequência de comutação de modo a se obter os pulsos de comando para os interruptores de um braço do inversor,  $S_1$  e  $S_3$ , por exemplo. Já os pulsos de comando para o outro braço são obtidos através da comparação do sinal de referência com uma outra portadora triangular  $V_{tri2}$ , complementar a  $V_{tri}$ . A modulação por largura de pulso senoidal unipolar pode ser visualizada na Figura 60.

Embora se utilize a portadora triangular, pode-se aplicar uma portadora do tipo dente-de-serra. A diferença entre esses tipos de portadoras mostra que a portadora do tipo dente-de-serra apresenta resultados inferiores com relação ao espectro harmônico da tensão  $V_{ab}$ , tanto para a modulação unipolar quanto para a bipolar.

Observando-se as Figuras 59 e 60 nota-se que o número de pulsos na tensão  $V_{ab}$  é duas vezes maior na modulação três níveis do que o encontrado na dois níveis, para a mesma freqüência de comutação. Este número está diretamente relacionado com a freqüência das harmônicas de  $V_{ab}$ .

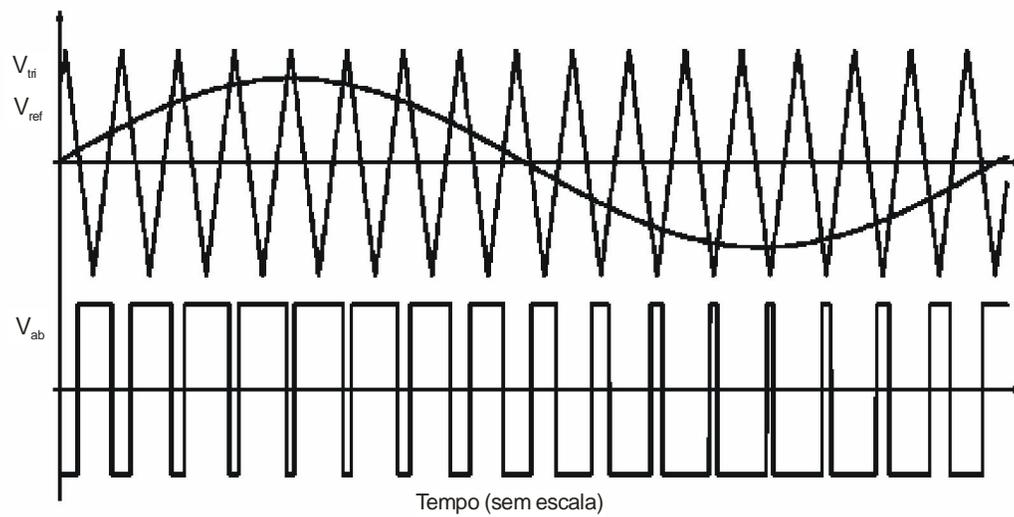


Figura 59 – PWM senoidal bipolar.

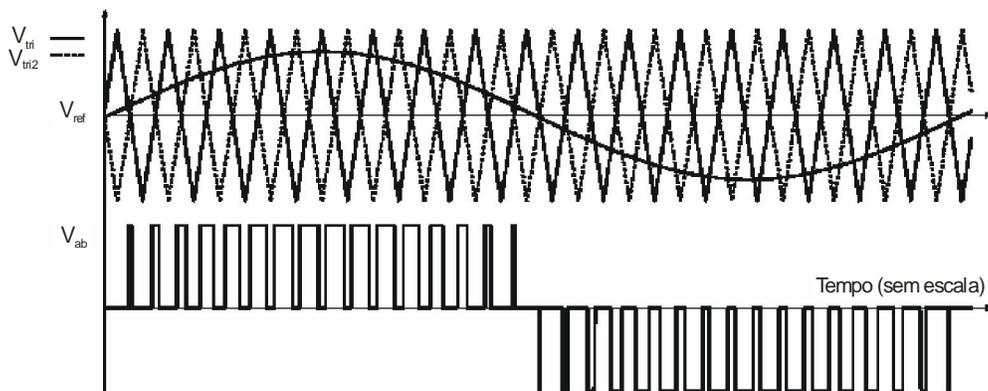


Figura 60 – PWM senoidal unipolar.

## 9.4 - Técnica Utilizada para o Controle do Inversor

A técnica utilizada para o controle do inversor (SPWM bipolar ou PWM senoidal bipolar) é mostrada no diagrama de blocos da Figura 61.

Nesta etapa do trabalho utiliza-se a técnica de modulação por largura de pulso senoidal bipolar, que terá cada bloco explicado nos tópicos a seguir.

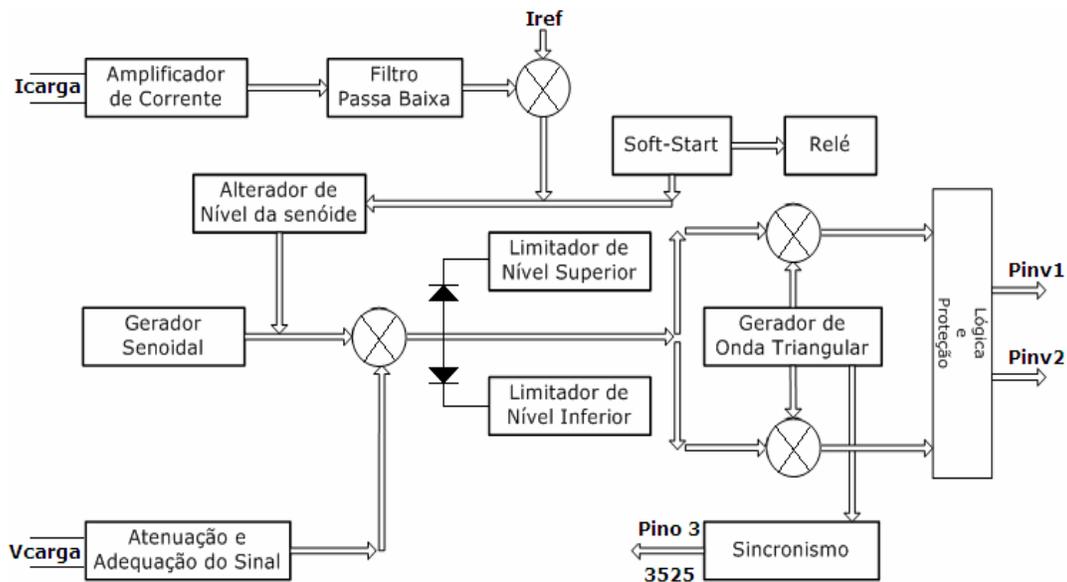


Figura 61 – Diagrama de blocos da técnica utilizada para o controle do inversor.

### 9.4.1 - Gerador Senoidal

A geração de uma onda senoidal com a melhor qualidade possível, desde a forma da onda até a precisão na frequência, é parte fundamental para o controle do inversor na técnica PWM senoidal.

A estrutura básica do oscilador senoidal consiste em um amplificador e uma malha seletiva de frequência conectada a um elo de realimentação positiva. O sistema é realimentado em condições em que a realimentação positiva seja garantida. Assim a oscilação é uma forma de instabilidade que regenera um sinal a cada ciclo de realimentação.

Para que as condições desejadas sejam obtidas na construção do oscilador, utiliza-se uma estrutura baseada na ponte de Wien.

### 9.4.1.1 - Oscilador com Ponte de Wien

A Figura 62 mostra o circuito de um oscilador com ponte de Wien. O circuito consiste em um amplificador operacional conectado à configuração não-inversora, com um ganho de malha fechada de  $1 + R_F / R_1$ . No caminho da realimentação desse amplificador com ganho positivo é conectada uma malha RC.

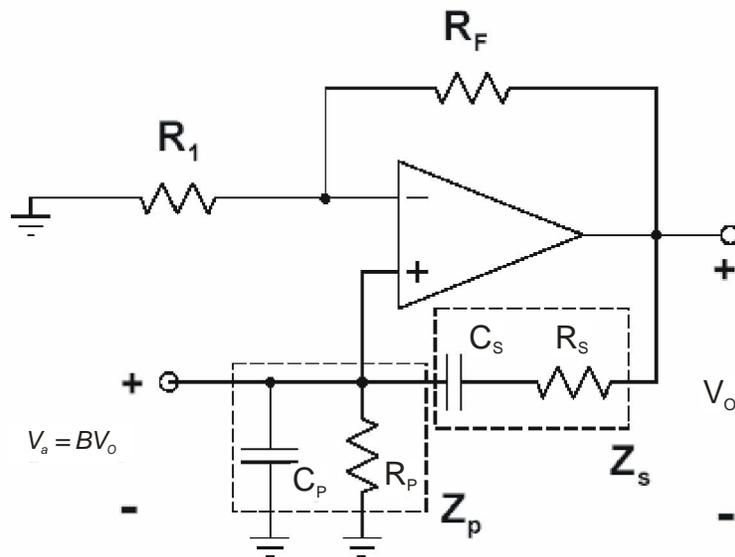


Figura 62 – Oscilador com Ponte de Wien.

O ganho de malha pode ser obtido facilmente pela multiplicação da função de transferência  $V_a(s)/V_o(s)$  da malha de realimentação pelo ganho do amplificador,

$$L(s) = \left[ 1 + \frac{R_F}{R_1} \right] \frac{Z_p}{Z_p + Z_s}$$

Portanto,

$$L(s) = \frac{1 + R_F / R_1}{3 + sCR + 1/sCR}$$

Substituindo  $s=j\omega$  resulta em

$$L(j\omega) = \frac{1 + R_F/R_1}{3 + j(\omega CR - 1/\omega CR)}$$

O ganho de malha será um número real, isto é, a fase será zero, em uma frequência dada por:

$$\omega_0 CR = \frac{1}{\omega_0 CR}$$

Isto é,

$$\omega_0 = \frac{1}{CR}$$

Para obter e manter as oscilações nessa frequência, deve-se fazer a amplitude do ganho da malha unitário, obedecendo assim o critério de Barkhausen,  $L(s)=1$ . Isso pode ser obtido escolhendo

$$R_F/R_1 = 2$$

#### 9.4.1.2 - Circuito do Gerador Senoidal

Como descrito o gerador senoidal foi construído utilizando a estrutura da ponte de Wien. O amplificador utilizado foi o LM324. Para se obter um ajuste mais preciso dos ganhos foram utilizados potenciômetros em alguns pontos. A Figura 63 mostra o circuito com os valores de componentes utilizados. Nela também está representado o capacitor para o desacoplamento DC, e o ajuste DC para o valor de 6V, que é a referência para o circuito de controle. Em seguida o sinal passa por um *buffer* para garantir a qualidade do sinal e a não influência de outro componentes no circuito.

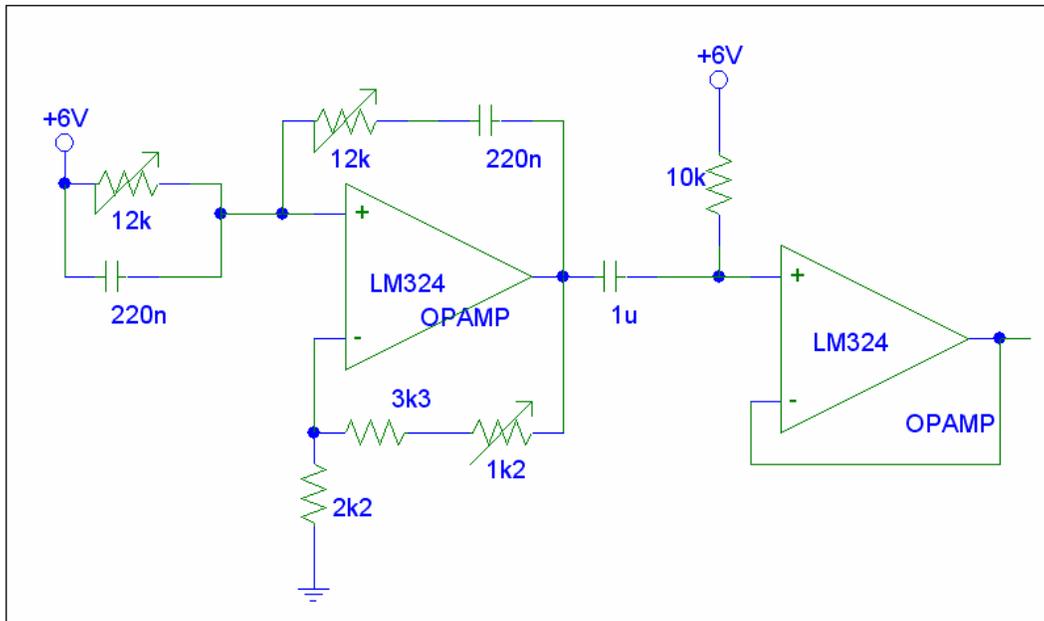


Figura 63 – Circuito gerador Senoidal.

### 9.4.2 - Controle de Corrente

A importância de se controlar a corrente de saída está em estabelecer um limite para que as estruturas do equipamento e seus componentes, não sejam danificadas ou queimados por uma corrente excessivamente elevada.

Para se ter uma amostra da corrente foi usado um sensor de corrente em série com o barramento de saída, conforme pode ser visto na Figura 58. O sensor usado foi uma liga de constantan que gera uma diferença de potencial proporcional a corrente que passa por essa liga. A liga de constantan também foi escolhida por não ter uma variação com a mudança da temperatura. O sinal do sensor de corrente, que está na placa de potência, é enviado ao controle através de um cabo blindado para minimizar alguns possíveis efeitos de ruídos que entrariam no sistema. Este sinal é conectado no controle nas entradas  $R_{S1}$  e  $R_{S2}$ .

Também tem-se neste circuito um led que irá sinalizar quando o controle de corrente está atuando no sistema.

A Figura 64 mostra o circuito de controle de corrente que será explicado por partes a seguir.

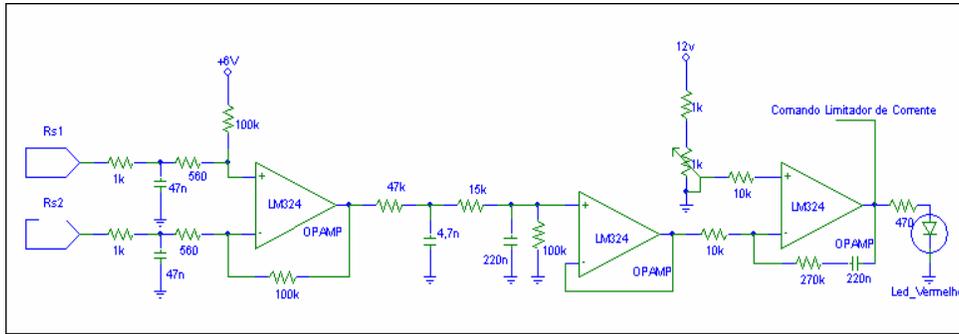


Figura 64 – Circuito de controle de Corrente.

### 9.4.2.1 - Amplificador de Corrente

Chegando no controle, o sinal que vem do sensor de corrente sofre uma amplificação em um circuito com amplificador operacional na configuração de subtrator. Assim uma diferença de potencial pode ser convertida em um sinal único.

Experimentalmente observou-se a necessidade de inserir antes deste estágio de amplificação do sinal, um filtro passa baixa para filtrar ruídos que vinham juntos do sinal de corrente e ao serem amplificados juntos, interferiam na qualidade do sistema.

### 9.4.2.2 - Filtro Passa Baixa

Na seqüência do estágio de amplificação do sinal tem-se um filtro passa baixa deixando um sinal contínuo proporcional à corrente. Este filtro proporciona um nível DC, podendo trabalhar no controle de forma mais simples. Após este filtro tem-se um *buffer* para isolar os estágios não tendo influência um sobre o outro.

### 9.4.2.3 - Comparador com a Referência

Para encerrar o circuito de controle de corrente tem-se no último estágio a comparação do nível do sinal de corrente com uma tensão de referência. Essa tensão de referência permite ajustar qual a corrente máxima em que atuará o

controle de corrente. Tem-se nesta etapa uma ação proporcional integral que irá impor a ação de controle desejada.

### 9.4.3 - Gerador de Onda Triangular

Para a construção do circuito para geração da onda triangular, foi utilizado um circuito proposto pelo fabricante *Harris Semiconductor* [16].

A Figura 65 mostra o circuito de geração da onda triangular, seguida de um capacitor para o desacoplamento DC, o ajuste DC em 6V como convém para o controle e um *buffer* para o isolamento.

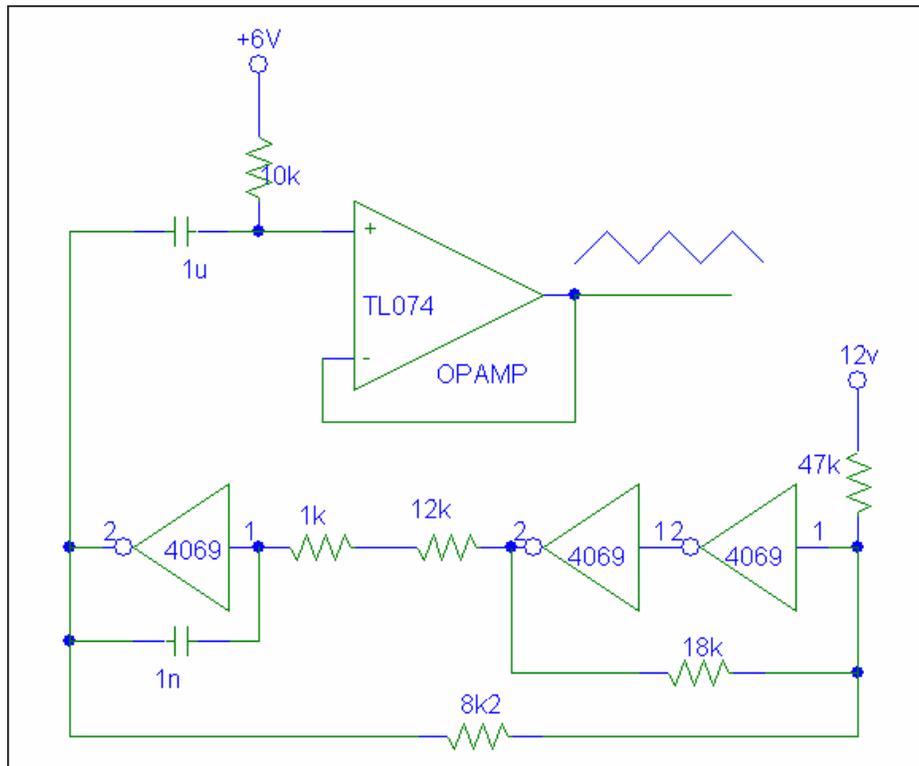


Figura 65 – Circuito gerador de onda triangular.

#### 9.4.4 - Soft-start e Bloco para Alterar o Nível da Onda Senoidal

Na Figura 66 está apresentado o circuito responsável por estas funções descritas abaixo.

Como já foi visto a senóide é de fundamental importância na geração dos pulsos para o inversor. Sua partida suave reflete esta característica à saída, evitando assim picos transitórios de tensão que podem danificar o aparelho ou a carga que está ligada a ele. Daí a importância de se ter um bloco responsável pelo *soft-start* da senóide.

Para se obter o *soft-start* foi usado um dispositivo FET que atua no circuito como uma resistência variável de acordo com a tensão aplicada em sua base. No início é colocado um nível alto de tensão em sua base e de acordo com a carga de um capacitor, que junto com um resistor irá determinar o tempo do *soft-start*, faz-se conduzir um transistor que vai derrubando a tensão do gate do FET gradativamente, tendo assim a partida suave desejada na onda senoidal. Outro detalhe agregado é que o capacitor mencionado só inicia sua carga após a comutação do relé que protege o circuito de potência de picos de corrente (corrente *inrush*).

Além disso tem-se no bloco *soft-start* dois outros sinais gerados em outros blocos funcionais que podem influir no comportamento da senóide. O primeiro é o sinal vindo do controle de corrente, que quando este controle atua, significando uma elevada corrente, a tensão de saída deve ser diminuída, isto é feito através da onda senoidal de referência. O outro se refere a um sinal gerado por um bloco de proteção que monitora a temperatura do sistema e a carga da bateria, desligando sistema se estas condições estiverem fora do limite aceitável. Este sinal realiza a descarga do capacitor para que quando o sistema voltar a funcionar, ele volte com as mesmas características de *soft-start* previstas para sua partida.

Agregado ao bloco de *soft-start* tem-se um sistema que funciona através de potenciômetro para alterar a amplitude da senóide. Com este ajuste pode-se controlar a amplitude da tensão de saída do inversor.

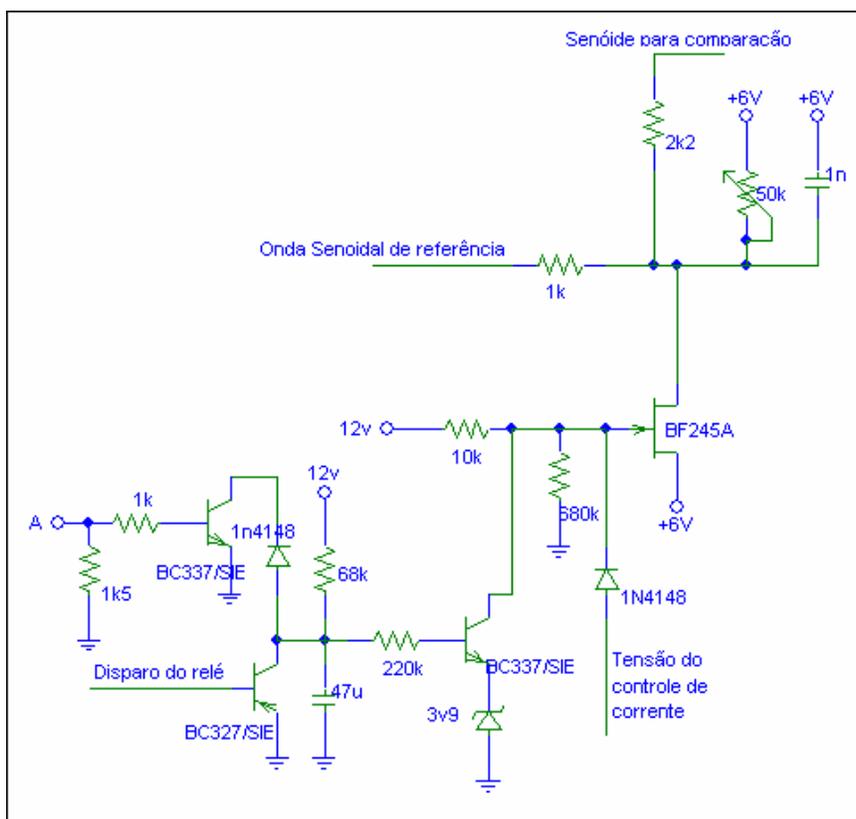


Figura 66 – Circuito do *soft-start* e alterador do nível da senóide.

### 9.4.5 - Realimentação de Tensão

A realimentação de tensão faz com que o nível da saída seja conhecido e também usado como ferramenta para controlar a saída. Com isso o ajuste da saída pode ser feito de forma mais precisa, e maior estabilidade nas características do *no-break*. Daí a grande importância de implementar no sistema uma malha de realimentação de tensão.

Para esta realimentação é amostrado um sinal da saída do *no-break*, que é filtrado e tem seu nível DC ajustado de acordo com os padrões do controle. É nesta etapa que se controla e ajusta o nível DC da saída, podendo ser alterado pelo ajuste de um potenciômetro. O sinal passa por um *buffer* e está condicionado para ser usado no controle.

A próxima etapa é a comparação com a onda senoidal gerada no controle. É neste ponto que a realimentação negativa é concretizada, o sinal de tensão

entra no ramo negativo do comparador e a onda senoidal na entrada positiva. Neste comparador também é feita uma ação integral para melhorar o sinal resultante da comparação. Este circuito está representado na Figura 67. O sinal resultante da comparação passa por um filtro passa-baixa e fica sujeito a sofrer alterações dos circuitos limitadores de nível superior e inferior, quando necessário. Daí então tem-se um sinal de erro adequado para realizar a lógica de geração de pulsos, pela modulação PWM senoidal.

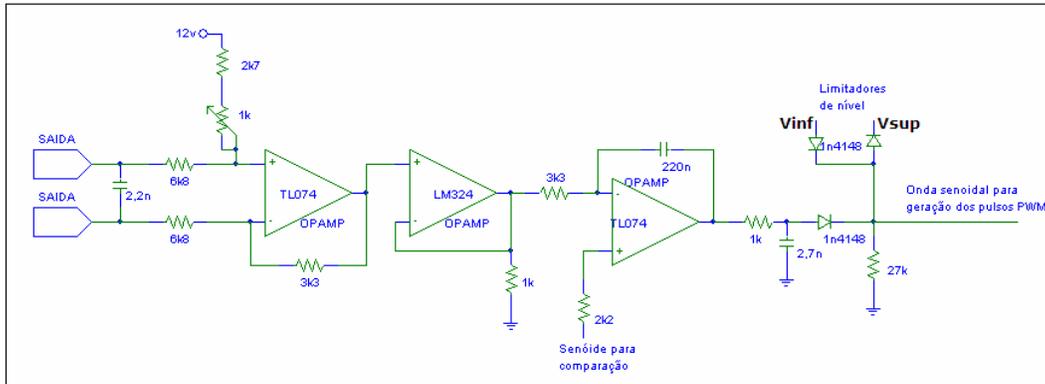


Figura 67 – Circuito de realimentação de tensão.

#### 9.4.6 - Circuito Limitador de Níveis Superior e Inferior

O circuito limitador de níveis foi implementado para atuar sobre o sinal senoidal que vai interagir com a onda triangular para gerar os pulsos PWM, de forma a estipular valores limites, tanto superior quanto inferior para aquela onda. Com este controle pode-se atuar no sinal de saída, regulando os picos da senóide de saída para adequá-la na forma desejada.

O circuito limitador é mostrado na Figura 68.

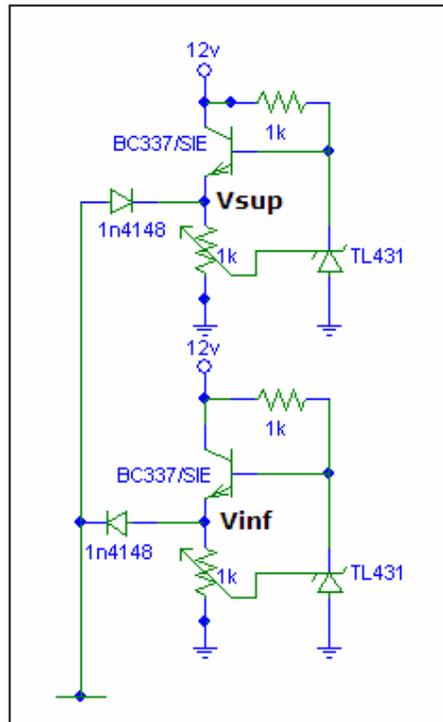


Figura 68 – Circuito limitador de nível.

#### 9.4.6.1 - TL431 [6]

O TL431 é um componente que funciona como um zener controlado por tensão, onde a tensão do zener pode variar de acordo com uma tensão de referência. Ele possui uma garantia de sensibilidade térmica podendo ser aplicado em locais com variação de temperatura. Sua tensão de saída pode assumir valores entre a tensão de referência, aproximadamente 2,5V e 36V. Devido as suas características, este é um componente muito usado em circuitos eletrônicos.

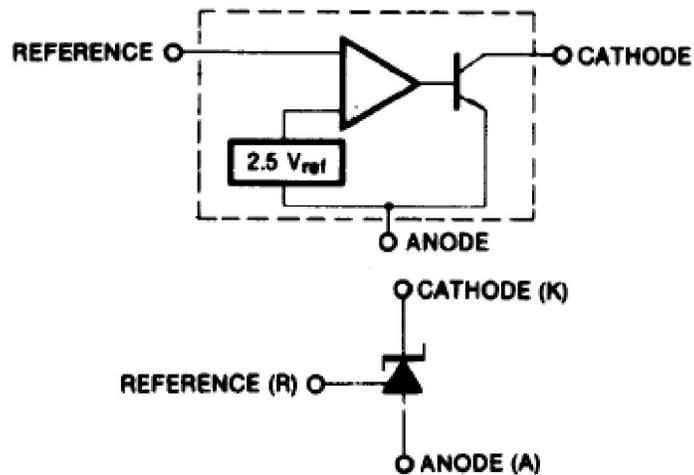


Figura 69 – Diagrama interno do TL431.

A construção e regulagem do circuito limitador está ligado a característica do TL431[6]. Com um potenciômetro ajusta-se a referência do TL431[6] que é ligado à base do transistor, e com isso define-se os limites inferiores e superiores. As duas partes do circuito que determinam os limites são ligadas à onda senoidal do controle através de diodos. Os diodos estão dispostos de forma que conduzam quando os valores dos limites não são obedecidos, alterando assim o valor da onda.

#### 9.4.7 - Circuito de Geração dos Pulsos: Lógica e Proteção

Como discutido anteriormente a geração de pulsos para o inversor através da modulação por largura de pulso senoidal é feita pela comparação entre uma onda triangular de alta frequência e uma onda senoidal com a frequência desejada na saída do inversor. Para este trabalho foi desenvolvido o circuito da Figura 70, que além de realizar esta comparação e gerar os pulsos, também impõe condições para o início destes pulsos no inversor, protegendo contra transitórios de tensão.

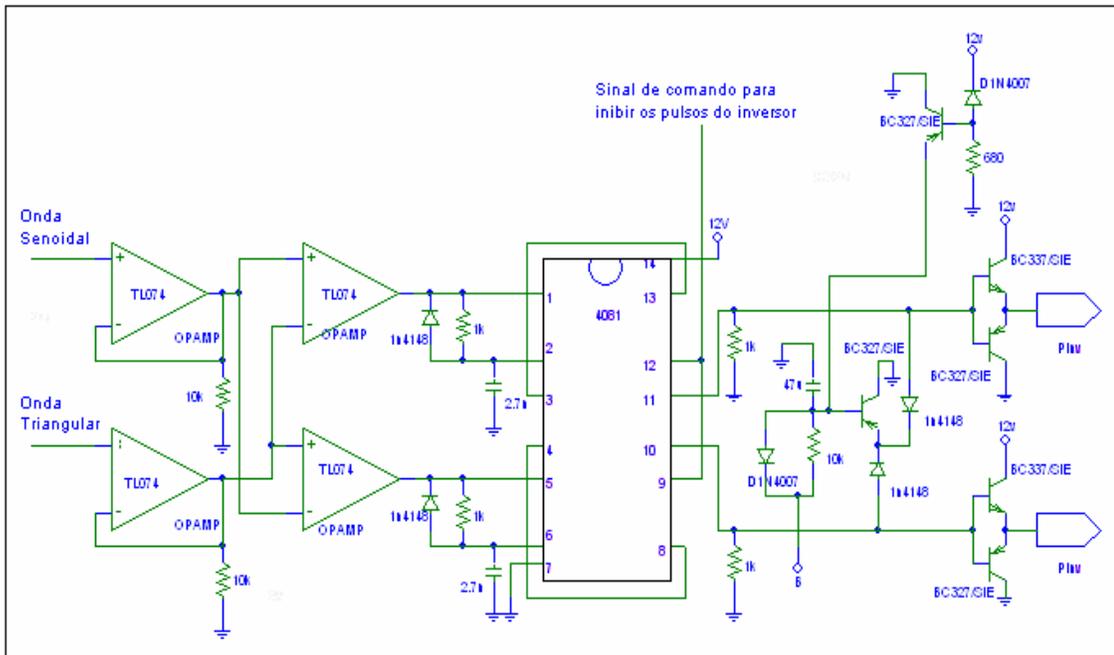


Figura 70 – Circuito de geração de pulsos para o inversor.

Após as ondas senoidal e triangular serem condicionadas de acordo com a necessidade de controle, elas passam por um *buffer* e são comparadas entre si. Foram implementados dois comparadores para gerarem dois sinais diferentes para o inversor em ponte completa, como já foi descrito. Como os pares de chaves do inversor devem receber pulsos complementares, foi invertida a entrada de cada onda no comparador em relação ao outro, ou seja, no primeiro comparador a onda senoidal está na entrada positiva e no segundo na entrada negativa, e a onda triangular da mesma forma é distribuída na outra entrada de cada comparador. Assim na saída dos comparadores tem-se os sinais complementares dos pulsos modulados para o inversor.

Antes de serem enviados para o inversor, os pulsos passam por algumas proteções. Primeiro eles são filtrados e passam por uma porta lógica AND. Neste estágio se encontra o dispositivo capaz de inibir os pulsos no momento em que alguma adversidade for detectada no sistema. As portas lógicas AND utilizadas foram as do circuito integrado 4081.

Em seguida está implementada outra proteção que não deixa os pulsos irem para a saída imediatamente após o sistema ser ligado. Esta proteção

recebe o sinal vindo do circuito de comutação do relé, explicado anteriormente, e após o relé ser disparado este circuito libera os pulsos depois de um tempo de carga do capacitor de 47 $\mu$ F através do resistor de 10k $\Omega$ . Este circuito também analisa o sinal de tensão do controle, inibindo os pulsos imediatamente após o controle ser desligado.

Com este sistema implementado os pulsos passam por um *drive* e estão prontos para serem utilizados no inversor de maneira correta e segura.

## **9.5 - Conclusão (Circuito de Controle Analógico do Inversor)**

Neste capítulo foi apresentada a descrição do inversor de tensão e suas estratégias de modulação. Também foi demonstrada a técnica utilizada para o controle do inversor e detalhada cada etapa desta técnica.

Pode-se observar as vantagens da modulação utilizada, por apresentar uma saída senoidal com uma forma de onda dentro de bons padrões de qualidade.

A devida operação desta técnica de conversão se deu pelo bom funcionamento de suas partes. As gerações das ondas senoidal e triangular ocorreram dentro das especificações que eram exigidas. A boa regulagem da onda senoidal de referência refletiu em um sinal de saída que obedecia as regulagens aplicadas. A onda triangular que era portadora de alta frequência fez com que as harmônicas do sinal de saída pudessem ser filtradas com maior facilidade.

O controle de corrente agiu de forma eficaz atuando na tensão quando o valor da corrente de saída atingia o valor especificado no controle. A realimentação de tensão proporcionou ao *no-break* trabalhar em malha fechada, que foi o propósito deste trabalho, e dando maior qualidade e confiabilidade ao sistema. Proporcionando resposta dinâmica às variações do sistema e estabilidade na saída.

Pode-se obter um sinal de saída com uma partida suave, tornando mais rígido o sistema em relação às proteções contra picos de tensão na hora do início do seu funcionamento.

Assim a geração de pulsos para o inversor ocorreu de forma eficaz, controlando o inversor e sua saída. Dando ao *no-break* uma forma de onda senoidal na saída de boa qualidade.

## 10 - Proteção e Sinalização

### 10.1 - Circuito Sinalizador e Alarme Sonoro

O sistema de sinalização possui um circuito que faz a sinalização por leds do nível da bateria, um circuito para a emissão de sinais sonoros, leds que indicam a fonte de energia atual.

A Figura 71 mostra todo o circuito de sinalização interligado entre si, e a seguir será explicado separadamente cada bloco de acordo com sua finalidade.

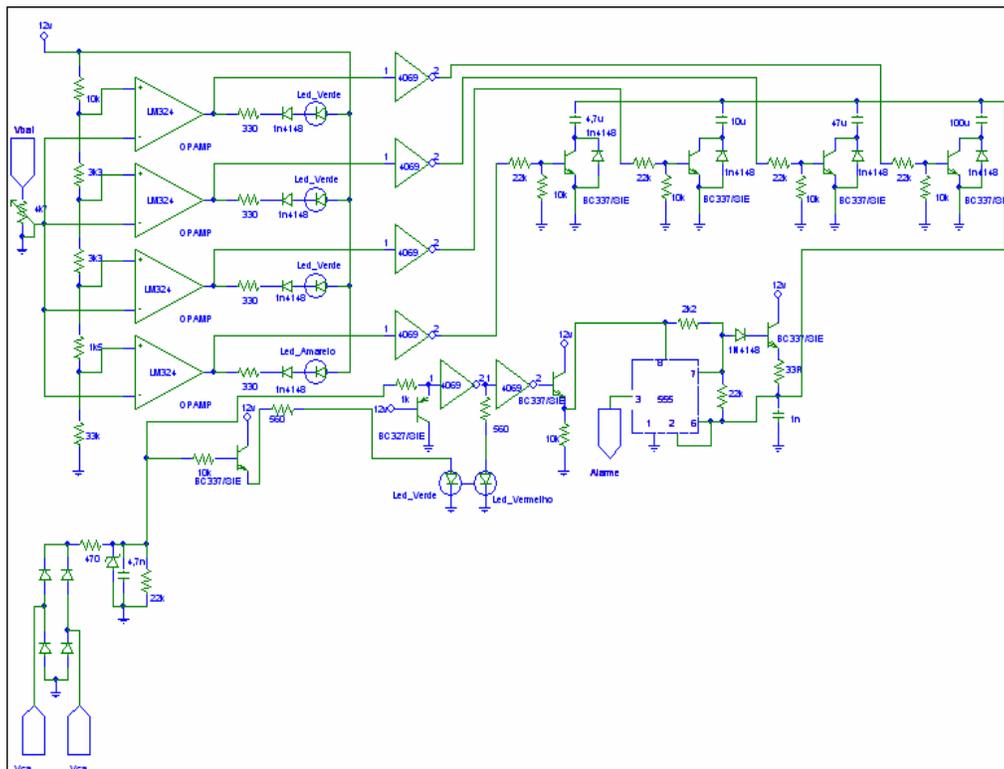


Figura 71 – Circuito de sinalização.

### 10.1.1 - Sinalização da Rede Elétrica

No circuito de potência tem-se um transformador que abaixa a tensão da rede para que possa ser usada no controle. A primeira etapa deste circuito de sinalização é a retificação deste sinal vindo da rede, obtendo assim um sinal DC com o qual faz-se uso para a sinalização da presença ou ausência da rede, além de usá-lo para impor algumas condições a circuitos de proteção.

A sinalização da presença da rede elétrica é feita de forma simples através de um led bipolar que assume as cores verde e vermelho, ficando verde quando tem-se a presença da rede elétrica e vermelho quando a rede elétrica está ausente. O sinal DC é ligado à base de um transistor que funciona como chave para o led verde, assim quando se tem rede, o transistor é polarizado de forma a conduzir e sinalizar o led verde. Este mesmo sinal DC é ligado a um inversor e na saída deste inversor está o led vermelho para sinalizar a ausência da rede.

### 10.1.2 - Sinalização da Carga da Bateria por Leds

A sinalização da carga da bateria por leds é feita para se ter um conhecimento visual de qual o estado atual das baterias, onde através de quatro leds, três verdes e um amarelo, pode-se visualizar o nível de carga da bateria e dar ao usuário a informação de quando deve tomar alguma atitude em relação ao aparelho que está ligado a este *no-break*.

O nível da bateria é medido através de quatro comparadores, onde cada comparador possui uma tensão de referência obtida por divisores resistivos a partir do  $V_{cc}$  e ligadas a entrada positiva dos comparadores. A entrada negativa recebe uma amostra da tensão da bateria regulada através de um potenciômetro. Assim quando a tensão da bateria é maior que a referência de cada comparador, este satura em nível baixo levando sua saída a zero, nesta condição o led referente a este nível é mantido aceso. Com a mesma análise, a partir do momento em que a tensão da bateria cai abaixo da referência o led se

apaga. Como os comparadores possuem níveis diferentes na porta positiva, forma-se assim um sinalizador do nível de tensão da bateria.

### **10.1.3 - Sinalização Sonora**

Sinaliza-se sonoramente a entrada da bateria como fonte de alimentação, ou seja, ausência de rede. Também os sinais sonoros variam de acordo com a carga da bateria, sendo que a frequência dos bip's emitidos pelo alarme é aumentada quanto menor for a carga da bateria. O integrado responsável por gerar os pulsos enviados para o alarme só é alimentado quando a ausência da rede é verificada. Usa-se o temporizador 555 para emitir os pulsos para o alarme.

O 555 foi montado na configuração astável para gerar os pulsos. Configuração esta que emite pulsos constantemente e a frequência destes pulsos é determinada por uma constante RC que é ligada ao circuito, assim quando varia-se o valor do capacitor desta constante através de associações de capacitores, muda-se a constante RC e por consequência muda-se a frequência dos bip's emitidos pelo alarme, sinalizando sonoramente a diminuição da carga da bateria. O acréscimo de um capacitor para se associar ao circuito e mudar a constante como descrito, é feito por um transistor que quando polarizado passa a conduzir liberando o capacitor para a associação. A determinação da polarização dos transistores também é feita de acordo com os comparadores de nível da bateria.

## **10.2 - Proteção Contra Aquecimento**

A proteção contra um sobre aquecimento se faz muito importante, visto que os componentes eletrônicos possuem limites de temperatura para que seu funcionamento seja confiável, ou até mesmo possam vir a queimar.

O circuito de proteção deste controle atua em dois níveis. Primeiramente quando a temperatura atinge um determinado nível é acionado um comando para ligar o ventilador que fará a ventilação forçada do sistema. Caso a temperatura não seja controlada por essa ventilação e continue a subir

atingindo um nível mais alto, é enviado um comando para parar o funcionamento total do sistema, evitando assim possíveis perdas maiores.

Um sensor de temperatura foi fixado ao dissipador da placa de potência. Este sensor é do tipo resistivo NTC, onde sua resistência decai com o aumento da temperatura. Com este sensor pode-se então fazer um divisor resistivo com outro resistor ligado ao 12V e desta forma ter um nível de tensão variável de acordo com a temperatura. Gerada esta tensão utiliza-se dois comparadores, o primeiro comparando uma tensão de referência maior, e sua saída utilizada para acionar o ventilador. E o segundo com a referência menor, utilizado para a interrupção do sistema. A tensão gerada pelo termistor é colocada na entrada negativa do comparador, visto que esta tensão diminui com o aumento da temperatura e desta forma os sinais de comando gerados sejam níveis altos. O circuito dos comparadores está representado na Figura 72.

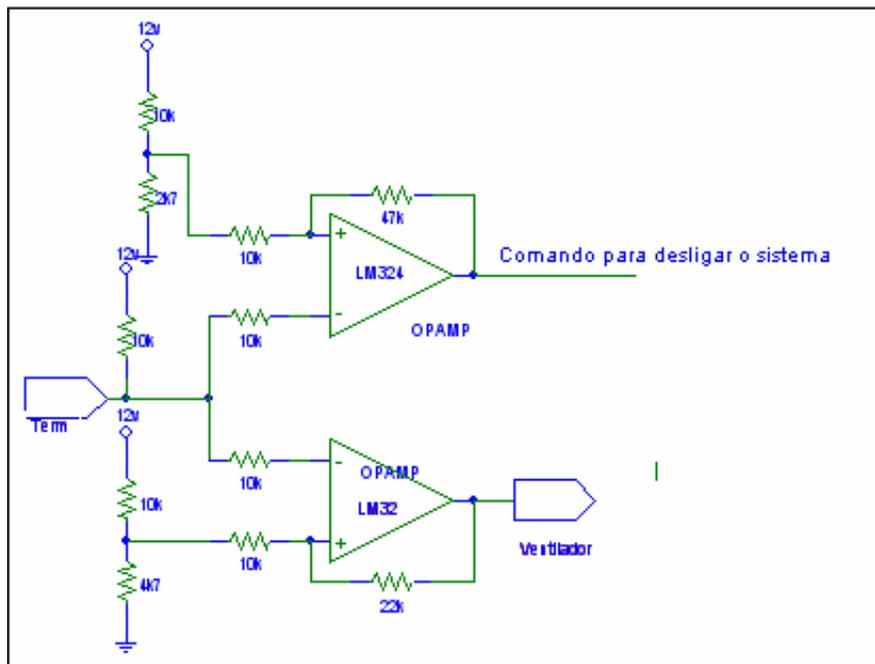


Figura 72 – Circuito de proteção contra sobre aquecimento.

### 10.3 - Comutação do Relé

Quando liga-se o *no-break* tem-se, de acordo com o diagrama de blocos da Figura 52, que a rede elétrica é retificada gerando uma tensão contínua que alimenta o barramento DC. Neste barramento tem-se capacitores que filtram e mantém esta tensão estável. Tendo em vista que ao ligar o sistema estes capacitores estão descarregados e também que eles possuem uma resistência muito baixa, a corrente necessária para se fazer a carga destes capacitores no primeiro instante é muito elevada, tendo um pico de corrente que pode danificar componentes do sistema envolvido. Sendo assim é necessário colocar uma resistência no caminho desta corrente para evitar aquele pico no momento que o sistema for ligado.

Esta resistência só é necessária até o momento em que os capacitores já estejam carregados. Depois disto o resistor não tem mais função no caminho da corrente, e sua presença só trará consumo de potência que será transformada em calor e se perdendo. Portanto o resistor se torna prejudicial ao circuito depois que exerceu sua função, sendo assim necessária sua retirada do sistema. Esta retirada foi feita através de um relé que em sua saída normalmente fechada se encontra o resistor e ao passar o tempo necessário é acionado o relé que comuta a saída para a outra que passa a corrente de forma direta, sem a resistência.

O processo de carga do capacitor em que a corrente se torna crítica sem a presença da resistência dura menos de um segundo, assim foi criado um circuito que esperasse o tempo necessário e comutasse o relé. A Figura 73 apresenta o circuito responsável pelo disparo do relé no tempo adequado.

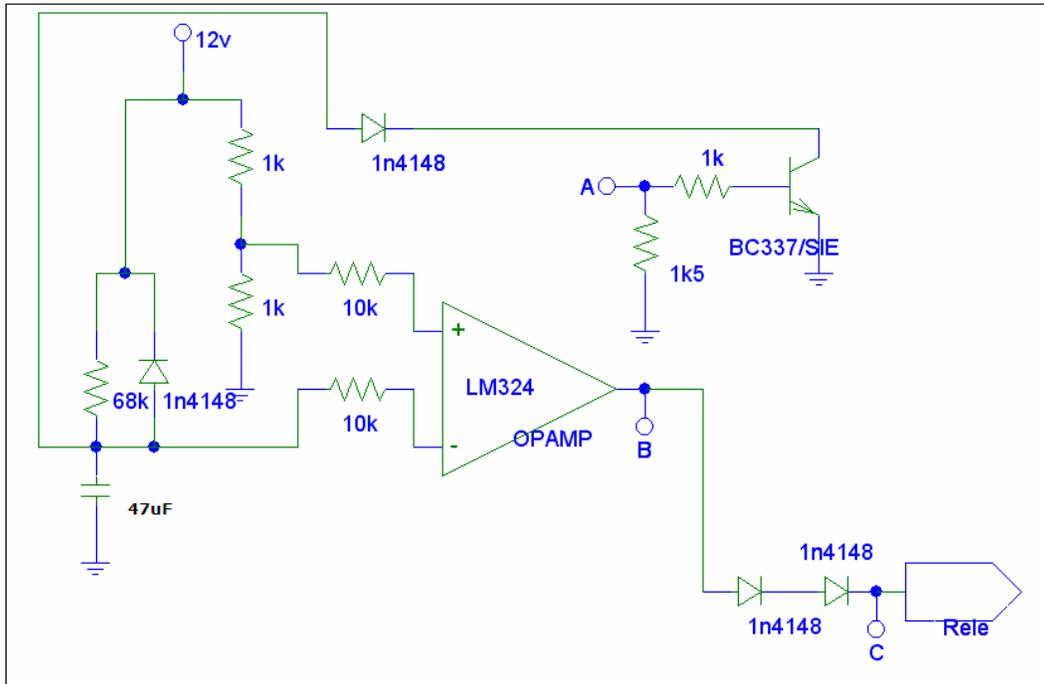


Figura 73 – Circuito controlador do disparo do relé.

O circuito possui uma constante de tempo RC utilizada para gerar um atraso de 1,2 segundos. Visto que o relé é comutado pela tensão zero devido as ligações feitas na placa de potência, tem-se que o circuito ao ser ligado tem em sua saída o nível alto de tensão e ao passar o tempo previamente regulado o circuito satura em zero comutando o relé. Tem-se também neste circuito um sinal que quando o sistema for desligado por alguma proteção, faça também a descarga do capacitor que faz a contagem do tempo, o capacitor da constante RC. Desta forma sempre que o sistema for desligado será respeitada a corrente de carga dos capacitores do barramento DC através do sistema explicado acima.

#### 10.4 - Circuito Bloqueador dos Pulsos

O circuito bloqueador de pulsos analisa e atua no sistema toda vez que as condições de funcionamento deste não estiverem nos padrões normais. Este circuito analisa os sinais da rede elétrica, dos comandos de análise de temperatura e de carga da bateria. E atua nos pulsos do inversor e nos pulsos

gerados pelo 3525. A Figura 74 mostra todo o circuito responsável por enviar sinais de bloqueio de pulsos.

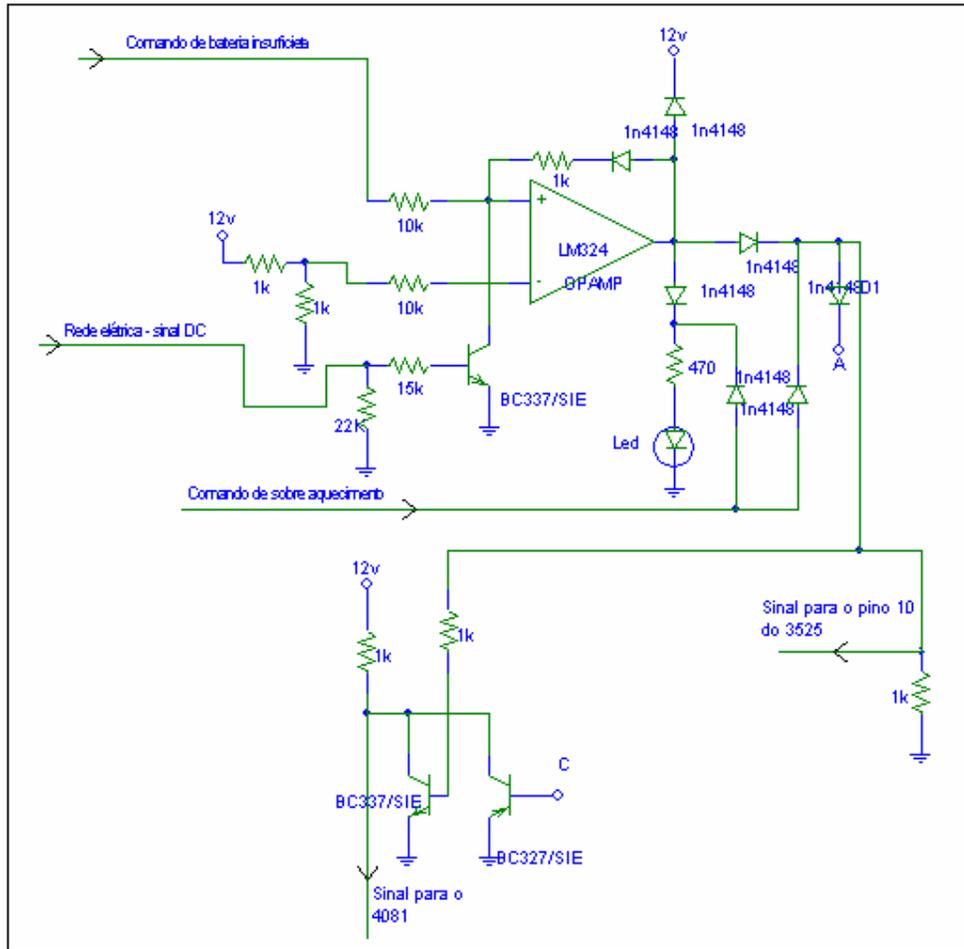


Figura 74 – Circuito bloqueador de pulsos.

Para bloquear os pulsos do conversor DC/DC basta se ter um nível alto no pino 10 do circuito integrado 3525, que este pino já tem a função de inibir os pulsos de sua saída. Já os pulsos do inversor, a lógica feita para inibir os pulsos é baseada em portas lógicas AND, onde em uma entrada tem-se os pulsos e em outra coloca-se nível alto quando deseja-se a presença dos pulsos no inversor ou zero quando se quer inibi-los. Para o inversor também tem-se uma lógica complementar em que os pulsos só são habilitados após o relé de proteção ser comutado.

Para a análise do sinal da bateria insuficiente, é levado em conta também o sinal da rede elétrica. Visto que quando se tem a presença da rede elétrica

mesmo a bateria estando no nível não apropriado, o *no-break* deve funcionar normalmente e conseqüentemente ir carregando-a. Esta análise de bateria é feita através de um comparador com realimentação positiva, que sua saída segue o valor do comando de controle da bateria baixa. A realimentação positiva é essencial afim de que o sistema só volte a funcionar quando ele for desligado e ligado novamente, para que não ocorra uma interpretação errada da carga da bateria, visto que quando se desliga os pulsos e não é mais exigido corrente desta bateria ela tende a subir um pouco sua tensão, porém não o suficiente para voltar a funcionar o sistema.

## **10.5 - Conclusão (Circuito de Proteção e Sinalização Analógico)**

A grande importância das proteções fez com que fossem implementados circuitos que deixassem o sistema mais seguro e confiável. Estes circuitos se mostraram eficientes e obteve-se seu funcionamento adequado às condições desejadas. O funcionamento do *no-break* é interrompido quando necessário.

Neste capítulo também foram apresentadas as sinalizações do sistema, que proporcionam uma interface para ter conhecimento de como está o funcionamento do *no-break*, em relação a quais blocos estão atuando, qual a fonte de energia e como está o nível desta fonte de energia no caso de ser a bateria. As sinalizações demonstraram a real situação do sistema, cumprindo assim o seu propósito.

## **11 - Resultados Experimentais**

### **11.1 - Introdução**

Neste capítulo são apresentadas as formas de onda dos principais elementos que constituem o controle analógico do *no-break* apresentado neste trabalho, e também a saída do sistema.

### **11.2 - Controle do Conversor DC/DC**

Na conversão DC/DC a tensão de 24V é elevada para 260V, ajustada no controle por métodos já mencionados neste trabalho. Os pulsos gerados pelo circuito integrado 3525 determinam esta conversão.

A Figura 75 mostra as características dos pulsos do CI 3525 que controla as chaves do conversor DC/DC.

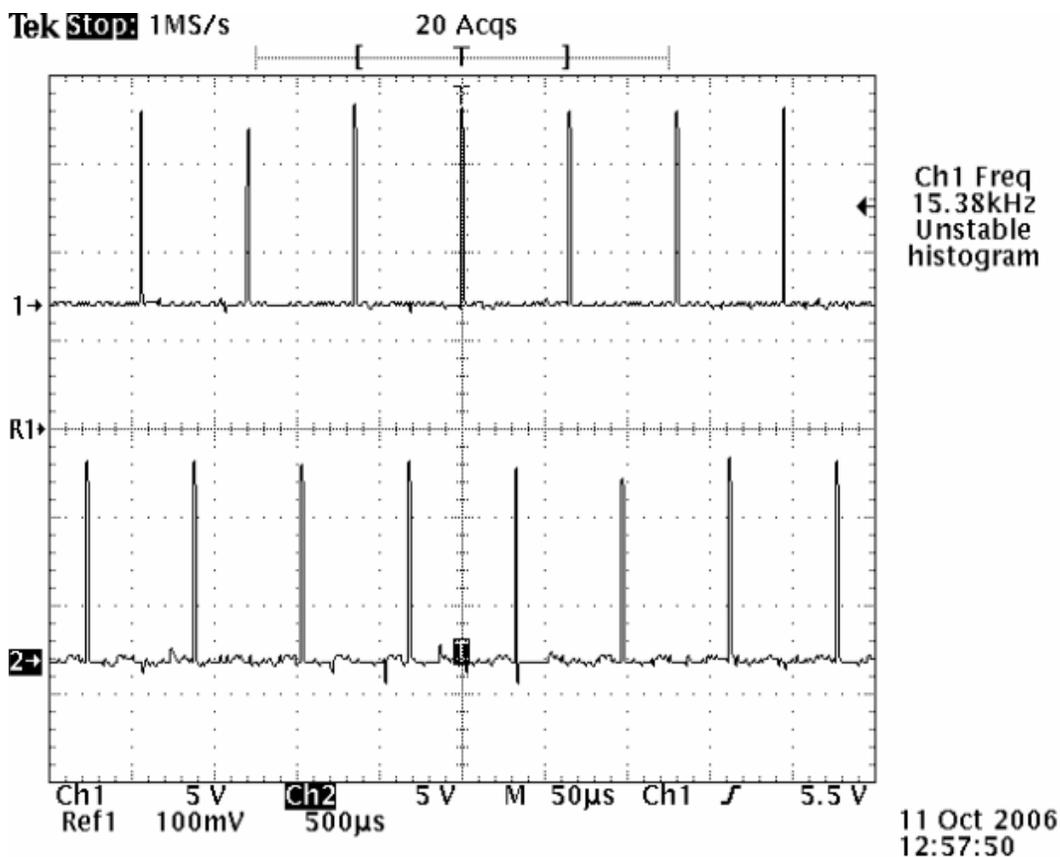


Figura 75 – Pulsos de controle da conversão DC/DC.

São gerados pulsos para os dois conversores que trabalham alternando entre si, portanto os dois sinais são iguais só mantendo uma defasagem de  $180^\circ$  um do outro. Eles têm a amplitude de 10V e estão sintonizados na frequência de pouco mais de 15kHz. A largura dos pulsos depende da necessidade de liberar tensão pelas chaves, deixando-as mais ou menos tempo conduzindo.

A Figura 76 mostra os pulsos gerados pelo circuito responsável pela sintonia do conversor DC/DC com o inversor. Estes pulsos são ligados ao pino 3 do CI 3525 e desta forma se tem a sintonia em frequência entre os pulsos de cada conversor.

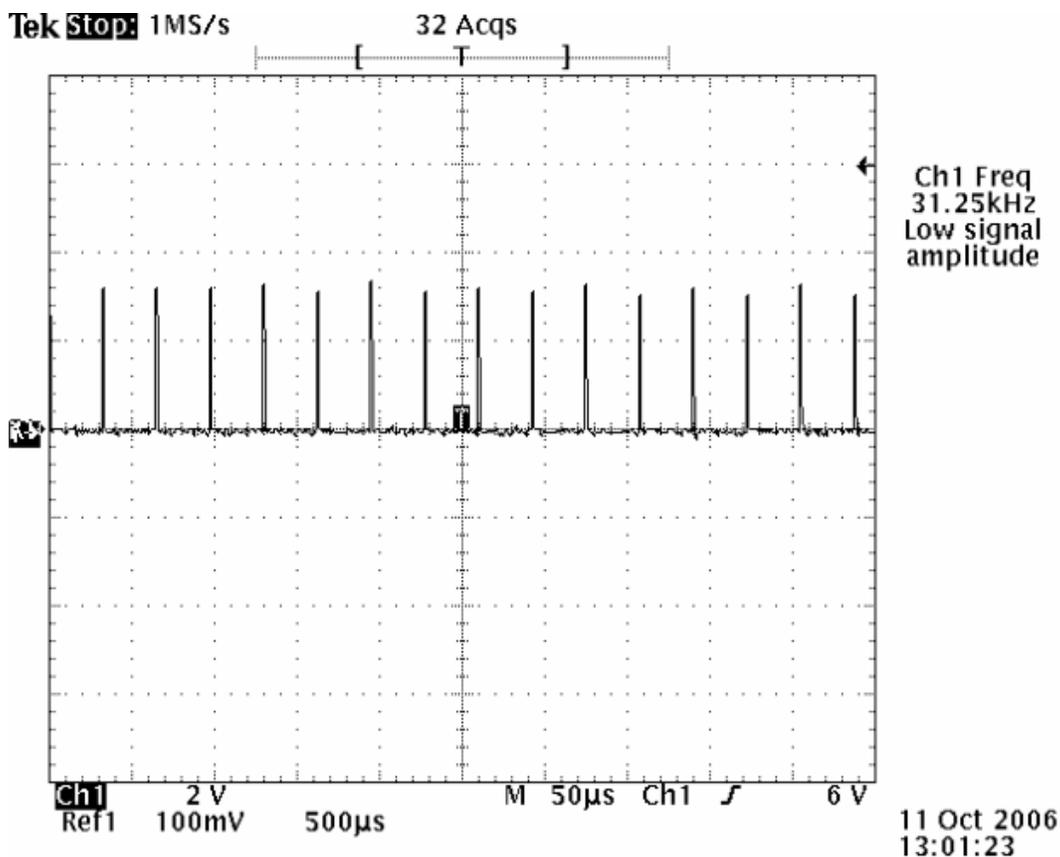


Figura 76 – Pulsos para o sincronismo dos conversores.

### 11.3 - Onda Senoidal

Parte fundamental na modulação dos pulsos do inversor, a onda senoidal deve ter suas características bem definidas e de boa qualidade, para que se tenha uma saída com características semelhantes. E é através dela também que se dá os ajustes que são refletidos na saída.

Na Figura 77 está apresentada a onda senoidal utilizada como referência no controle. Ela possui uma frequência de aproximadamente 60Hz que é a frequência desejada na saída. Seu nível DC está em 6V, que foi o nível de referência no controle para que os sinais alternados não tivessem valores menores que zero. Esta onda foi considerada de boa qualidade para o uso.

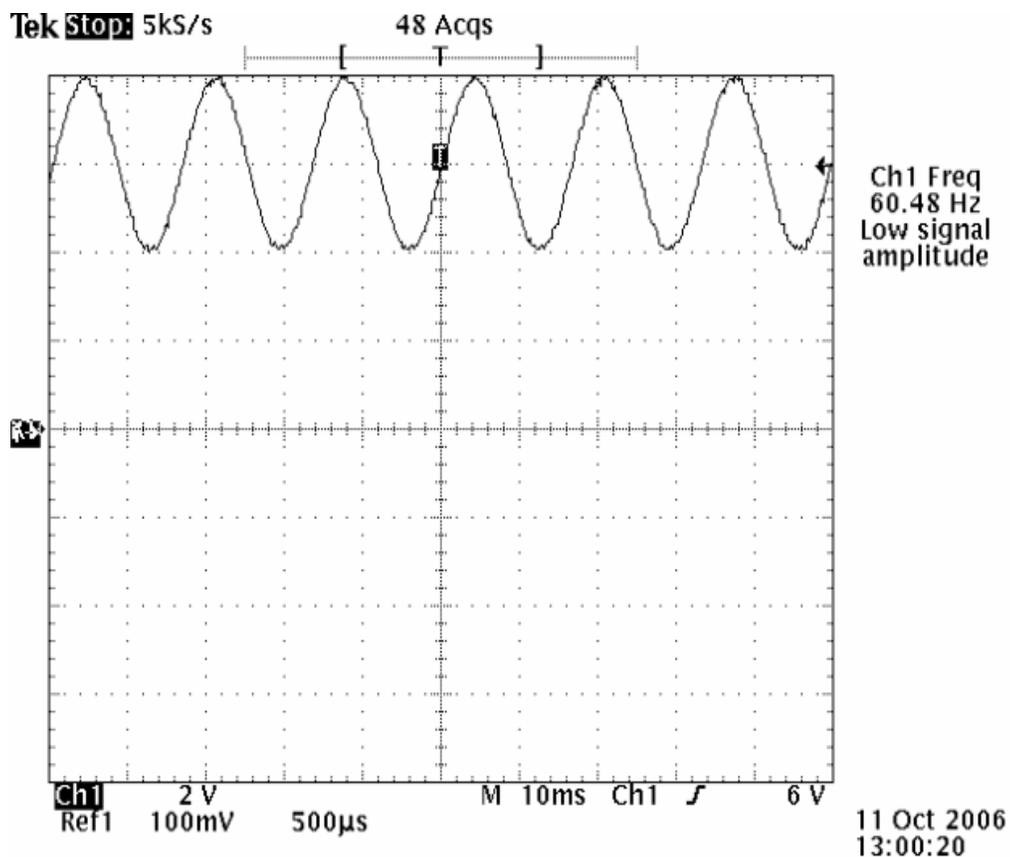


Figura 77 – Onda senoidal de referência.

#### 11.4 - Onda Triangular

A onda triangular é a portadora de alta freqüência no sistema de modulação utilizado. Ela está na freqüência de aproximadamente 30kHz, com amplitude próxima a da onda senoidal e a referência DC, assim como a senóide, está nos 6V. A Figura 78 mostra a onda triangular utilizada como parte deste controle.

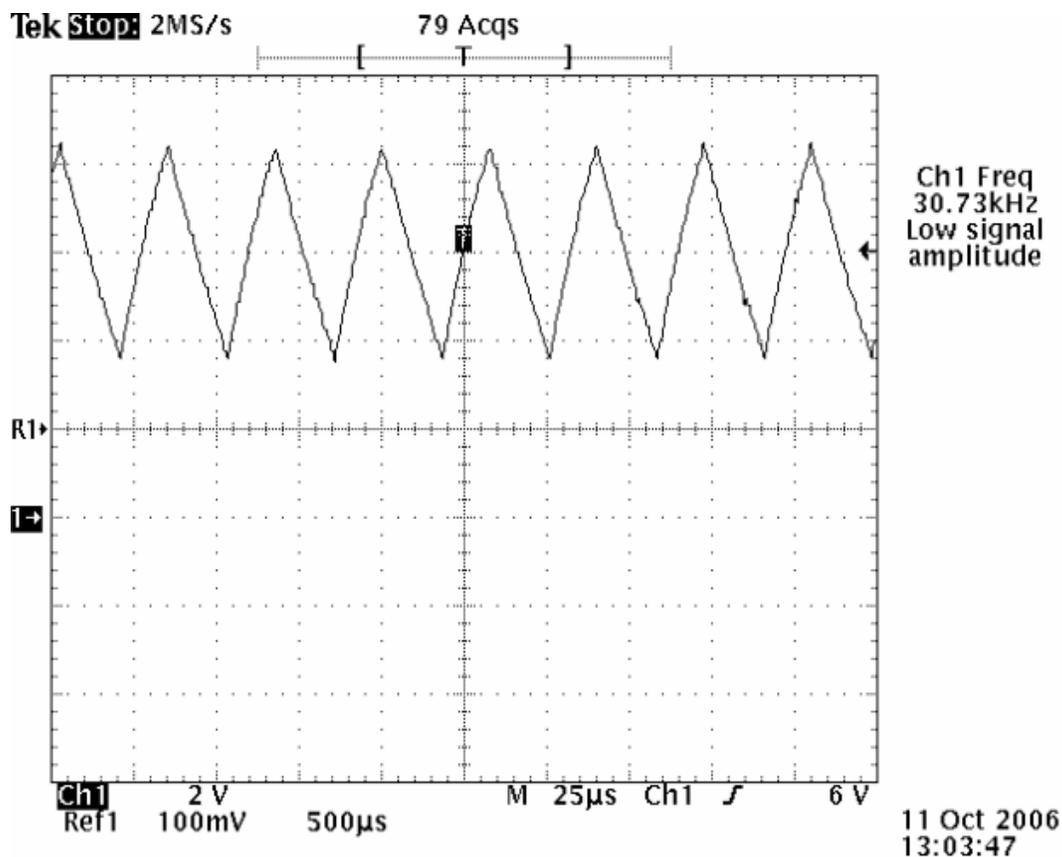


Figura 78 – Onda triangular de alta frequência.

### 11.5 - Pulsos de Chaveamento do Inversor

Os sinais gerados para o controle do inversor possuem pulsos complementares, como já mencionado anteriormente, isto ocorre para que as chaves estejam conduzindo de forma que se alternem entre si. Os pulsos ficam variando sua largura constantemente de acordo com o princípio da modulação PWM senoidal.

A Figura 79 demonstra a modulação PWM senoidal, onde se pode observar as variações da largura dos pulsos de acordo com cada parte da senóide que está sendo constituída.

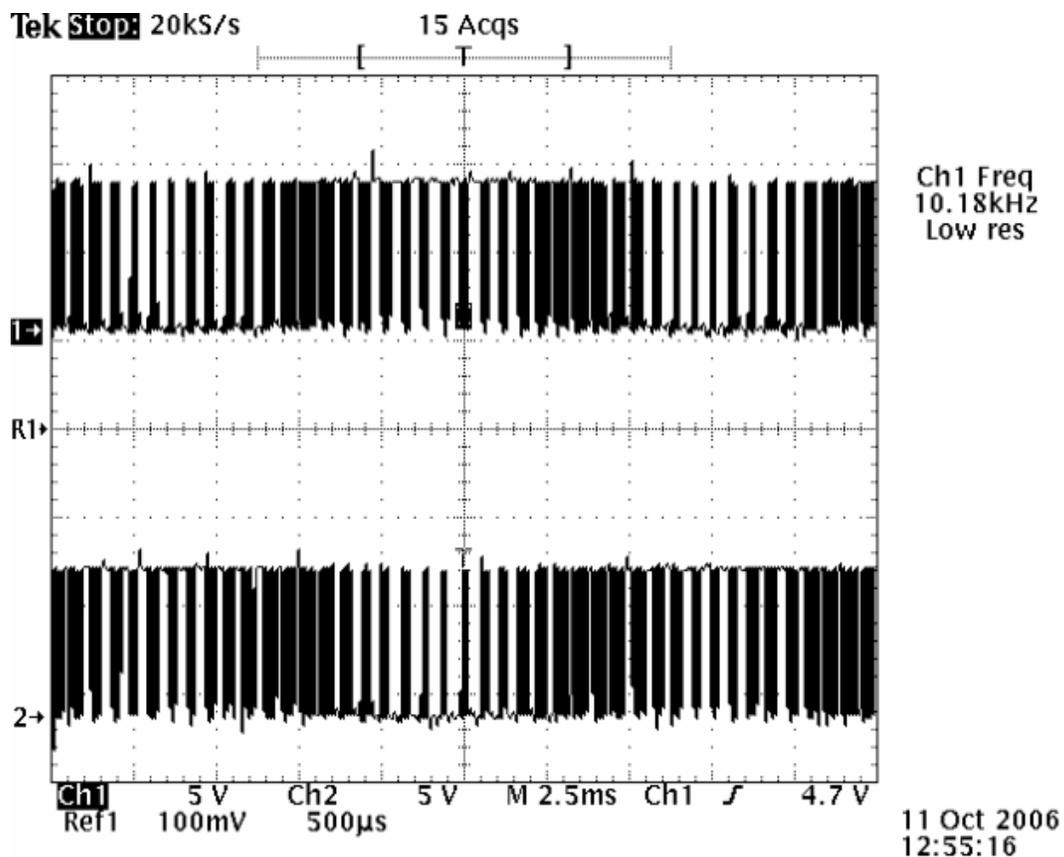


Figura 79 – Pulsos da modulação PWM Senoidal.

As Figuras 80 e 81 mostram os sinais em uma base de tempo menor, sendo possível visualizar melhor as características de cada pulso. Também nota-se de forma clara que os pulsos para cada par de chaves do inversor estão complementares. Estão com uma frequência de aproximadamente 30kHz e uma amplitude de 10V.

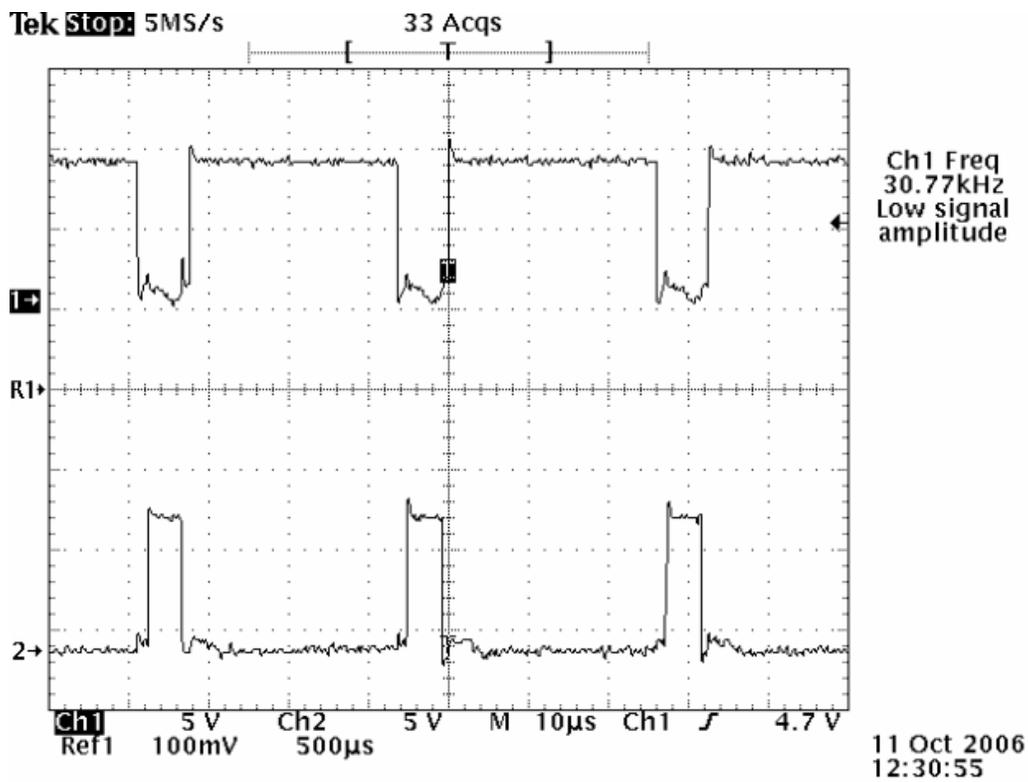


Figura 80 – Pulsos de controle do inversor.

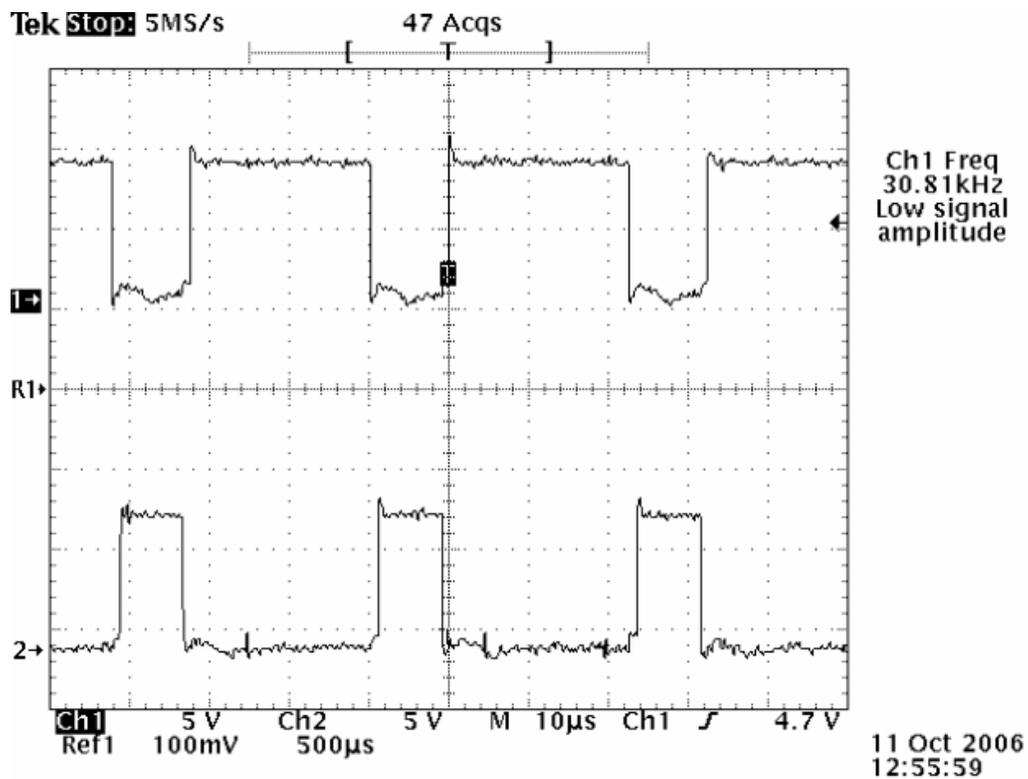


Figura 81 – Pulsos de controle do inversor.

## 11.6 - Forma de Onda na Carga

A forma de onda na carga era o objetivo de toda estratégia de controle. Uma onda senoidal de boa qualidade, com amplitude e frequência nos padrões para a utilização do *no-break* em diversos aparelhos que requerem boa regulagem.

A onda obtida na carga está mostrada na Figura 82. Uma onda senoidal de boa qualidade com seus picos bem regulados com pequenas distorções. A onda está com características semelhantes às da rede elétrica, sua frequência está bem próxima dos 60Hz e sua amplitude tem o valor de 180V, e com isso uma tensão eficaz de aproximadamente 127V, tendo uma pequena queda quando a rede elétrica fica ausente. Esta queda já era prevista em projeto, visto que a tensão do barramento DC é um pouco menor quando alimentado somente pela bateria, a necessidade deste menor valor de tensão no barramento foi explicada no capítulo 8.

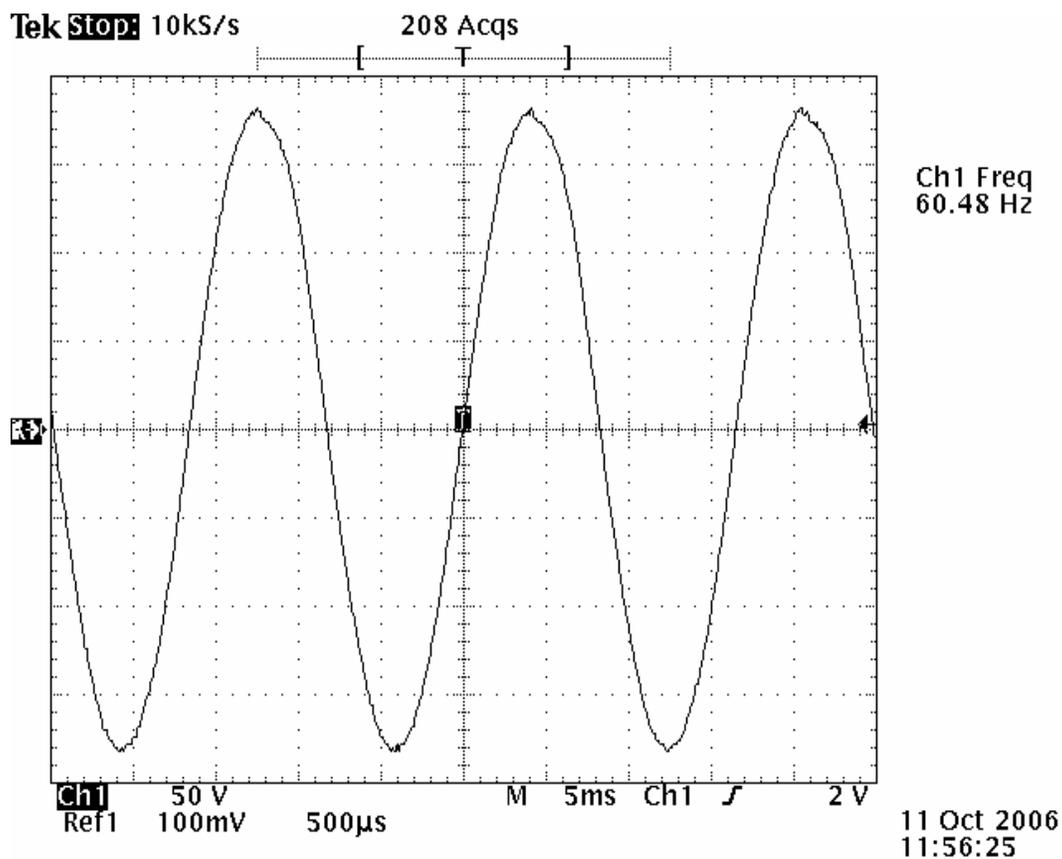


Figura 82 – Forma de Onda na Carga.

## 11.7 - Soft-Start

A suavização de uma onda através do circuito de *soft-start* para evitar danos ao sistema devido a transitórios, pode ser observada neste *no-break*. O *soft-start* foi aplicado na onda senoidal de referência e assim conseqüentemente, se obteve também uma partida suave no sinal de saída.

A Figura 83 mostra o efeito do *soft-start* sobre a onda senoidal de referência.

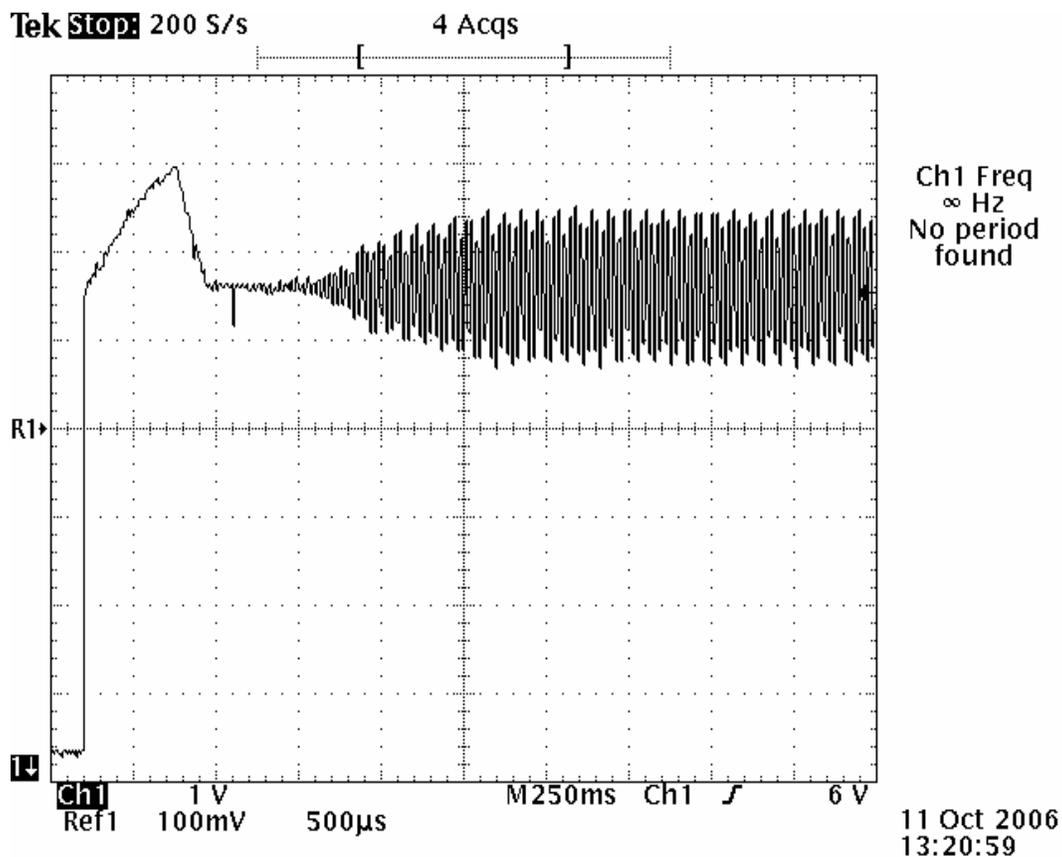


Figura 83 – *Soft-start* da onda senoidal.

O forte transitório que aparece no início desta onda não é refletido para a saída. Isto ocorre devido ao tempo que o circuito gerador de pulsos para o inversor espera para começar a transmitir os pulsos. Tempo este que é definido pelo circuito de comutação do relé, explicado anteriormente.

A Figura 84 apresenta a onda de saída na carga com seu início sob o efeito do *soft-start*, Mantendo uma elevação de amplitude de forma gradativa.

Um pequeno *spike* é observado neste sinal, mas se encontra em padrões aceitáveis para o sistema.

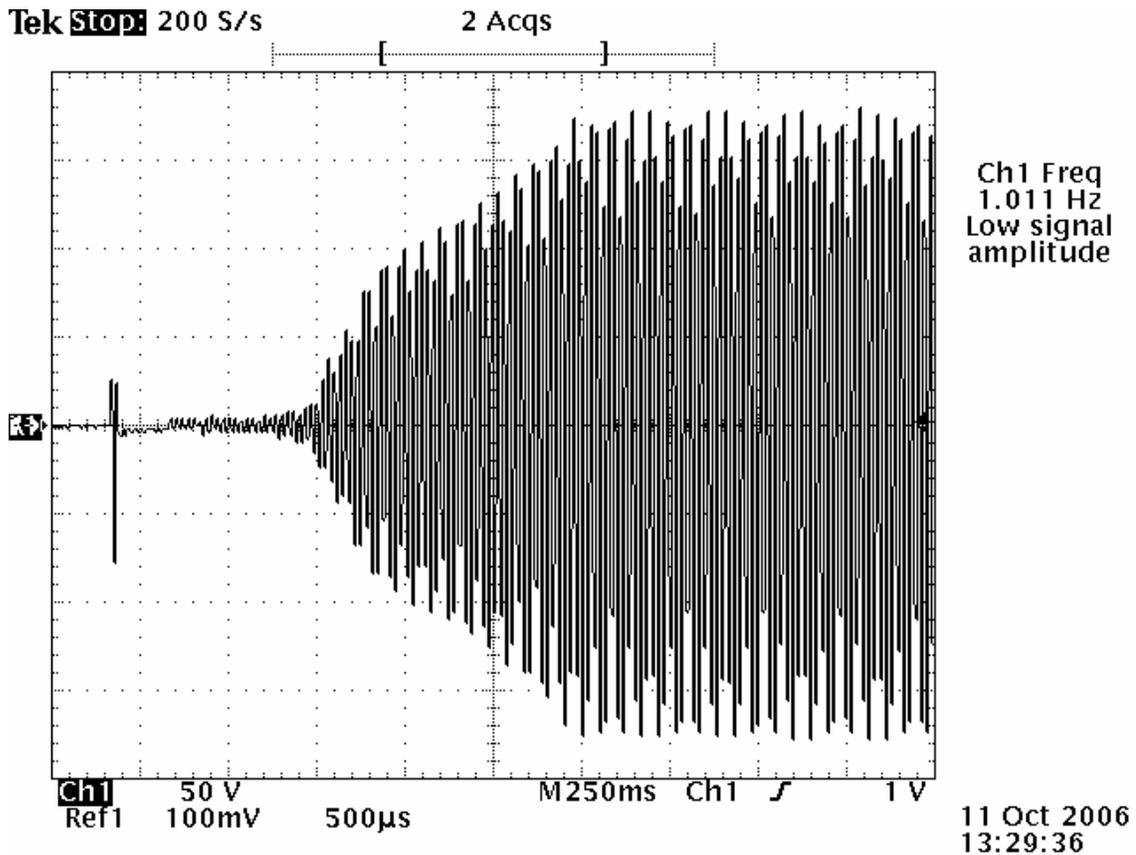


Figura 84 – *Soft-start* da onda na carga.

## 11.8 - Sinal para Comutação do Relé

A Figura 85 mostra o sinal de comutação do relé e o sinal de alimentação do sistema de controle. Desta forma pode-se relacionar um ao outro e observar o tempo que o sinal de disparo leva para passar o zero para nível alto. Este sinal é utilizado em várias partes do controle, como se pode observar nas descrições anteriores.

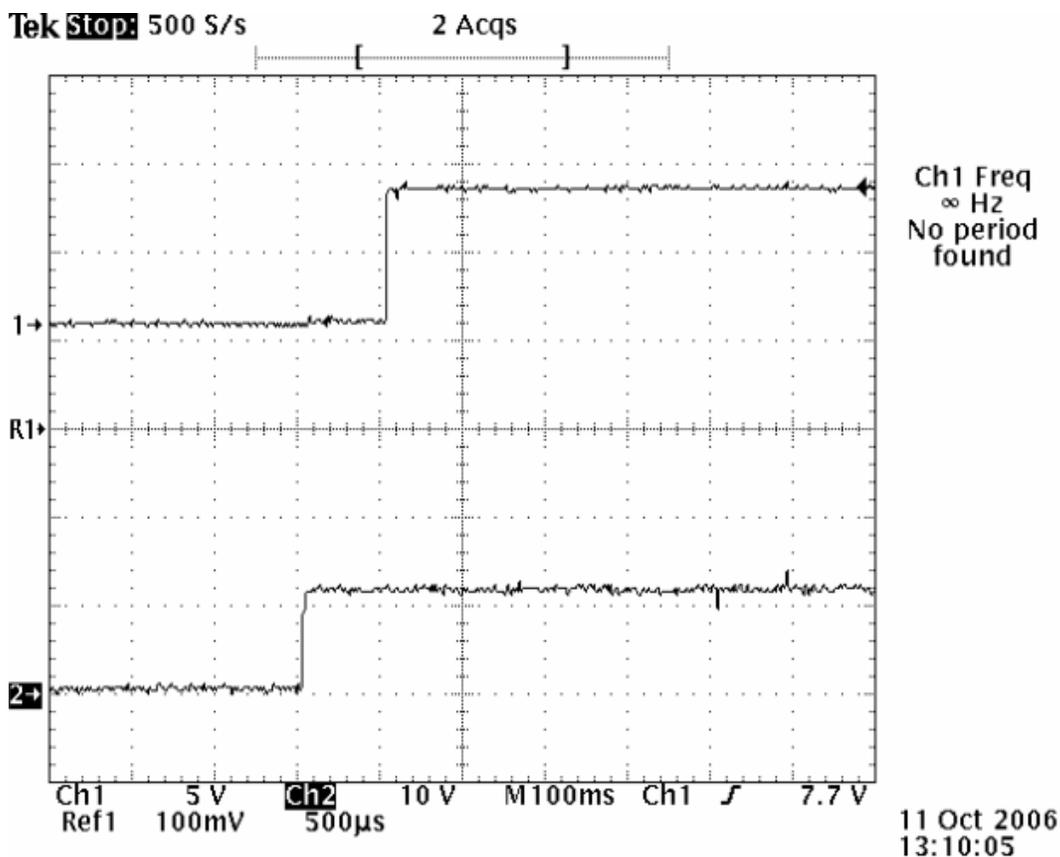


Figura 85 – Comutação do relé em relação a alimentação do sistema.

## 11.9 - Conclusão (Resultados Experimentais)

Neste capítulo foram apresentados os resultados experimentais obtidos nesta etapa do trabalho. Com o *no-break* funcionando de forma integrada foi demonstrado cada forma de onda do seu controle e as formas de onda resultantes da ação deste controle.

Com cada forma de onda pode se ter uma melhor idéia do funcionamento do circuito de cada bloco funcional, e assim com suas interações, gerar cada pulso responsável pelo controle dos conversores.

Também foi observada experimentalmente a ação de todo sistema no contexto de presença da rede elétrica e de sua ausência, tendo o *no-break* um funcionamento de qualidade em ambos os casos. E a estabilidade do sistema no instante da transição destes dois estados.

## 12 - Considerações Finais (Etapa de Controle Analógico)

Nesta etapa do trabalho foi apresentado todo o desenvolvimento e construção do circuito de controle analógico de um *no-break*. A partir do princípio de funcionamento foi traçada uma estratégia de controle e seu desenvolvimento se deu por partes, através de cada bloco funcional. No desenvolvimento também foram sendo efetuados ajustes que só puderam ser detectados na prática com o funcionamento conjunto da placa de potência e o controle analógico do *no-break*.

Chegou-se a um circuito de controle analógico completo, responsável por todo ajuste e controle das funções do *no-break*. O circuito completo está representado no anexo 2, com todas as interligações de todos os blocos funcionais descritos neste trabalho.

Os conversores puderam ser controlados através dos pulsos gerados no controle. As estratégias de modulação dos pulsos foram escolhidas e implementadas com sucesso. Na conversão DC/DC o uso do circuito integrado 3525 otimizou o circuito, além de fornecer recursos de controle que foram bem aproveitados, fazendo com que o resultado da elevação de tensão necessária para o sistema pudesse ser feita de forma adequada e a tensão gerada, ajustada dentro dos padrões de funcionamento do *no-break*.

Já na conversão DC/AC a modulação por largura de pulso senoidal, deu ao inversor uma ótima qualidade de sinal na sua saída, uma onda senoidal de boa qualidade com baixa taxa de distorção, podendo ser utilizada nos diversos aparelhos que exigem uma onda senoidal para o seu funcionamento correto.

As proteções deram ao *no-break* um boa confiabilidade para seu uso, e com elas as alterações ou condições indesejadas não afetam o sistema, ou quando em casos extremos o *no-break* para de funcionar para evitar danos a si e à carga conectada nele. As sinalizações atuaram de forma clara a demonstrar as informações necessárias ao usuário do *no-break*, de como e qual é a situação atual do mesmo.

A continuidade da energia na saída do *no-break* quando se ausenta a rede elétrica ocorreu de forma satisfatória, não sendo sentida pela carga a falta da rede elétrica enquanto a bateria possuir carga suficiente para mantê-la em funcionamento.

Assim o trabalho foi concluído e os objetivos desejados foram alcançados. O protótipo funciona de forma esperada com boa qualidade.

## **13 - Circuito de Controle Digital por DSC**

### **13.1 - Introdução**

O controle digital do conversor permite a implementação de algoritmos mais eficientes e uma maior integração do sistema. Para a implementação do controle digital dos conversores é necessário conhecer alguns conceitos que são apresentados neste capítulo.

Evidencia-se, na literatura atual e em aplicações industriais, o uso cada vez mais freqüente de técnicas de controle digital via microprocessadores no comando e controle de sistemas. Novas técnicas e equipamentos vêm surgindo em todas as áreas do conhecimento humano, na Engenharia Elétrica muitos dos admiráveis utensílios, que facilitam e agilizam a vida, trazem embutidas tecnologias, em que as soluções propostas muitas vezes são extremamente sofisticadas, tornando-as economicamente inviáveis e possivelmente não implementáveis por métodos clássicos da Eletrônica Analógica-Digital. O uso de microprocessadores e DSP's tem viabilizado a operação de sistemas que requerem processamento e controle mais refinados.

Com o avanço nas áreas de controle de processos, novas leis de controle cada vez mais eficientes têm sido estudadas e analisadas, conseguindo-se maior eficiência no controle de equipamentos, porém o preço que se paga é tangente ao custo e à dificuldade de implementação de tais técnicas, ficando, às vezes, as soluções encontradas confinadas a aplicações apenas no campo teórico, por intermédio de simulações. Assim, os microprocessadores, cada vez mais sofisticados e atrativos financeiramente, são hoje notoriamente evidentes em uma grande gama de equipamentos e instrumentos, parecendo tornar-se uma tendência natural a migração para sistemas de controle digital baseados

em microprocessadores. Pode-se citar as seguintes qualidades inerentes ao uso do controle digital:

- Flexibilidade na implementação do controlador dinâmico na malha de realimentação. Atribui-se a flexibilidade ao fato de a lei de controle dar-se por linhas de programação, bastando a reprogramação para se obterem diferentes tipos de controladores ou mesmo para efetuar ajustes no controlador.
- A capacidade de decisão lógica e de armazenamento de dados, característica de sistemas digitais, traz como atrativo a facilidade de incorporação e uso de funções como alarme, o controle de partida suave ou de desligamento do processo, as funções de supervisão dos diversos componentes integrantes do processo, as sinalizações e as tomadas de decisões.
- Menor custo e maior confiabilidade no controle de processos que envolvam a implementação de várias malhas de um processo complexo, já que praticamente se trata do mesmo hardware utilizado para sistemas monovariáveis, pois muitas vezes o sistema já disponibiliza diversas entradas A/D e D/A, podendo-se monitorar sistemas multivariáveis.
- Maior imunidade a ruídos, pelo fato de que, uma vez feitas adequadamente as aquisições dos sinais pertencentes ao sistema, os dados são armazenados na memória e submetem-se apenas às manipulações e transferências internamente no processador, desta forma ficando ele imune a ruídos provocados pelos elementos analógicos do sistema exterior.

Em contrapartida, algumas desvantagens também existem:

- O custo pode tornar-se elevado. Um exemplo seria nas aplicações de controle menos sofisticadas e de baixo custo, em que o processo pode ser controlado com o emprego de controladores convencionais. Em casos como esse, o custo do sistema de controle baseado em processadores pode comprometer o custo final do projeto. Não é muito simples ponderar esses fatores, faz-se necessário observar com mais cuidado o processo a ser controlado,

a fim de evitar desperdícios dos componentes na capacidade de processamento, memória, periféricos, etc.

- Podem tornar-se complexos a análise e o projeto no domínio discreto, visto que existem vários problemas a considerar, tais como erros de quantização, período de amostragem do sinal e a resolução dos conversores A/D e D/A. Quanto ao tipo de microprocessador, também devem ser analisados os seguintes aspectos: ponto fixo ou ponto flutuante, memória necessária, periféricos necessários, noção de lógica, algoritmos e programação.

Em grande parte das aplicações em Eletrônica de Potência, como retificadores, conversores CC-CC, inversores e UPS, necessita-se de controle, supervisão e regulação das variáveis de tensão e corrente, por exemplo. O controle dessas variáveis pode ser realizado através do comando adequado dos interruptores da estrutura de potência em questão. Pode-se citar um método que é normalmente empregado, no qual se tem a variação do tempo de condução dos interruptores em relação ao período de comutação. Esta técnica é chamada de PWM (modulação por largura de pulso) e vem sendo empregada ao longo dos tempos.

Com o avanço tecnológico novos componentes têm sido desenvolvidos no intuito do controle e geração mais simples e econômicos desse tipo de modulação (PWM), entre os meios emergentes, destacam-se componentes eletrônicos desenvolvidos especificamente para esse fim, e o uso cada vez mais freqüente de técnicas digitais microprocessadas.

Mediante o comando adequado, pode-se controlar as estruturas de Eletrônica de Potência. Isso se traduz em diversas aplicações, tais como:

- controle de máquinas;
- fontes de alimentação com alta densidade de potência;
- UPS (*no-breaks*);
- sistemas eletrônicos para iluminação;
- sistemas eletrônicos para o acionamento de motores elétricos;
- unidades retificadoras para telecomunicações;
- carregadores de bateria;
- estabilizadores de tensão;

- sistemas eletrônicos para aquecimento resistivo e indutivo;
- processamento de energia fotovoltaica;

### **13.2 - Microprocessadores, Microcontroladores, DSP's e DSC's**

De uma forma geral, todos são circuitos integrados disponíveis nos mais variados tipos de encapsulamentos e destinados ao tratamento de sinais digitais.

Primeiro vieram os *microprocessadores*, substituindo milhões de transistores nos computadores, que chegavam a ocupar um andar de um prédio e após esta invenção diminuíram consideravelmente de tamanho. São usados principalmente para processamentos complexos e possuem alto custo. Dentre algumas aplicações estão presentes nos microcomputadores pessoais, em aparelhos eletrônicos de uso doméstico e nos equipamentos médicos.

Este circuito integrado não consegue fazer nada sozinho, pois são necessários outros dispositivos externos para que ele se torne útil. É uma memória de programa, que deve conter o programa que será executado pelo microprocessador. Necessita inclusive barramentos entre essa memória e o microprocessador, que são a ligação física entre a memória e o microprocessador (fios ou trilhas). No caso de um barramento de dados de 16bits, haverá 16 fios ou trilhas comunicando os dois. Existe a necessidade também do barramento de endereços, o qual seleciona o endereço em que o dado será lido ou escrito na memória. Desta forma, em um microprocessador deve ser acoplado externamente todo componente necessário para o cumprimento da aplicação.

Os *microcontroladores*, em geral, possuem todos os periféricos necessários em um único chip. Seu tamanho também é muito pequeno, mesmo contendo vários periféricos como: memórias, barramentos, timer's, portas de comunicação, conversores de sinal analógico para digital, etc. Eles possuem desempenho menor que os microprocessadores, mas são ideais em aplicações que necessitam de menores dimensões, tempo e custos.

Este dispositivo é amplamente usado em automação industrial, residencial e predial, eletrodomésticos, brinquedos eletrônicos e em qualquer situação em

que seja necessário o controle de um dispositivo de sinais eletrônicos. Por exemplo, em um elevador, quando alguém aperta um botão para ir até um andar específico, o microcontrolador recebe essa informação como um dado de entrada, interpreta-o e aciona os motores do elevador até aquele andar, pára e abre as portas.

O *processador digital de sinais (DSP)* vem do inglês “Digital Signal Processing” e pode definir tanto o processador quanto o processo em si. Difere dos processadores genéricos na sua arquitetura de hardware, software e no conjunto de instruções otimizado para o tratamento digital de sinais. Esse tipo de tratamento exige um alto desempenho para aplicações numéricas em tempo real, as quais seriam impossíveis de serem realizadas por circuitos analógicos. Além de ser um sistema flexível devido à sua característica de reconfigurabilidade, o DSP oferece inúmeras vantagens em relação a outros sistemas ou dispositivos.

Ele é projetado para realizar diversas manipulações e transformações matemáticas em um conjunto de números extraídos do mundo real (analógico) rapidamente. Os humanos adquirem dados analógicos do mundo real, como o som, as imagens, a temperatura e a intensidade luminosa, processam essas informações para realizar uma série de ações a partir dessa entrada. Tudo isso acontece a todo momento, e denomina-se tempo real .

Os DSP's também operam em tempo real, tratando sinais contínuos, assim como os seres humanos. Para isso é necessário o conversor analógico-digital (A/D), que captura os sinais contínuos da natureza (analógicos) e os transforma em dados digitais discretos. É nessa informação digital que o processador deve efetuar operações complexas que levarão a um novo dado digital que passará por um conversor digital-analógico (D/A), que é entregue ao meio em tempo real.

Para ilustrar essa situação, imagine um processo de filtragem de áudio. O conversor A/D adquire o sinal de áudio e o entrega ao DSP como uma seqüência de amostras individuais (pontos capturados). Para realizar o algoritmo de filtragem em tempo real, o DSP deve efetuar todos os cálculos e operações necessárias para o processamento de cada amostra e entrega-las ao conversor D/A, antes que a próxima amostra seja adquirida.

Enquanto os microcontroladores ou microprocessadores comuns necessitam de vários ciclos de clock para executar uma instrução mais complexa, os DSP's possuem conjuntos de instruções que, em situações especiais, podem executar um bloco de instruções em um ciclo de clock. Esta particularidade associada a outros recursos (acesso direto à memória, conversores A/D e D/A eficientes) torna possível a operação em tempo real. Fica fácil perceber que um dos "gargalos" nesse sistema são os conversores A/D e D/A que devem ter alta taxa de amostragem (aquisição e processamento dos dados) para um resultado satisfatório.

Os primeiros processadores de sinais digitais surgiram na década de 60 e com custos elevados, o que limitava as aplicações à área militar e médica. Foi na década de 80 que os DSP's tornaram-se comerciais, logo determinando produtos como os telefones, modems, sintetizadores de áudio e outros.

Os DSP's possuem algumas características particulares projetadas para habilitar tarefas repetitivas de alta performance. Destas, a mais expressiva talvez seja a habilidade de realizar uma operação de multiplicação e acumulação (denominada normalmente de MAC, Multiply and Accumulate) em um único ciclo de instrução. Essa operação é muito utilizada em aplicações de processamento de sinais digitais em tempo real.

Para alcançar uma operação MAC em único ciclo de clock, os processadores de sinais digitais precisam integrar tanto uma unidade multiplicadora quanto uma acumuladora em seu barramento de dados principal. Esta é a diferença principal, em termos de hardware, entre os microcontroladores e microprocessadores, pois ambos não possuem essas unidades, como mostrado anteriormente. Suas operações de multiplicação são realizadas por somas e deslocamentos sucessivos.

Uma característica interessante dos DSP's é sua capacidade de realocar o espaço não utilizado da memória de programa para uma extensão da memória de dados. Uma vez que o hardware estiver em execução, o programa contido na memória de programa não será alterado, possuindo tamanho fixo, possibilitando facilmente determinar o espaço não utilizado e alocá-lo para outra função.

Atualmente os DSP's são empregados em uma grande variedade de

produtos eletrônicos, mas dominam algumas aplicações mais comuns, como:

- Nas telecomunicações (filtros, compressão, multiplexação e cancelamento de eco);
- No processamento de áudio (gravação em estúdio, sintetizadores, mixers, filtros e reconhecimento de voz);
- No processamento de imagens (principalmente na área médica);
- Na instrumentação e controle (precisão das medidas e controle industrial).

Os *controladores de sinais digitais (DSC)*, são processadores de sinais digitais (DSP), porém esta sigla se refere à aplicação (o processamento de sinais digitais), já a denominação controladores de sinais digitais (DSC) refere-se ao hardware. São denominados controladores de sinais digitais, porque em sua pastilha há outros periféricos além do processador, mas possuem as inovações dos DSPs.

Os controladores de sinais dsPIC da Microchip são dispositivos que absorvem as principais características do mundo dos microcontroladores (o baixo custo e a variedade de periféricos internos), unindo com a arquitetura voltada para o processamento em tempo real dos DSP's, assim, criando uma linha de dispositivos intermediários. Possuem encapsulamentos pequenos, como o formato PDIP, utilizado em matrizes de contato, de 18 pinos, o que não é comumente visto nos DSP's.

São designados para aplicações de áudio e controle de movimentos (motores, encoders, etc.), de forma geral, para as aplicações que os microcontroladores não são capazes de atender. Eles possuem o melhor dos dois mundos dos microcontroladores (tamanho, custo e periféricos internos) e DSP's (velocidade de processamento, MAC).

Após esse detalhamento da unidade central de processamento de um sistema embarcado, sabe-se que esta pode ser considerada uma caixa-preta que realiza o controle de sinais de entrada, saída ou ambos. Esses sinais podem ser de diversas tensões diferentes, pois dependem das especificações da unidade de controle. Geralmente estão agrupados em categorias devido à temperatura do local de trabalho e suas tensões de entrada e saída são:

espacial, militar e de uso geral. Nesta última categoria, as tensões de entrada e saída são em seu geral de 3.3V ou 5V.

O item a ser controlado pode não trabalhar com a tensão de entrada ou saída da unidade de controle, então se utiliza uma interface para realizar a conversação das duas partes.

### **13.3 - Processamento em Tempo Real**

O processamento em tempo real acontece num sistema cujo funcionamento se dá não apenas pela execução correta das operações realizadas pelo processador, mas também por um tempo ideal de processamento dessas operações. Isso quer dizer que, entre o processo de aquisição dos dados e a entrega dos resultados, vai existir um tempo máximo em que o processador deve manipular tais dados. O processamento desses dados deve ser efetuado antes da chegada de novos dados.

Quando se fala em tempo real, não quer dizer que a aquisição, processamento e entrega devem acontecer de forma instantânea. O tempo máximo de processamento vai depender do objetivo do sistema. Apesar disso, o processamento em tempo real geralmente acontece na ordem de milissegundos (ms) ou nanossegundos (ns). Tempo tão curto, que parece que o evento é instantâneo.

As tarefas em sistemas de tempo real são divididas entre tarefas com prazo: rígido (hard deadline) e flexível (soft deadline). Os significados dessas duas tarefas são discutíveis, pois se encontram diversas definições na literatura sobre o assunto. Uma delas fala que o prazo é rígido se uma falha no cumprimento do prazo for fatal ou catastrófica, como em sistemas de controle de voo ou gerenciamento de usinas nucleares. Outra definição para prazo rígido é no caso da ocorrência de falhas que levem o resultado do processamento se tornar inútil. Já para o prazo flexível, considera-se uma falha um erro aceitável de processamento. Esses erros são medidos como qualidade do serviço. Muitos erros correspondem a uma baixa qualidade de serviço.

Esse tipo de processamento geralmente exige grande capacidade

computacional, devido à necessidade da resolução de equações. Os microcontroladores têm dificuldades para executar tal processamento. Assim, essa tarefa fica direcionada aos DSP's, DSC's e processadores de alto desempenho. É possível ainda alcançar esse tipo de processamento usando técnicas de associação de processadores menos velozes, é o chamado processamento distribuído (comumente realizado por uma associação de microcomputadores). É um agrupamento de processadores, que tem um principal (um chefe), que distribui o processamento entre os demais. Realizando um processamento paralelo de funções, diminuindo o tempo de resolução de operações complexas. Não sendo uma solução tão trivial, não é muito adotada, apenas em casos específicos.

### **13.4 - Conversão A/D e D/A**

De um modo geral, os sinais encontrados no mundo real são contínuos (ou analógicos, pois variam no tempo de forma contínua), como, por exemplo: a intensidade luminosa de um ambiente que se modifica com a distância, a aceleração de um carro de corrida, etc.

Os sinais manipulados por computadores e sistemas embarcados são os digitais, por exemplo: um computador processando dados lidos de um drive de CD-ROM, os dados enviados para a tela do monitor, etc.

A conversão analógico-digital (A/D) é o processo que possibilita a representação dos sinais analógicos no mundo digital. Desta forma é possível utilizar os dados extraídos do mundo real para cálculos ou operar seus valores.

Em geral, o conversor A/D está presente internamente nos processadores e controladores de sinais digitais e alguns microcontroladores, mas também existem circuitos integrados dedicados a este fim.

Basicamente é um bloco que apresenta portas de entrada e saída. A entrada recebe sinais elétricos de forma contínua e possui uma faixa de tensão de entrada máxima. Nos microcontroladores que possuem um conversor A/D e operam na faixa de 5V, geralmente a faixa de tensão, aceita sinais elétricos entre [-5V a +5V].

Na saída o sinal é amostrado, a cada intervalo de tempo fixo (determinado pela frequência de amostragem) é disponibilizado um certo valor que representa o sinal original naquele momento (quantização). Estas características estão relacionadas à precisão do conversor.

Para ilustrar essa situação tem-se a Figura 86, imagine que você queira mostrar a temperatura de um forno num display de cristal líquido (LCD). Para isso seriam necessários alguns componentes eletrônicos. Os mais expressivos são: um transdutor (sensor de temperatura), um display de cristal líquido (LCD), um processador digital e um conversor analógico digital.

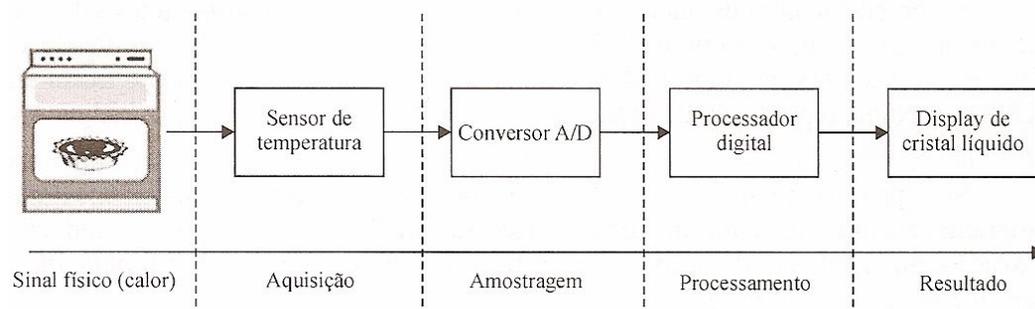


Figura 86 – Diagrama de blocos de uma conversão A/D.

A temperatura é um sinal analógico. O sensor de temperatura converte a temperatura em um sinal de impulsos elétricos analógicos. O conversor A/D recebe esse sinal e o transforma em sinal digital, através da amostragem, entregando ao processador. Este, por sua vez, manipula esses dados e envia-os para o display, mostrando em graus a temperatura do forno. Ainda nesta figura é possível verificar três importantes etapas: a aquisição, a amostragem e o processamento. A Figura 87 mostra a representação daquele sinal analógico e seu equivalente na forma digital.

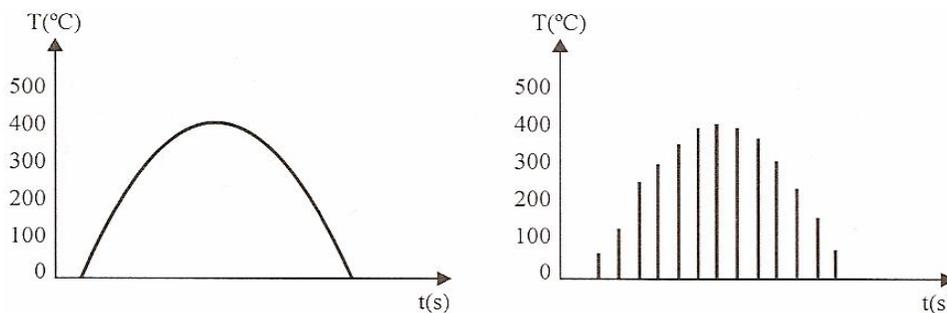


Figura 87 – Representação do sinal analógico e digital.

A informação digital é diferente da sua original contínua em dois aspectos fundamentais:

- É amostrada porque é baseada em amostragens, ou seja, são realizadas leituras em um intervalo fixo de tempo no sinal contínuo;
- É quantizada porque é atribuído um valor proporcional a cada amostra. Explorando um pouco mais o caso do forno, a Figura 88 detalha um pouco mais as três etapas mais importantes do processo, já citadas;

Neste diagrama de blocos, o sinal analógico é capturado pelo transdutor (sensor), em seguida passa por um filtro, denominado de anti-alias, a fim de diminuir os ruídos. A chave representa a freqüência de amostragem do conversor A/D, sincronizado com um clock (relógio). O conversor A/D faz a conversão no sinal entregando ao processador o sinal digitalizado.

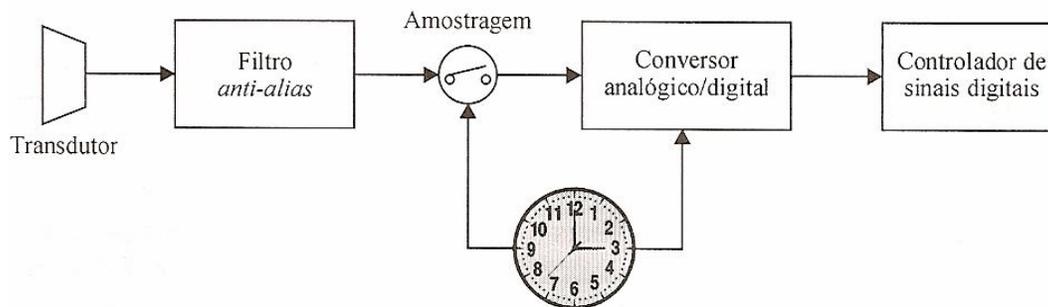


Figura 88 – Diagrama de blocos da conversão A/D.

A freqüência de amostragem é o número de amostras capturadas em um segundo. Esta freqüência é dada em Hertz (Hz) e é considerada adequada quando se pode reconstruir o sinal analógico razoável a partir das amostras obtidas na conversão.

A taxa de conversão ou freqüência de amostragem é de suma importância para o processamento de sinais reais. Para obter uma taxa de amostragem adequada, existe o teorema da amostragem. Ele indica que um sinal contínuo  $x(t)$  pode ser amostrado adequadamente se tiver banda limitada, ou seja, seu espectro de freqüência não pode conter freqüências acima de um valor máximo ( $F_{máx}$  - freqüência máxima). Além disso, outro ponto importante é que a taxa de amostragem ( $F_a$  - freqüência de amostragem) deve ser escolhida

para ser no mínimo duas vezes maior que a frequência máxima ( $F_{\text{máx}}$ ). Por exemplo, para representar um sinal de áudio com frequências até 10kHz, o conversor A/D deve amostrar esse sinal utilizando uma frequência de amostragem ( $F_a$ ) de no mínimo 20kHz.

Para melhor entendimento, vê-se como funciona um conversor A/D de 4 bits (Figura 89).

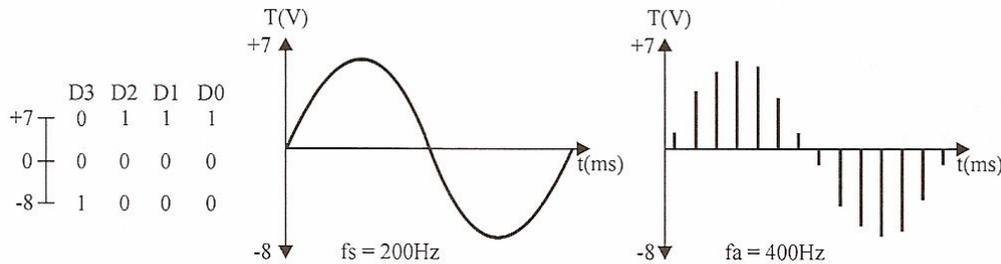


Figura 89 – Conversor A/D de 4 bits.

Com 4 bits o máximo representável é o número 16. Isso quer dizer que tem-se uma faixa de [0 a 15] (não sinalizado) ou [+7 a -8] (sinalizado). Nesse conversor fictício, tem-se uma variação a cada 1 volt. A Figura 89 mostra um sinal de áudio de 200 Hz variando de [+7 a -8] volts, que será capturado por um microfone. Conforme o teorema da amostragem, seria necessária uma frequência de amostragem de 400 Hz.

Lembrando que, se o sinal de áudio possuir amplitude maior que a faixa representável do conversor A/D [+ 7V e -8V], então não seria possível converter tal sinal.

Existe também o conversor digital-analógico (D/A), que possui todas as características do conversor A/D, os quais diferem apenas porque o D/A pega um sinal digital e transforma em analógico. Por exemplo, em uma aplicação de áudio, um microfone captura o áudio e o envia a um conversor A/D, que entrega o sinal amostrado e quantizado a um processador digital. Este último efetua diversas operações com o sinal de áudio. Só então o processador envia ao conversor D/A, para remontar o sinal analógico a partir do sinal digital, para ser reproduzido em um alto-falante.

Um exemplo de circuito integrado comercial dedicado para a conversão

A/D de 16 bits é o ADS1100, e para a conversão D/A de 16 bits é o DAC1221.

### 13.5 - Segurador de Ordem Zero (ZOH)

As variáveis a serem manipuladas digitalmente precisam ser amostradas e convertidas em valores numéricos, uma vez que estas grandezas são de características analógicas. As amostras são atualizadas a cada intervalo de amostragem com a chegada de nova amostra. Dessa forma, precisa-se de dispositivos que possuam a característica de amostrar e segurar o sinal analógico para que não ocorram erros no momento da conversão do sinal analógico em digital por intermédio do conversor A/D. Esse dispositivo chama-se amostrador e retentor de dados (S/H - *sample-and-hold*). Basicamente eles têm a função de coletar as amostras (*sample*) e mantê-las constante (*hold*) durante o intervalo de amostragem e também são utilizados na saída de conversores D/A.

Um dos dispositivos de reconstituição de sinais mais utilizados em controle digital é o ZOH (*zero order hold*), assim chamado devido ao fato de sua saída ser uma interpolação de ordem zero das amostras de entrada. Um dispositivo de S/H pode ser representado por um amostrador ideal seguido de um ZOH.

### 13.6 - Efeito da Amostragem – Aliasing

Normalmente filtros analógicos passa-baixa são colocados antes da amostragem do sinal analógico pelo conversor A/D, sua função é reduzir as componentes de altas frequências no sinal a fim de prevenir o fenômeno chamado de *aliasing*. Esse efeito ocorre em sistemas amostrados, quando um sinal de alta frequência assume a identidade de um sinal de frequência menor.

Para evitar este inconveniente que ocasiona erros de interpretação do sinal amostrado, deve-se respeitar o teorema da amostragem de Shannon, cujo enunciado diz que é possível reconstruir teoricamente um sinal a partir de suas amostras se a frequência de amostragem for maior que 2 vezes a componente de maior frequência contida no sinal amostrado.

Em projetos de controle digital, normalmente colocam-se filtros passa-baixa, chamados filtros *antialiasing*, cuja frequência de corte localiza-se na metade da frequência de amostragem do conversor A/D. Desta forma evita-se

que qualquer componente de frequência elevada seja amostrada e passe a representar uma outra componente de frequência diferente (*aliasing*), podendo prejudicar e interferir na dinâmica das malhas de controle.

### 13.7 - Ponto Fixo e Ponto Flutuante

Uma das primeiras decisões a ser feita em uma aplicação é sobre quando utilizar um processador de ponto fixo ou flutuante. Em geral arquiteturas em ponto flutuante são mais caras que as de ponto fixo, este seria um dos argumentos a favor dos pontos fixos. Outro argumento bastante utilizado refere-se ao fato de que o formato em inteiro é ideal em aplicações reais onde se utilizam conversores A/D e D/A, pois estes normalmente convertem grandezas analógicas em números de ponto fixo e vice-versa.

Entretanto o ponto flutuante permite representar adequadamente escalas com grandes variações, ou seja, permite uma faixa dinâmica maior e ainda melhor precisão por apresentar um número de *bits* mais elevado (em precisão simples na norma IEEE-754 define uma palavra de 32 *bits*). A principal característica na representação em ponto flutuante é que os números não são uniformemente espaçados, no formato mais comum (ANSI/IEEE 754-1985) representam-se os números compreendidos no intervalo de  $\pm 3,4 \times 10^{38}$  à  $\pm 1,2 \times 10^{-38}$ . Desta forma, entre números grandes o incremento pode ser maior, mas na representação entre números muito pequenos, empregam-se espaçamentos pequenos. Esta flexibilidade em representar números pequenos e grandes é a principal vantagem da utilização de números em ponto flutuante. Sendo assim, a aritmética em ponto flutuante traz como benefício principal a facilidade de operação e manipulação em aplicações que requeiram manuseio com diferentes magnitudes numéricas, por exemplo em situações que utilizam excessivas operações de produtos e acumulações, como filtros e controladores digitais. Se utilizar aritmética em ponto fixo, o projetista deverá encarregar-se de se certificar de que a cada operação os valores envolvidos estejam devidamente representados e também deve ser considerada em cada operação a possibilidade de ocorrerem *overflow/underflow* e os erros de arredondamento. Cabe salientar que os problemas ocasionados pelo comprimento finito da palavra utilizada (16, 32 *bits*...) para se representar os

valores numéricos ocorrem em ambas as operações aritméticas, tanto nas de ponto fixo como nas de ponto flutuante.

### 13.8 - Processamento Digital de Sinais

O processamento digital de sinais manipula um sinal digitalizado vindo de um sistema contínuo (analógico) que foi amostrado e quantizado. Após a conversão A/D, um sinal contínuo passa a ser representado por um conjunto de valores numéricos discretos. Sendo assim, mais fácil e conveniente realizar manipulações e transformações matemáticas com esse conjunto de números, do que se eles estivessem no domínio analógico.

Nesse tipo de processamento, observam-se algumas vantagens como a integrabilidade, flexibilidade, repetibilidade, precisão e o processamento de alta complexidade. Como desvantagens pode-se citar a necessidade de utilizar conversor analógico-digital (A/D) e digital-analógico (D/A), filtros anti-alias, limitação em frequência e ruídos de quantização.

Para que seja processado algum sinal digital, é necessário um sinal físico. Também chamado de sinal real, pode-se citar o som, a intensidade luminosa, a temperatura, a pressão atmosférica, etc. Esses sinais são capturados por um transdutor que converte tal sinal físico em sinal elétrico. Desta forma pode-se dividir o processamento digital de sinais nas seguintes etapas: aquisição, amostragem e processamento.

Quanto aos sinais analógicos e digitais, qual a diferença entre eles? Para responder a esta pergunta, analisa-se a Figura 90. Na qual pode-se perceber um gráfico da tensão ( $V$ ) pelo tempo ( $t$ ). Isso representa uma tensão variando no tempo, como, por exemplo, a energia que sai da fonte de um computador. Neste gráfico tem-se a função contínua  $V$  da variável contínua  $t$ , então tem-se um sinal analógico  $V(t)$ .

Representando o mesmo sinal de forma digital, tem-se uma função discreta  $V_k$  da variável discreta amostrada  $t_k$  sendo  $k$  um inteiro ( $V_k = V(t_k)$ ) e representa a iteração durante o processo de amostragem. A Figura 90 mostra o sinal digitalizado.

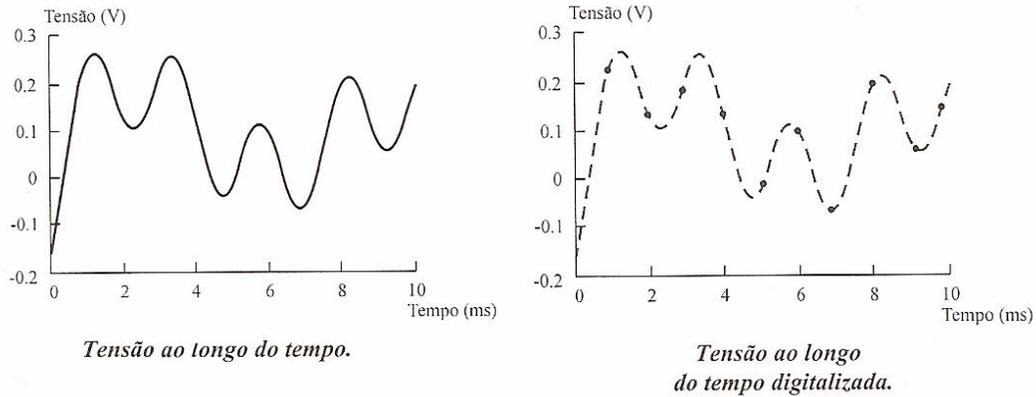


Figura 90 – Sinal digitalizado.

Com o processamento digital de sinais é possível realizar várias ações, como a remoção da média, ampliação do sinal, retificação, normalização no tempo ou na amplitude, na suavização, na derivação e na integração. A Figura 91 ilustra a retificação e amplificação de um sinal de áudio. Estes são os chamados de processamento no tempo. Existe ainda o processamento na frequência e um exemplo típico são as filtragens digitais, que podem ser algoritmos simples até alguns muito complexos.

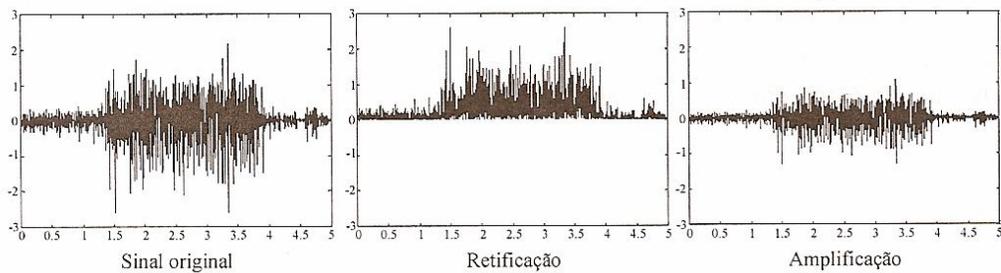


Figura 91 – Retificação e amplificação de um sinal de áudio.

### 13.9 - Planejamento e Projeto de um Software

A engenharia de software é uma área do conhecimento que apresenta técnicas de desenvolvimento de software de uma forma documentada e organizada para suprir todas as suas necessidades, e ter uma maneira sistemática para o desenvolvimento, com o intuito de manter a produção dentro dos prazos e custos estimados.

A engenharia de software tem como finalidade utilizar um conjunto de métodos, técnicas e ferramentas para analisar, projetar e gerenciar o desenvolvimento e a manutenção do software.

Nota-se que o desenvolvimento de um software não é apenas programar desordenadamente, mas desenvolver uma solução minimizando tempo, custo e facilitando as manutenções.

A engenharia de software tem como princípios no desenvolvimento de um software:

- Abstração: levar em consideração os aspectos mais relevantes, ignorando os demais;
- Decomposição: tem como objetivo dividir o problema em vários problemas menores, para facilitar a solução, para controlar a complexidade do software;
- Flexibilização: fornecer ao software a possibilidade de ser alterado sem grandes transtornos no desenvolvimento;
- Formalidade: organizar o desenvolvimento de forma padronizada, seguindo efetivamente o protocolo, para reduzir as inconsistências;
- Generalização: solucionar um problema de maneira genérica para reutilizar em situações semelhantes, minimizando o custo;

Para ilustrar o desenvolvimento de um software, ainda existem os ciclos de vida de software, uma forma de planejar para ter um controle sobre o desenvolvimento e as etapas de produção.

O modelo mais simples é o clássico (também chamado de cascata ou linear) e é o modelo de desenvolvimento mais difundido.

Ele é seqüencial e prevê o retorno à fase anterior, para consertar eventuais inconsistências em resultados produzidos por atividades anteriores. Seu funcionamento é descrito na Figura 92.

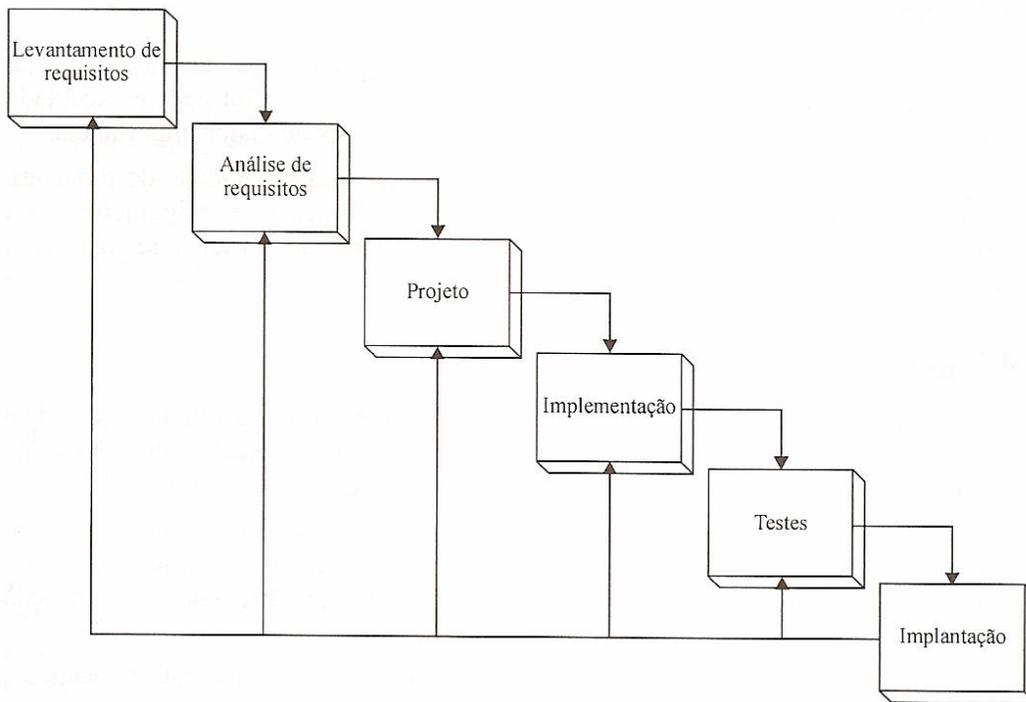


Figura 92 – Ciclo de vida clássico de software.

### 13.10 - Linguagem de Programação C

Linguagem de programação C a qual tem se tornado cada dia mais popular, devido à sua versatilidade e ao seu poder. Uma das grandes vantagens do C é que ele possui tanto características de “alto nível” quanto de “baixo nível”.

A linguagem de programação C foi desenvolvida no início dos anos 70 nos Laboratórios AT&T Bell, nos Estados Unidos. A motivação para que o autor de C, Dennis Ritchie, criasse uma nova linguagem de programação foi o desenvolvimento do sistema operacional Unix. C é uma ferramenta tão básica que praticamente todas as ferramentas suportadas por Unix e o próprio sistema operacional foram desenvolvidas em C.

C acompanhou o ritmo da distribuição do sistema operacional Unix, que foi amplamente divulgado e livremente distribuído na década de 70. Apesar de haver compiladores para linguagens mais “tradicionais” na distribuição Unix, aos poucos C foi ganhando simpatizantes e adeptos. Atualmente, não há dúvidas de que C é uma das linguagens de programação de maior aceitação para uma ampla classe de aplicações.

Um dos grandes atrativos da linguagem C é o balanço atingido entre características próximas da arquitetura de computadores e características de linguagens de programação com alto nível de abstração. O ascendente mais remoto de C, Algol 60, desenvolvida por um comitê internacional, foi uma linguagem que buscava um alto grau de abstração, com estruturas modulares e sintaxe regular. Por Algol ser “abstrata demais”, variantes surgiram que buscavam aproximar aquela linguagem um pouco mais da máquina, tais como CPL (*Combined Programming Language*), desenvolvida na Inglaterra. Esta linguagem era ainda muito complexa, o que dificultava seu aprendizado e a implementação de bons compiladores. BCPL (*Basic CPL*) buscava capturar apenas as características principais de CPL, e B (desenvolvida por Ken Thompson nos Laboratórios Bell, em 1970) levava este objetivo ainda mais adiante. Entretanto, estas linguagens ficaram tão “básicas” que tinham pouca aplicação direta. Ritchie reincorporou algumas características de alto nível à B, tais como suporte a tipos de dados, para criar a linguagem C.

A simplicidade de C não restringe, no entanto, a potencialidade de suas aplicações. Blocos desempenhando tarefas muito complexas podem ser criados a partir da combinação de blocos elementares, e este mecanismo de combinação de partes pode se estender por diversos níveis. Esta habilidade de construir aplicações complexas a partir de elementos simples é um dos principais atrativos da linguagem.

O sucesso de C foi tão grande que diversas implementações de compiladores surgiram, sendo que nem todos apresentavam o mesmo comportamento em pontos específicos, devido a características distintas arquiteturas de computadores ou a “extensões” que se incorporavam à linguagem. Para compatibilizar o desenvolvimento de programas em C, o Instituto Norte-Americano de Padrões (ANSI) criou em 1983 um comitê com o objetivo de padronizar a linguagem. O resultado deste trabalho foi publicado em 1990, e foi prontamente adotado como padrão internacional. Além de padronizar aspectos básicos da linguagem, ANSI-C também define um conjunto de rotinas de suporte que, apesar de não ser parte integrante da linguagem, deve ser sempre fornecido pelo compilador.

## 14 - Dsc Utilizado

### 14.1 - Diagrama de Blocos da Placa de Controle Digital

A Figura 93 mostra o diagrama de blocos da placa de controle digital implementada com suas respectivas sinalizações, proteções e alimentação.

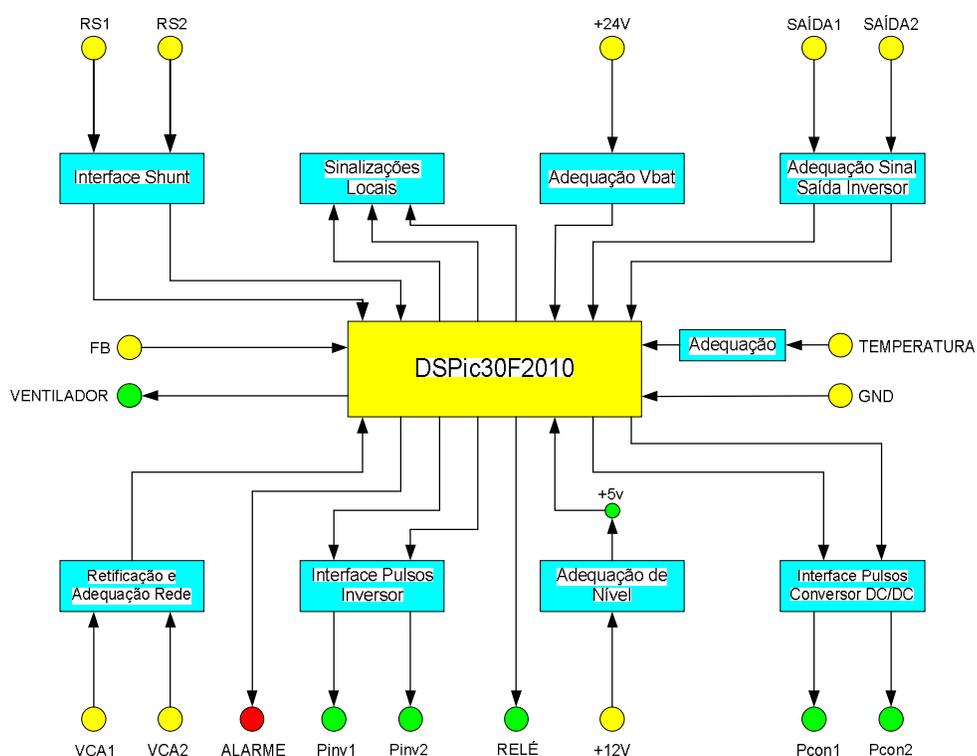


Figura 93 – Diagrama de blocos da placa de controle digital.

Como pode-se observar no diagrama de blocos da Figura 93, o DSC utilizado foi o DSPic30F2010 fabricado pela Microchip que é um DSC de 28

pinos, onde pode-se escolher ainda entre os modelos de encapsulamentos DIP e PLCC, neste projeto optou-se pelo modelo DIP devido a facilidade de construção da placa e flexibilidade na troca do chip em caso de defeito.

No diagrama de blocos apresentado na Figura 93, pode-se observar que os sinais que entram na placa estão representados na cor amarela e possuem uma seta indicando esta entrada, já os sinais que são enviados pelo DSC (sinais de saída) estão representados na cor verde e possuem uma seta indicando este sentido, com exceção do sinal de alarme que está representado na cor vermelha devido a urgência desta sinalização.

Os sinais de entrada RS1 e RS2 do bloco interface *shunt*, são os sinais de amostragem da corrente de saída do circuito inversor de tensão que é retirado de um resistor *shunt* montado na placa de potência, como visto anteriormente este *shunt* é de liga de constantan.

O bloco sinalizações locais é o responsável por sinalizar as condições de carga da bateria, a ausência de rede elétrica e o bloqueio dos pulsos PWM por temperatura alta.

O sinal +24V no bloco adequação  $V_{bat}$  é um sinal de amostragem do nível de tensão atual da bateria, onde neste bloco este sinal sofre uma adequação de nível para a leitura do DSC através de uma entrada analógica.

Os sinais saída1 e saída2 é uma amostragem da tensão de saída do inversor, onde ainda na placa de potência sofre uma atenuação e na placa de controle digital no bloco adequação sinal saída inversor é adequado aos níveis de sinal para entrada analógica do DSC.

O sinal de temperatura é proveniente de um sensor de temperatura NTC que está localizado na placa de potência referenciado ao terra do circuito, este sinal na placa de controle digital é colocado em série com um resistor referenciado para +5V e ligado na entrada analógica responsável por esta leitura. Este sinal de temperatura é responsável por duas ações, primeiro acionar um ventilador na placa de potência e se a temperatura continuar aumentado o DSC bloqueia os pulsos PWM do conversor DC/DC e também os pulsos PWM do inversor.

O sinal GND é o ponto comum (terra) para todos os potenciais da placa de controle digital.

O bloco interface pulsos conversor DC/DC recebe os sinais PWM enviados pelo DSC e faz a amplificação destes pulsos para 12V, visto que o DSC envia estes sinais com amplitude 5V, para daí então disparar os *gates* dos MOSFET's dos conversores DC/DC na placa de potência.

O sinal +12V passa pelo bloco adequação de nível, que é o responsável por gerar +5V para alimentação do DSC e referência para comparações.

O sinal de saída relé é um sinal com amplitude +5V de uma saída digital do DSC, que quando o sistema é iniciado (ligado) após um tempo implementado no software libera este sinal que é enviado para a placa de potência para saturar um transistor NPN e energizar o relé responsável pelo *soft-start*.

O bloco interface pulsos inversor, recebe do DSC os pulsos PWM para acionar os *gates* dos MOSFET's da ponte inversora Pinv1 e Pinv2 e faz a amplificação destes sinais para +12V como no caso dos conversores DC/DC.

O sinal de alarme tem amplitude +5V e vai para a placa de potência, onde satura um transistor NPN e desta forma aciona um *buzzer* que irá indicar uma situação de falta de rede elétrica e sua frequência de bip's será alterada conforme a bateria vai se descarregando, visto que sem rede elétrica a bateria que é responsável em alimentar o circuito inversor pelo seu tempo de autonomia.

Este sinal que corresponde a falta de rede elétrica, sai do DSC nesta condição e habilita um circuito analógico que determina a frequência dos bip's, isto não foi implementado via software no DSC por falta de saídas digitais, assim como para os led's de sinalização do nível de carga da bateria.

Os sinais VCA1 e VCA2 são provenientes de um pequeno transformador localizado na placa de potência, quando chegam na placa de controle digital estes sinais são retificados, filtrados e adequados aos níveis de entradas analógicas do DSC, tudo isso é realizado pelo bloco retificação e adequação rede, neste circuito é utilizado um diodo zener para grampear o sinal em 4V7.

O sinal de saída ventilador é proveniente de uma saída digital do DSC e tem a função de saturar um transistor NPN na placa de potência para alimentar um ventilador (*cooler*) na ocorrência de temperatura elevada enquanto esta permaneça fora dos níveis normais.

Por último tem-se o sinal de entrada FB, que é um sinal de amostragem da tensão de saída dos conversores DC/DC utilizado para fazer o fechamento da malha por tensão e conseqüentemente o controle automático da largura dos pulsos PWM destes conversores.

## 14.2 - Características do DSC Utilizado (DSPic30F2010)

A seguir são apresentadas as principais características do DSPic30F2010:

Dentre as diversas vantagens desta família pode-se citar as principais:

1. MCU de 16 bits;
2. Poder de processamento de um DSP, utilizando a arquitetura e instruções dedicadas;
3. A idéia da Microchip é desenvolver ferramentas de suporte para simplificar as aplicações sem a necessidade de muita base matemática. Um exemplo é o software para projeto de filtros que já gera o código C ou *assembler* e os AN;
4. O preço deve ser equivalente aos microcontroladores da família 18;
5. Tecnologia de 0,4 $\mu$ ;
6. Não possui tecnologia NanoWatt;
7. 84 instruções;
8. 86% das instruções são executadas em 1 ciclo de máquina (algumas instruções como divisão especial em 18 ciclos);
9. Velocidade de processamento: 30MIPS máximo, nominal: 20 MIPS;
10. Processamento em inteiro ou ponto fixo fracionário 1.15, ambos sinalizados ou não sinalizados;
11. Alimentação 2,5 a 5,0V;

12. Flexibilidade de *clock* que possui PLL, divisor de frequência, RC interno e possibilidade de oscilação por cristal do timer1;
13. Maior velocidade de *wake-up*, pois quando o oscilador é RC acorda imediatamente. Já com cristal demora alguns ciclos de máquina para acordar, o que pode demorar alguns ms;
14. A/D de 10 bits a 500ks ou 12 bits a 100ks. Amostragem simultânea de 4 canais e conversão individual a 500ks o que reduz o frequência a 125ks;
15. Conversão automática fazendo *pooling* dos canais e resultado em *buffer* de 16 *words*;
16. O resultado da conversão pode ser escolhido entre inteiro sinalizado ou não e ponto fixo 1.15 sinalizado ou não;
17. A/D pode ser atualizado em sincronismo com o PWM;
18. RAM 32kx16bits;
19. EEPROM 1k a 4k 16 bits;
20. Memória de programa de 64kb ou até 4Mb externa – barramento de programa = 24 bits;
21. 16 registradores W de 16 bits. Alguns são mapeados para operações de DSP. W15 = stack pointer;
22. Program counter = 23 bits;
23. *Stack* é feito em ram, ou seja, a limitação da pilha depende da ram;
24. Multiplicação 17 x 17 bits;
25. 2 acumuladores 40 bits;
26. 2 registradores status (DSP status e MCU status);
27. Buffer circular (filtros digitais);
28. Bit reverse (FFT). O TMS320LF240 demora 74% a mais que o dsPIC para calcular uma FFT;
29. Instruções DO e REPEAT;
30. WDT de 2ms a 16s com 1% de precisão;
31. Proteção contra falha no cristal, (Main clock failure, o dsPIC chaveia para o oscilador interno);
32. Cada interrupção tem o seu vetor de interrupção, não sendo necessário checar os bits. Interrupções de Trap (falhas no

- oscilador, execução de programa em região inválida para ICD, tentativa de escrita em área protegida, divisão por zero e outros);
33. 50 fontes de interrupções, com 7 níveis de prioridade;
  34. Instrução DISI desliga interrupções por N ciclos de máquina para escrever em EEPROM interna, por exemplo;
  35. Proteção da memória. Como o componente pode se auto-programar, se o dsPIC tentar gravar em uma área de memória protegida, uma interrupção de *Trap* é gerada;
  36. *Bootloader*;
  37. A gravação do componente é feita em blocos de 16 bytes e demora 2ms. O tempo total de gravação fica em torno de 5 a 15 segundos;
  38. *Timers* de 16 bits, mas podem ser cascadeados para gerar timer de 32 bits;
  39. Recursos novos no módulo capture para gerar interrupção a cada 4 captures e outros;
  40. Entrada para leitura de 3 *Encoders* de quadratura, direto de motores, para controle de posição/velocidade;
  41. 8 PWM's simples ou 4 complementares, com *dead-band*. Pode ser selecionado PWM tipo *edge* (todos os pwm's sobem ao mesmo tempo), *singe event* (usado para correção de fator de potência) ou *center* (nenhum pwm sobe ao mesmo tempo, ideal para chaveamento de pontes);
  42. pino de *shutdown* do pwm por hardware para eliminar falha de chaveamento;
  43. até 2 UART's com 4 bytes de pilha cada;
  44. I2C *multi-master*;
  45. Leitura de CODEC por hardware;
  46. 2 CAN;
  47. Dividido em 3 famílias: para motores, sensores e uso geral;
  48. Compilador C30 da Microchip;
  49. No Mplab, recurso "*Visual Initializer*" na opção TOOL para configuração do componente em diagrama de blocos;

50. Software da *Momentum Data System* para projeto de filtros digitais;
51. Instrução PWRSAV: em modo *idle*, cpu pára, mas *clock* não. Em modo *sleep*, é possível acordar por oscilador interno, muito mais rápido que o externo;
52. Interrupção de “*low voltage detection*”;
53. São disponibilizadas famílias de 8, 18, 28 e 40 pinos DIP, além das versões SMD;

#### Pin Diagrams

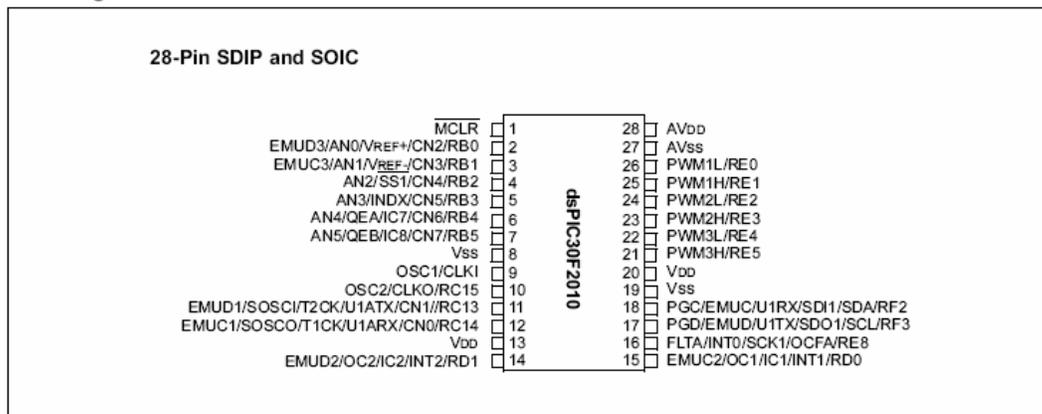


Figura 94 – Pinos DSPic30F2010 28-Pin SDIP.

As funções de cada um destes pinos é a seguinte:

Tabela 6: Funções dos pino do DSPic30F2010

Pin Name	Pin Type	Buffer Type	Description
AN0-AN5	I	Analog	Analog input channels.
AVDD	P	P	Positive supply for analog module.
AVSS	P	P	Ground reference for analog module.
CLKI CLKO	I O	ST/CMOS —	External clock source input. Always associated with OSC1 pin function. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLKO in RC and EC modes. Always associated with OSC2 pin function.
CN0-CN7	I	ST	Input change notification inputs. Can be software programmed for internal weak pull-ups on all inputs.
EMUD EMUC EMUD1 EMUC1 EMUD2 EMUC2 EMUD3 EMUC3	I/O I/O I/O I/O I/O I/O I/O I/O	ST ST ST ST ST ST ST ST	ICD Primary Communication Channel data input/output pin. ICD Primary Communication Channel clock input/output pin. ICD Secondary Communication Channel data input/output pin. ICD Secondary Communication Channel clock input/output pin. ICD Tertiary Communication Channel data input/output pin. ICD Tertiary Communication Channel clock input/output pin. ICD Quaternary Communication Channel data input/output pin. ICD Quaternary Communication Channel clock input/output pin.
IC1, IC2, IC7, IC8	I	ST	Capture inputs. The dsPIC30F2010 has 4 capture inputs. The inputs are numbered for consistency with the inputs on larger device variants.
INDX QEA QEB	I I I	ST ST ST	Quadrature Encoder Index Pulse input. Quadrature Encoder Phase A input in QE1 mode. Auxiliary Timer External Clock/Gate input in Timer mode. Quadrature Encoder Phase A input in QE1 mode. Auxiliary Timer External Clock/Gate input in Timer mode.
INT0 INT1 INT2	I I I	ST ST ST	External interrupt 0 External interrupt 1 External interrupt 2
FLTA PWM1L PWM1H PWM2L PWM2H PWM3L PWM3H	I O O O O O O	ST — — — — — —	PWM Fault A input PWM 1 Low output PWM 1 High output PWM 2 Low output PWM 2 High output PWM 3 Low output PWM 3 High output

Pin Name	Pin Type	Buffer Type	Description
MCLR	I/P	ST	Master Clear (Reset) input or programming voltage input. This pin is an active low Reset to the device.
OCFA OC1-OC2	I O	ST —	Compare Fault A input (for Compare channels 1, 2, 3 and 4). Compare outputs.
OSC1 OSC2	I I/O	ST/CMOS —	Oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise. Oscillator crystal output. Connects to crystal or resonator in Crystal Oscillator mode. Optionally functions as CLK0 in RC and EC modes.
PGD PGC	I/O I	ST ST	In-Circuit Serial Programming data input/output pin. In-Circuit Serial Programming clock input pin.
RB0-RB5	I/O	ST	PORTB is a bidirectional I/O port.
RC13-RC14	I/O	ST	PORTC is a bidirectional I/O port.
RD0-RD1	I/O	ST	PORTD is a bidirectional I/O port.
RE0-RE5, RE8	I/O	ST	PORTE is a bidirectional I/O port.
RF2, RF3	I/O	ST	PORTF is a bidirectional I/O port.
SCK1	I/O	ST	Synchronous serial clock input/output for SPI™ #1.
SDI1	I	ST	SPI #1 Data In.
SDO1	O	—	SPI #1 Data Out.
SS1	I	ST	SPI #1 Slave Synchronization.
SCL	I/O	ST	Synchronous serial clock input/output for I <sup>2</sup> C.
SDA	I/O	ST	Synchronous serial data input/output for I <sup>2</sup> C.
SOSCO	O	—	32 kHz low power oscillator crystal output.
SOSCI	I	ST/CMOS	32 kHz low power oscillator crystal input. ST buffer when configured in RC mode; CMOS otherwise.
T1CK	I	ST	Timer1 external clock input.
T2CK	I	ST	Timer2 external clock input.
U1RX U1TX U1ARX U1ATX	I O I O	ST — ST —	UART1 Receive. UART1 Transmit. UART1 Alternate Receive. UART1 Alternate Transmit.
V <sub>DD</sub>	P	—	Positive supply for logic and I/O pins.
V <sub>SS</sub>	P	—	Ground reference for logic and I/O pins.
V <sub>REF</sub> +	I	Analog	Analog Voltage Reference (High) input.
V <sub>REF</sub> -	I	Analog	Analog Voltage Reference (Low) input.

Tabela 7: Características do DSPic30F2010

**dsPIC30F Motor Control and Power Conversion Family\***

Device	Pins	Program Mem. Bytes/Instructions	SRAM Bytes	EEPROM Bytes	Timer 16-bit	Input Cap	Output Comp/Std PWM	Motor Control PWM	A/D 10-bit 500 Ksps	Quad Enc	UART	SPI™	I <sup>2</sup> C™	CAN
dsPIC30F2010	28	12K/4K	512	1024	3	4	2	6 ch	6 ch	Yes	1	1	1	—
dsPIC30F3010	28	24K/8K	1024	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	—
dsPIC30F4012	28	48K/16K	2048	1024	5	4	2	6 ch	6 ch	Yes	1	1	1	1
dsPIC30F3011	40/44	24K/8K	1024	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	—
dsPIC30F4011	40/44	48K/16K	2048	1024	5	4	4	6 ch	9 ch	Yes	2	1	1	1
dsPIC30F5015	64	66K/22K	2048	1024	5	4	4	8 ch	16 ch	Yes	1	2	1	1
dsPIC30F6010	80	144K/48K	8192	4096	5	8	8	8 ch	16 ch	Yes	2	2	1	2

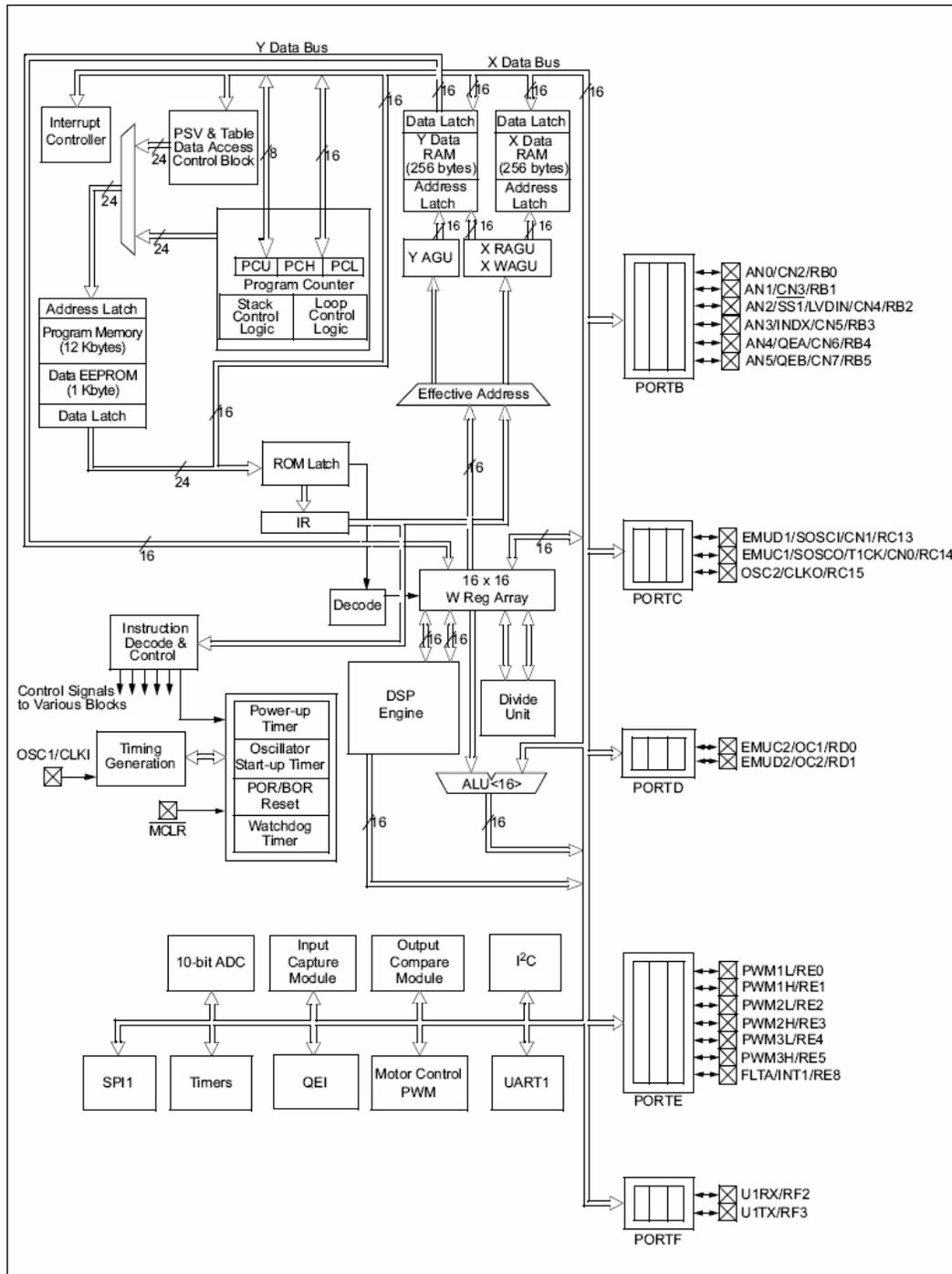
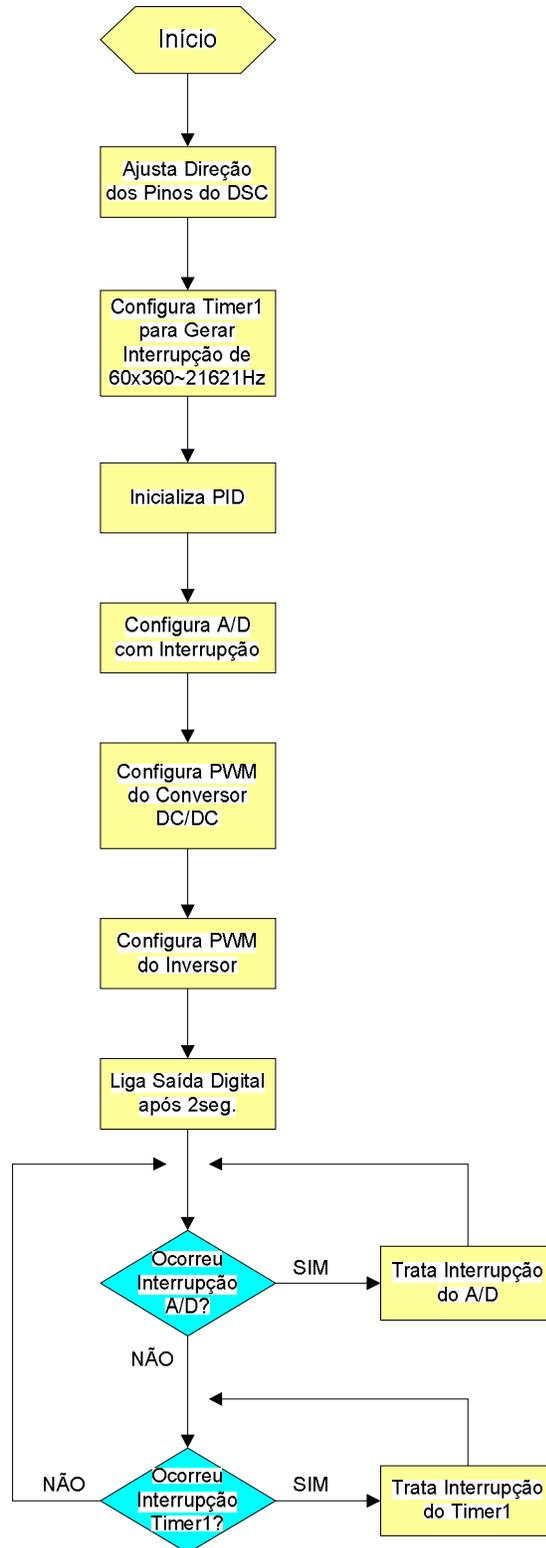


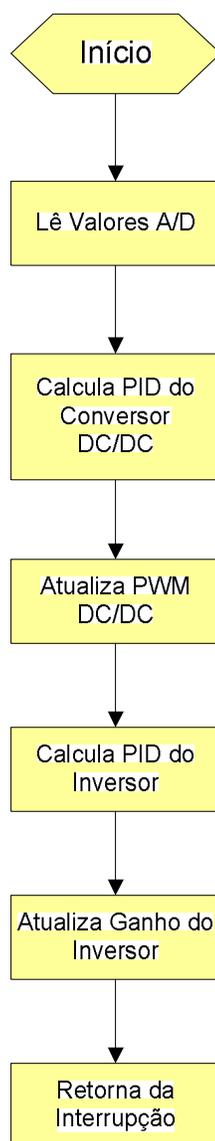
Figura 95 – Diagrama de blocos do DSPic30F2010.

### 14.3 - Fluxograma do Programa (DSPic30F2010)

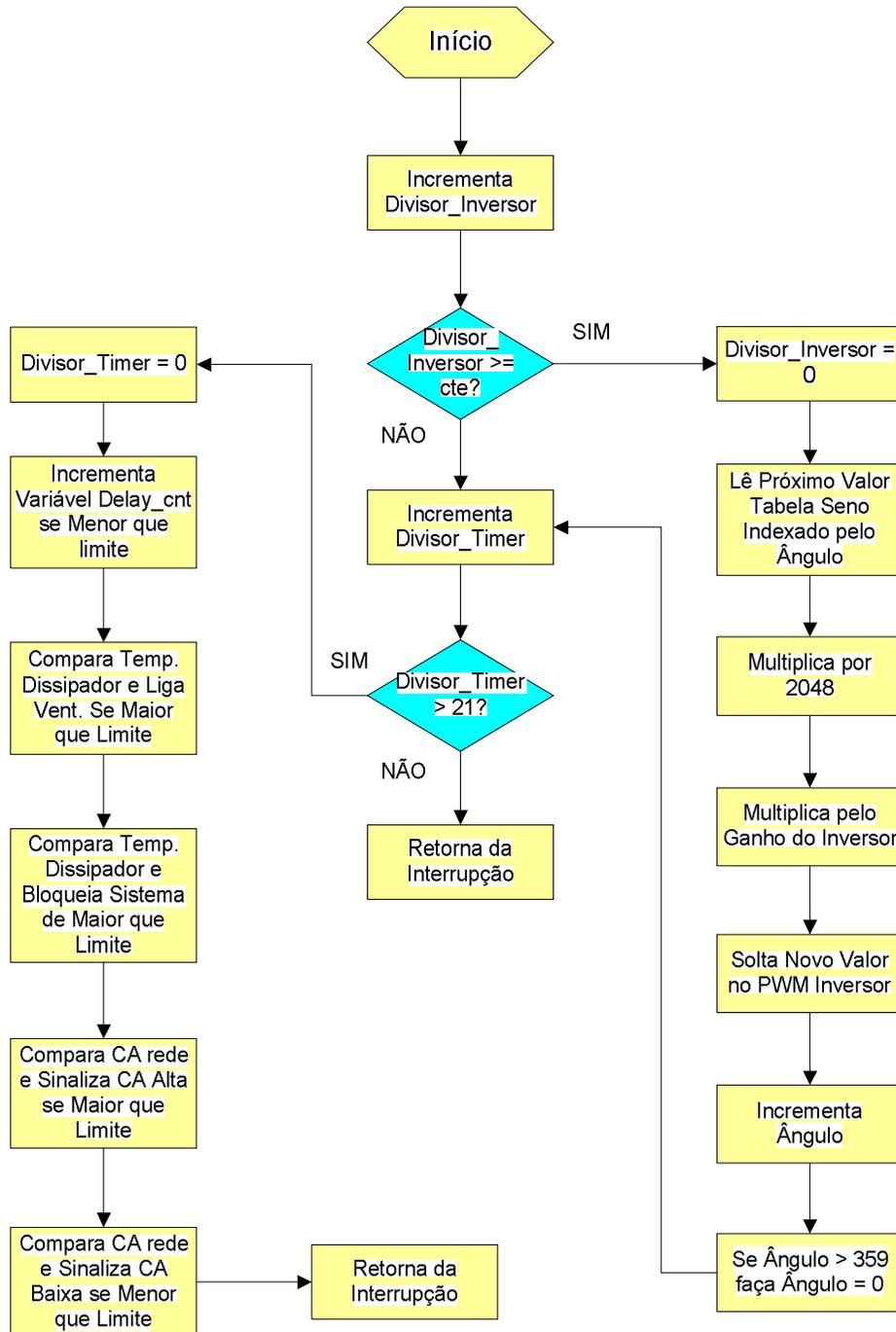
MAIN:



## INTERRUPÇÃO\_A/D:



# INTERRUPÇÃO\_TIMER1:



## 15 - Placa de Controle Digital

### 15.1 - Circuito de Amostragem de Rede Elétrica

Para amostragem do sinal de rede elétrica e detecção de falta de rede elétrica, foi desenvolvido o circuito da Figura 96, que recebe da placa de potência os sinais VCA1 e VCA2 de um pequeno transformador somente para este propósito. Este sinal é retificado e filtrado na placa de controle digital, também possui um diodo zener para grampear o sinal em 4,7V caso ocorra alguma anormalidade com a rede elétrica, protegendo assim a entrada analógica do DSC.

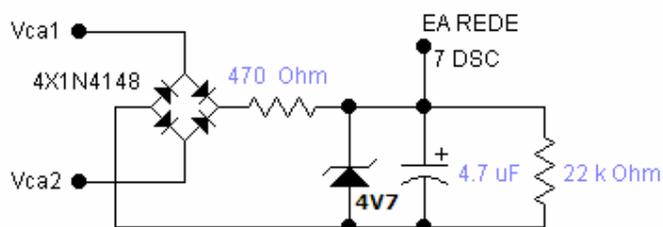


Figura 96 – Circuito de amostragem de rede elétrica.

### 15.2 - Circuito de Adequação do Sinal +12V/+5V

Como o DSC e alguns circuitos de adequação necessitam de uma alimentação em 5V e a placa de potência disponibiliza apenas um sinal de +12V, houve a necessidade de implementação de um circuito na placa de controle digital, que rebaixasse este nível para tal valor, conforme mostrado na Figura 97, para tanto foi utilizado um CI (circuito integrado) regulador de tensão muito comum da família 78XX, onde foi utilizado o CI7805. Em conjunto com este CI regulador de tensão foram adicionados capacitores antes e depois da

regulagem para melhoria do sinal (diminuir os níveis de ruído) e também dois led's indicando que as alimentações estão normais, sendo um led vermelho ligado ao 12V e um led amarelo ligado ao 5V.

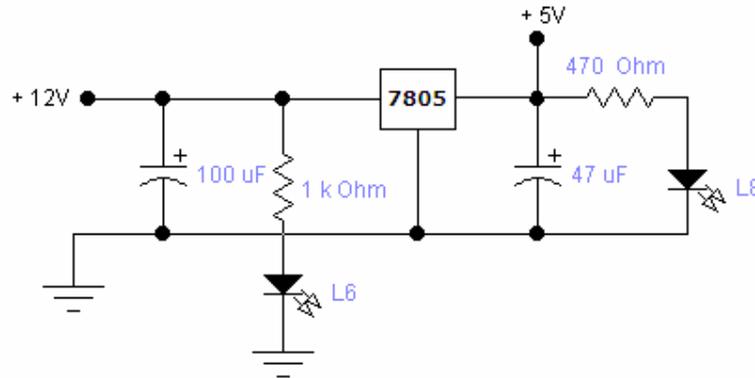


Figura 97 – Circuito de adequação +12V/+5V.

### 15.3 - Circuito Interface dos Pulsos PWM do DC/DC e Inversor

A amplitude do sinal PWM gerado pelo DSC é de +5V, por isso foi necessário a implementação de um circuito amplificador para elevar a amplitude deste sinal para +12V, lembrando que são dois conversores DC/DC defasados em 180° onde foi utilizado uma topologia de par complementar, ou seja, enquanto uma saída está em nível 1 a outra está em nível 0 e vice-versa. As duas saídas PWM complementares Pcon1 e Pcon2 foram amplificadas e também as duas saídas PWM Pinv1 e Pinv2 foram amplificadas conforme Figura 98.

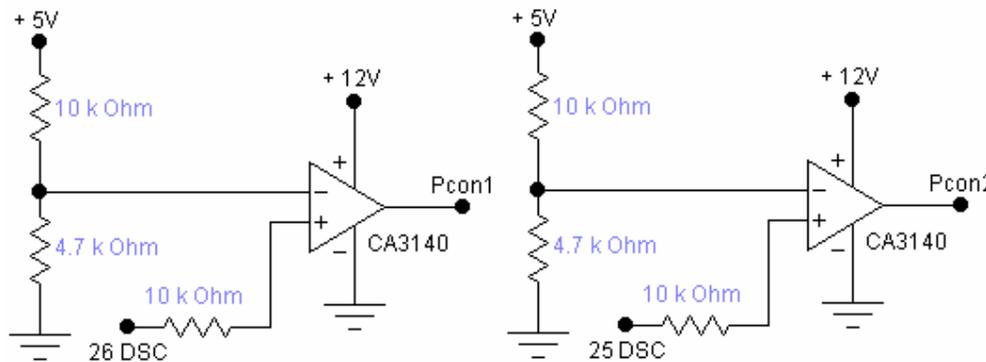


Figura 98 – Circuito interface dos pulsos PWM do DC/DC.

## 15.4 - Circuito de Amplificação e adequação do Sinal do *Shunt*

Para realizar o fechamento da malha do inversor por corrente, foi utilizado na placa de potência um resistor *shunt* de liga de constantan, que proporciona uma queda de tensão proporcional a corrente que o atravessa. Esta queda de tensão geralmente é da ordem de mV. Para utilizar este sinal em uma das entradas analógicas do DSC, foi implementada na placa de controle digital um circuito amplificador de tensão mostrado na Figura 99, para que este valor amplificado fique na faixa de 0 a 5V proporcionalmente a corrente que atravessa o resistor *shunt*.

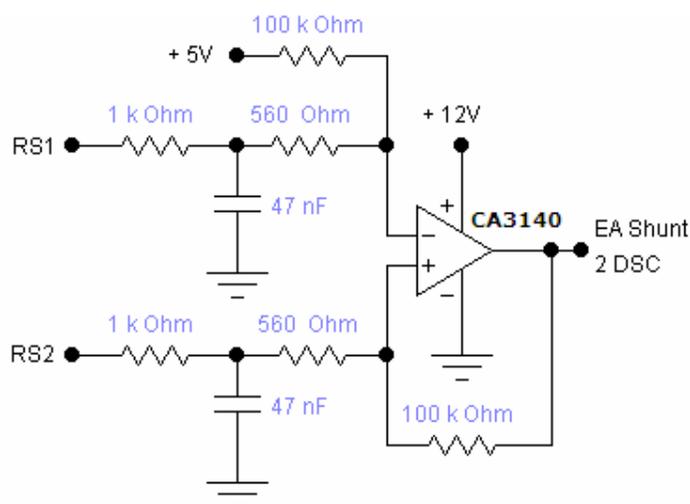


Figura 99 – Circuito interface *shunt*.

## 15.5 - Circuito de Adequação do Sinal de Saída do Inversor

Uma amostra da tensão de saída do circuito inversor é atenuada ainda na placa de potência para ser utilizada no fechamento da malha e controle automático por tensão. Esta tensão atenuada ainda é alternada e precisa ser adequada para então ser utilizada por uma entrada analógica do DSC. O circuito da Figura 100 foi desenvolvido para este fim.

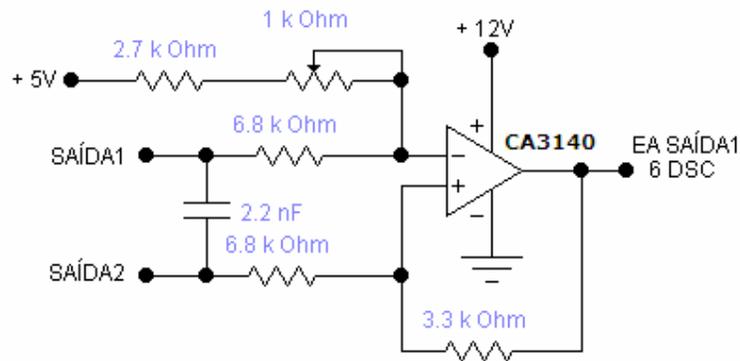


Figura 100 – Circuito de adequação do sinal de saída do inversor.

## 15.6 - Sinalização de Temperatura

Conforme Figura 101, o sinal de temperatura que sai da placa de potência, emitido por um *thermistor* NTC, entra na placa de controle digital e forma um divisor de tensão com um resistor de 10k $\Omega$ , onde o ponto médio deste divisor resistivo é ligado à entrada analógica do DSC para que o DSC tome as providências necessárias com relação à medida de temperatura, como, acionar uma saída digital para ligar um ventilador até que a temperatura retorne aos níveis considerados normais e em caso de aumento excessivo da temperatura é realizado o bloqueio total do *no-break* através do corte dos pulsos PWM tanto dos conversores DC/DC quanto do inversor além de ligar um led vermelho localizado na placa de controle digital para que o usuário saiba a causa da parada do equipamento.

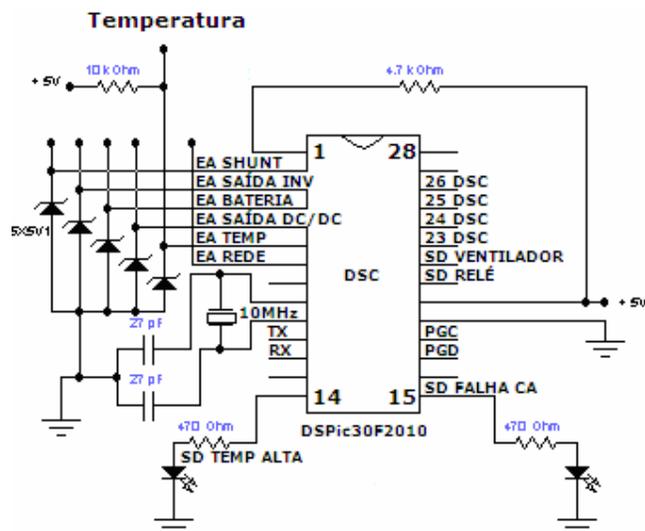


Figura 101 – Sinalização de temperatura alta.

## 15.7 - Circuito do DSC

A Figura 101 mostra o circuito completo do DSC, identificando todas as entradas, saídas e seus respectivos pinos. Neste circuito também é mostrado o oscilador (cristal) utilizado e os pinos para gravação do software (PGD e PGC) assim como os pinos para comunicação serial (TX e RX) e alimentação em 5V.

## 15.8 - Circuito de Sinalização de Nível de Bateria e Falha de Rede elétrica

Na Figura 102 tem-se o circuito responsável pela sinalização do nível de carga da bateria e o circuito de alarme sonoro de falta de rede elétrica. Conforme a bateria vai se descarregando a freqüência dos bip's emitidos pelo sonalarme que encontra-se na placa de potência vai aumentando até que fique contínuo, situação que indica que a bateria está totalmente descarregada. A saída de falta CA do DSC que, nesta condição alimenta via transistor o circuito integrado 555 que é responsável pela emissão do sinal de alarme que satura um transistor NPN na placa de potência e liga o sonalarme. Este circuito foi mantido o mesmo da placa de controle analógico devido a falta de saídas digitais do DSC utilizado que é de baixo custo, visto que para cada led do nível de carga da bateria deveria ser utilizado uma saída digital individual e mais

uma para saída de alarme, que para esta foi utilizado o 555. Se fosse utilizado um DSC com maior quantidade de pinos I/O este circuito analógico seria facilmente descartado e implementado uma lógica via software o que reduziria ainda mais o tamanho final da placa de controle digital.

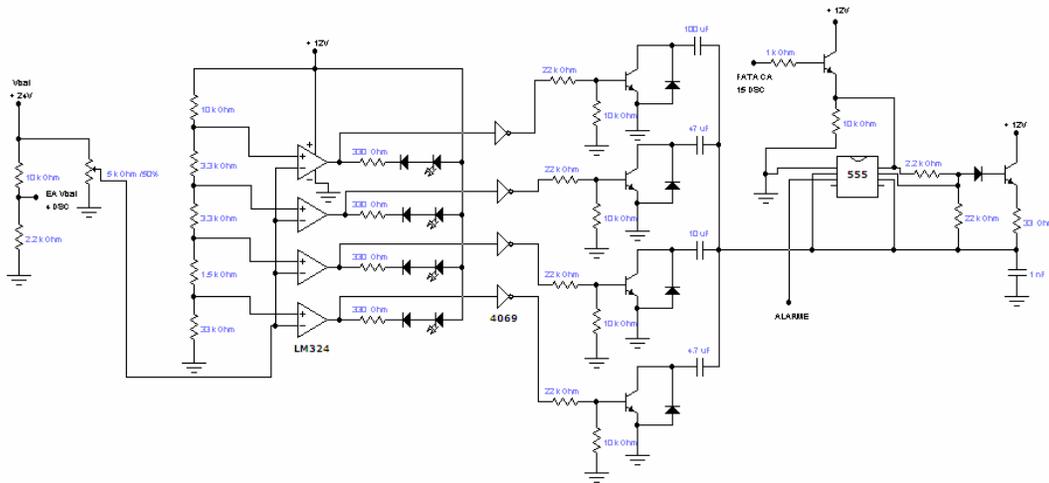


Figura 102 – Circuito de sinalização de bateria e falha de rede.



Figura 103 – Foto da placa de controle digital com DSC.

## 16 - Outras Placas Desenvolvidas

### 16.1 - Giga para Testes do DSC

Para facilitar o desenvolvimento do software para o DSC, foi desenvolvida uma placa de circuito impresso que interage com o DSC. O circuito esquemático desta placa é mostrado na Figura 104. É uma placa que possui seis circuitos que fornecem uma tensão contínua de 0 a 5v para teste de entradas analógicas, quatro sinais com chave liga-desliga para acionamento e teste de entradas digitais e por último dez circuitos para teste de saídas digitais, cada um com um resistor e um led para visualização da saída que está acionada, esta placa é alimentada com uma tensão contínua de 12V.

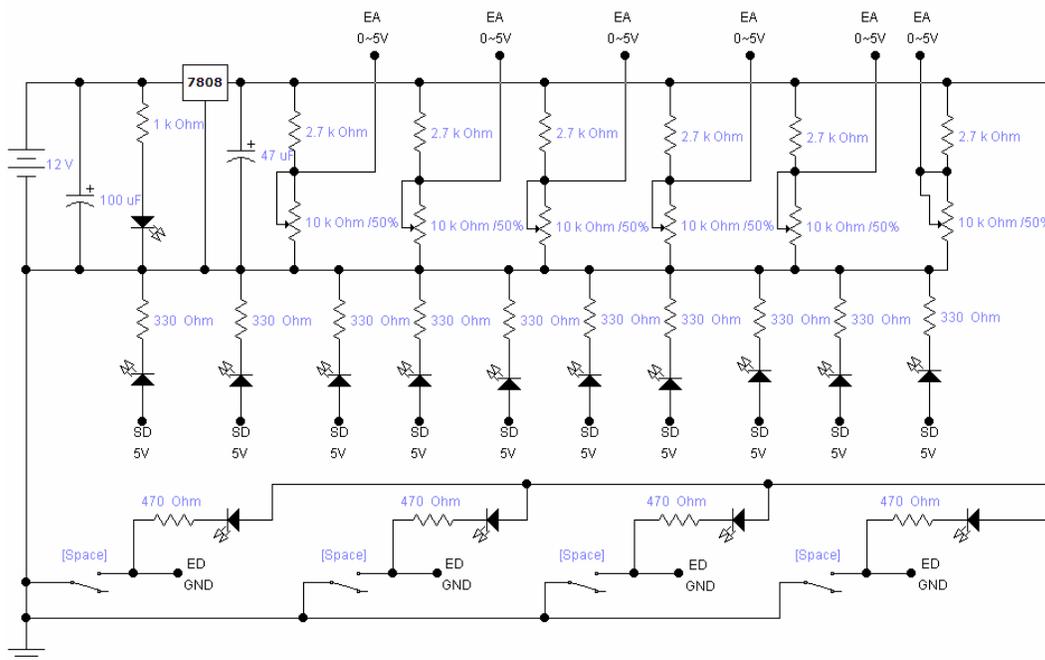


Figura 104 – Giga para teste do DSC.

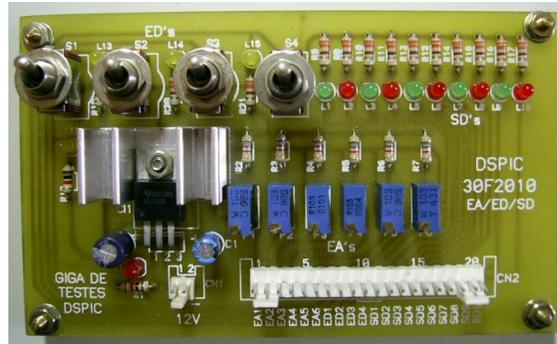


Figura 105 – Foto da placa giga de testes para DSC.

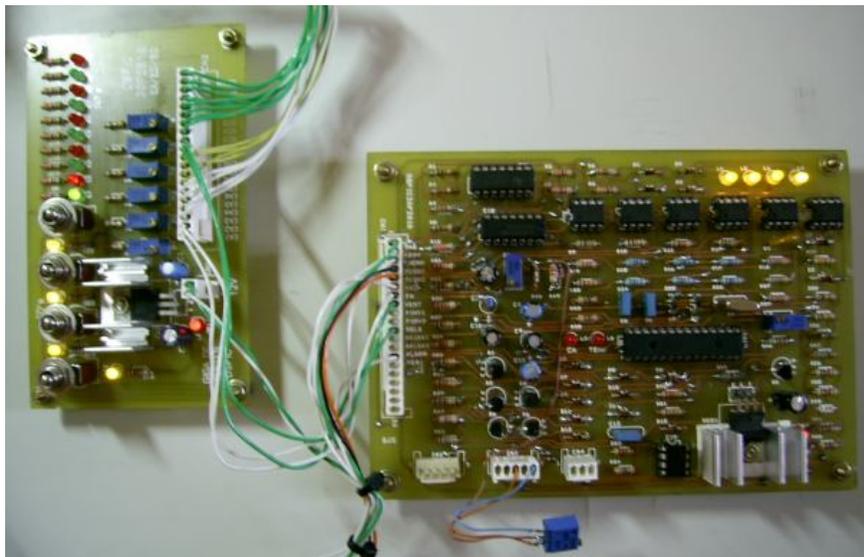


Figura 106 – Foto da placa giga de testes acoplada à placa de controle digital.

## 16.2 - Conversor *Buck*

Durante o andamento do projeto foi desenvolvido um protótipo de um conversor *Buck* com potência de 100W para realizar testes do controle PWM digital e fechamento da malha por tensão. Este protótipo possui uma placa de controle analógico com CI3524 e uma placa de controle digital com o DSC proposto para comparação de desempenho além de uma interface com display LCD para leitura de corrente via resistor *shunt* e tensão de saída. Na Figura 107 é mostrado o circuito de potência de um conversor DC/DC do tipo *Buck* e na Figura 108, a foto do protótipo desenvolvido.

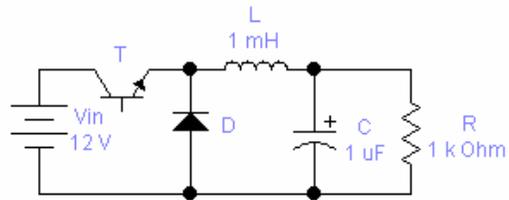


Figura 107 – Conversor DC/DC tipo *Buck*.

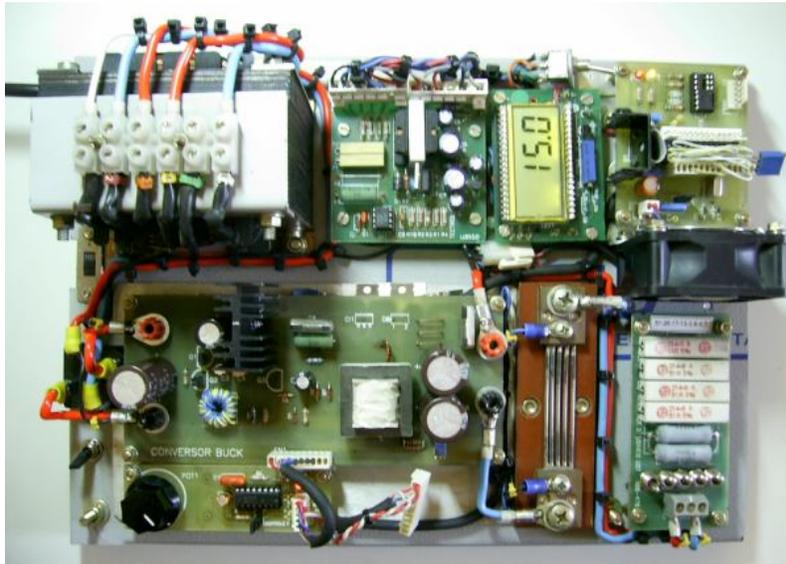


Figura 108 – Foto do conversor *Buck* LCD medindo tensão.



Figura 109 – Foto placa DSC e LCD com chave de leitura  $V/I$ .



Figura 110 – Foto banco de carga com *cooler* e resistor *shunt*.



Figura 111 – Foto conversor *buck* e placa controle com SG3524.

### 16.3 - Programador e Depurador ICD2<sup>BR</sup>

Para programar e depurar o DSC, foi adquirido do fabricante LabTools uma ferramenta identificada por ICD2<sup>BR</sup> mostrado na Figura 112, licenciada pela Microchip que é fabricante do DSC utilizado, que possibilita o trabalho com a maioria dos PIC's e DSPic's.

O ICD2<sup>BR</sup> permite:

- Depurar as informações de seu código fonte na própria aplicação;
- Depurar seu hardware em tempo real;
- Programar um componente que utiliza o protocolo ICSP da Microchip;

Sistema e componentes requeridos para utilizar o ICD2<sup>BR</sup>:

- MpLab versão 6.20 ou superior;

- O ICD2<sup>BR</sup> utilizará o próprio sistema de fonte da USB para gravação e depuração. Se o sistema em desenvolvimento necessitar de uma corrente acima de 200mA, será necessário o desenvolvimento de uma fonte própria para a aplicação conforme necessidade;

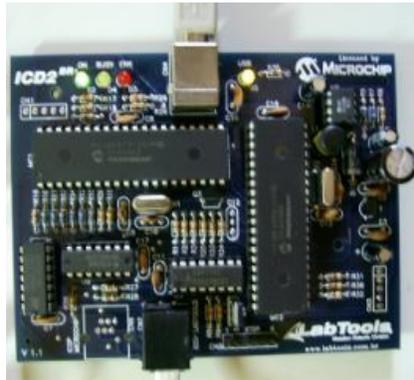


Figura 112 – Programador e depurador ICD2<sup>BR</sup>.



Figura 113 – Placa de controle digital DSC e ICD2<sup>BR</sup> interligados.

## 16.4 - Interface Placa de Controle Digital/*No-Break*

Foi desenvolvida uma placa de interface com chaves on/off para efetuar a ligação da placa de controle digital com o *no-break*, para que desta forma pudessem ser ligados apenas os sinais desejados a cada instante, podendo assim energizar o *no-break* por partes e testar os circuitos como carregador de

baterias (*Flyback*), Conversor DC/DC, Inversor e Retificador individualmente, além das sinalizações e proteções. A Figura 114 mostra a foto desta placa que foi desenvolvida para facilitar os testes.

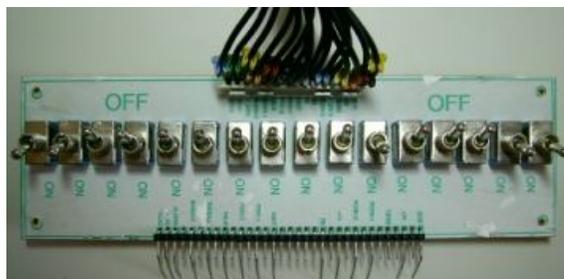


Figura 114 – Placa interface chave de sinais.

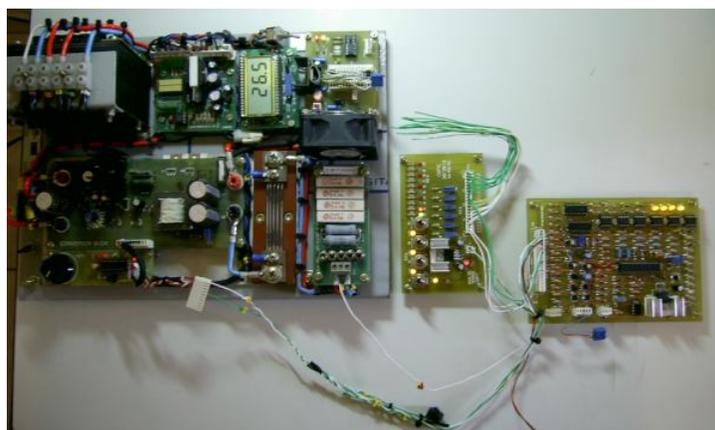


Figura 115 – *Buck*, giga de testes e controle digital interligados.



Figura 116 – Placa potência, interface chaves e controle digital interligados.

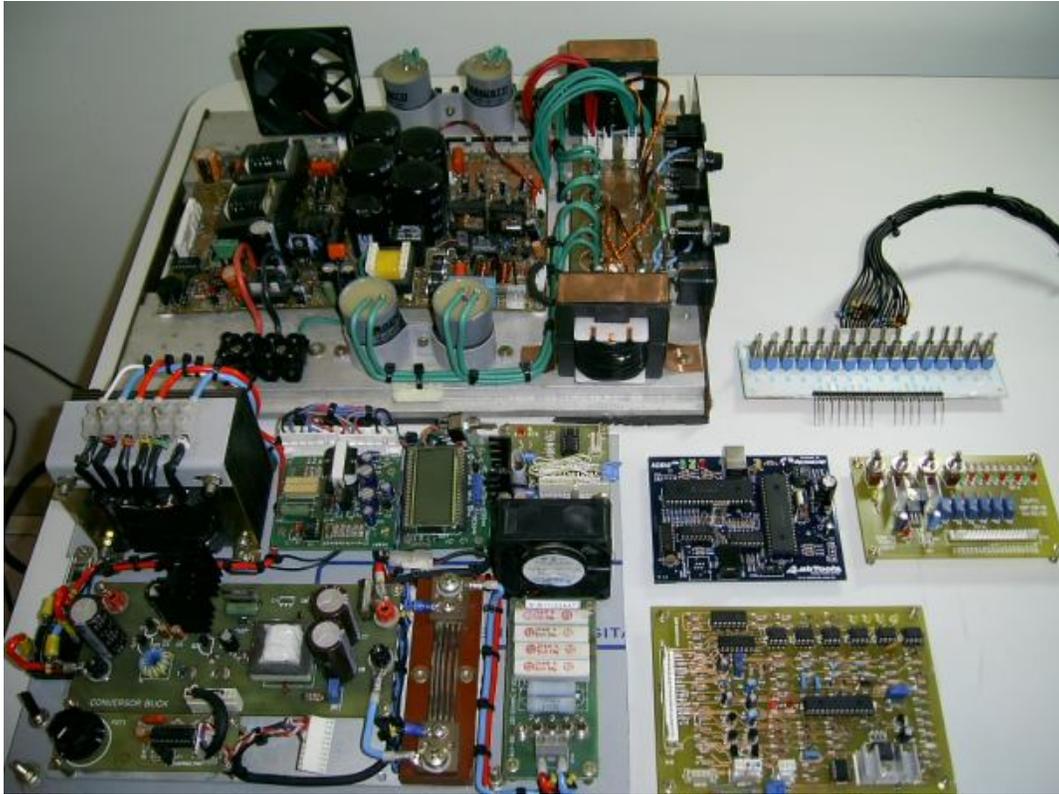


Figura 117 – Conjunto utilizado no desenvolvimento do projeto.

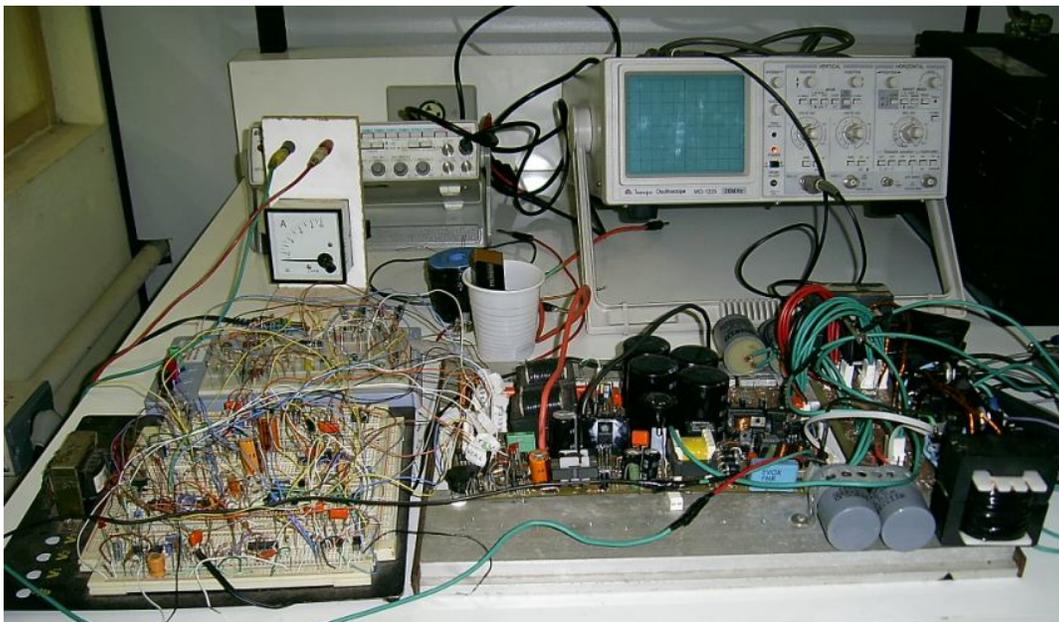


Figura 118 – Placa de potência com controle analógico em *protoboard*.

## **17 - Resultados Obtidos (Etapa de Controle Digital)**

### **17.1 - Introdução**

Neste capítulo são apresentadas as formas de onda dos principais elementos que constituem o controle digital do *no-break* apresentado neste trabalho, e também a saída do sistema.

### **17.2 - Controle do Conversor DC/DC**

Na conversão DC/DC a tensão de 24V é elevada para 260V, ajustada no controle por métodos já descritos neste trabalho. Os pulsos gerados pelo DSC (DSPic30F2010) determinam esta conversão.

A Figura 119 mostra as características dos pulsos do DSC que controla as chaves do conversor DC/DC.

São gerados pulsos para os dois conversores que trabalham de forma alternada entre si, portanto os dois sinais são iguais só mantendo então uma defasagem de 180° um do outro. Eles tem a amplitude de aproximadamente 10V e estão sintonizados na frequência de pouco mais de 15kHz. A largura dos pulsos depende da necessidade de liberar tensão pelas chaves, deixando-as mais ou menos tempo conduzindo.

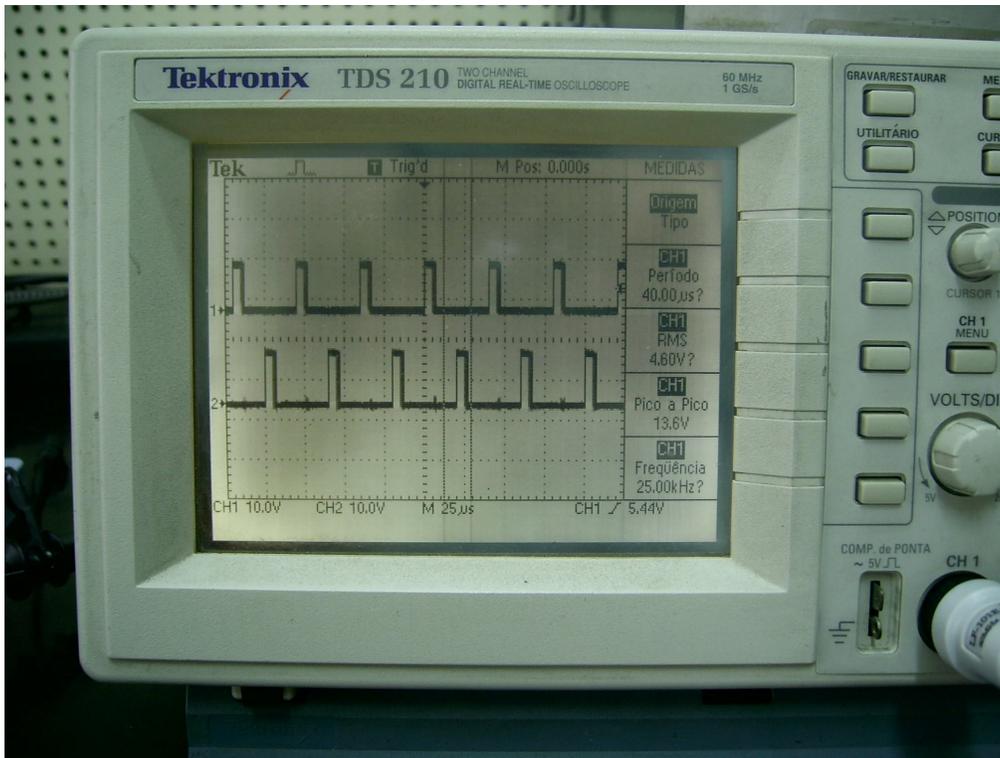


Figura 119 – Pulsos PWM para o conversor DC/DC.

### 17.3 - Controle do Inversor

Os sinais gerados para o controle do inversor possuem pulsos complementares, como descrito anteriormente, isto ocorre para que as chaves estejam conduzindo de forma que alternem entre si. Os pulsos ficam variando sua largura constantemente de acordo com o princípio da modulação PWM senoidal.

A Figura 120 demonstra claramente a modulação PWM senoidal, onde se pode observar as variações da largura dos pulsos de acordo com cada parte da senóide que está sendo constituída.

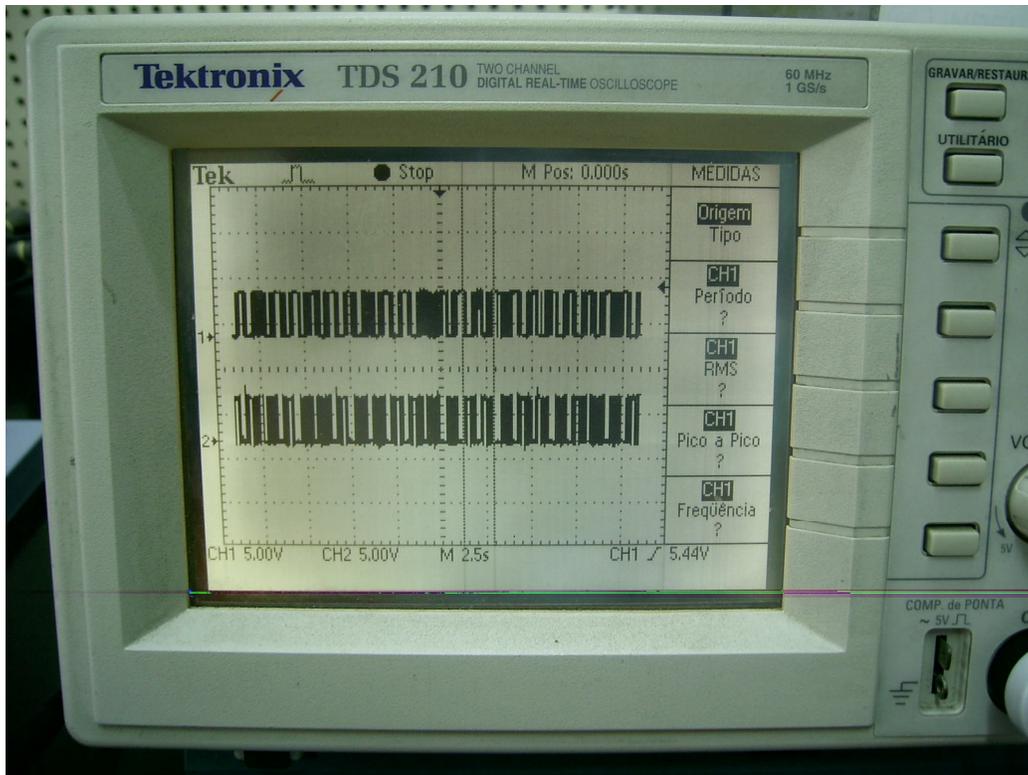


Figura 120 – Pulsos PWM para o inversor.

## 17.4 - Onda Senoidal na Carga

A onda obtida na carga está mostrada na Figura 121. Uma onda senoidal de boa qualidade com seus picos bem regulados com pequenas distorções. A onda está com características semelhantes as da rede elétrica, sua frequência está bem próxima dos 60Hz e sua amplitude tem o valor de 180V, e com isso uma tensão eficaz de aproximadamente 127V.

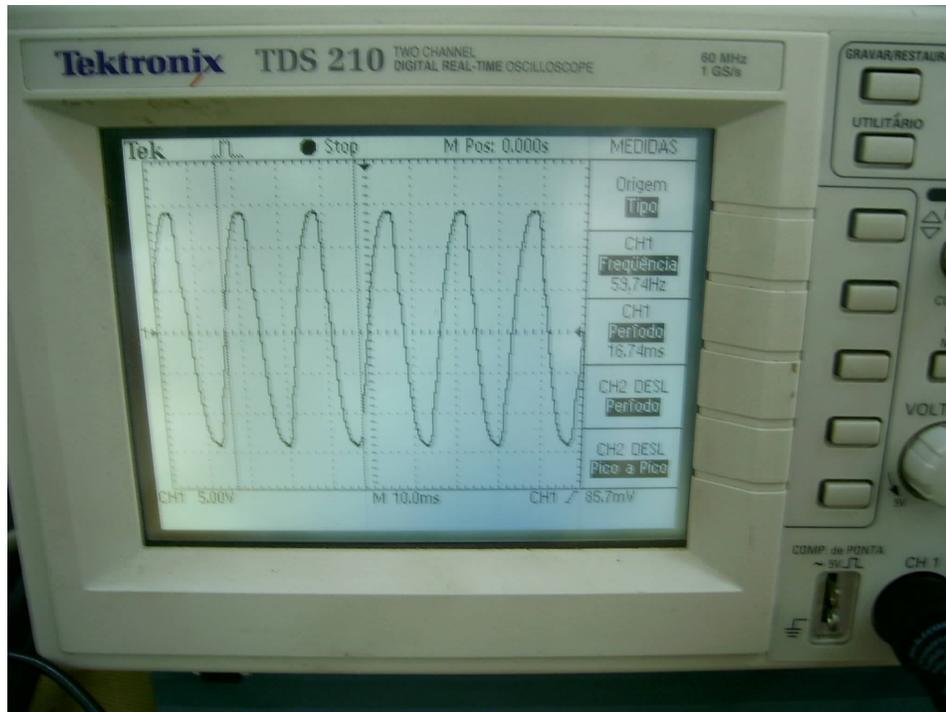


Figura 121 – Onda senoidal na carga.

### 17.5 - Partida Suave (Soft-Start)

A suavização de uma onda através do circuito de *soft-start* para evitar danos ao sistema devido a transitórios, pode ser observada neste *no-break*.

A Figura 122 apresenta a onda de saída na carga com seu início sob o efeito do *soft-start*, Mantendo uma elevação de amplitude de forma gradativa.

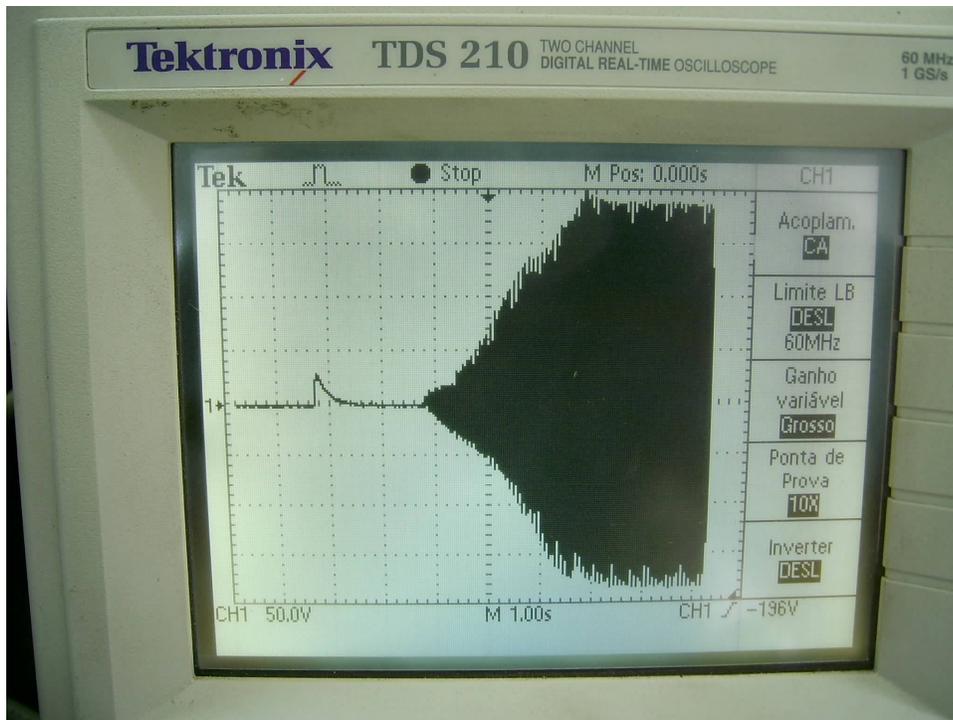


Figura 122 – *Soft-Start* da onda senoidal de saída.

### 17.6 - Comutação do Relé (Corrente de Partida)

A Figura 123 mostra o sinal de comutação do relé e o sinal de alimentação do sistema de controle. Desta forma pode-se relacionar um ao outro e observar o tempo que o sinal de disparo leva para passar o zero para nível alto.

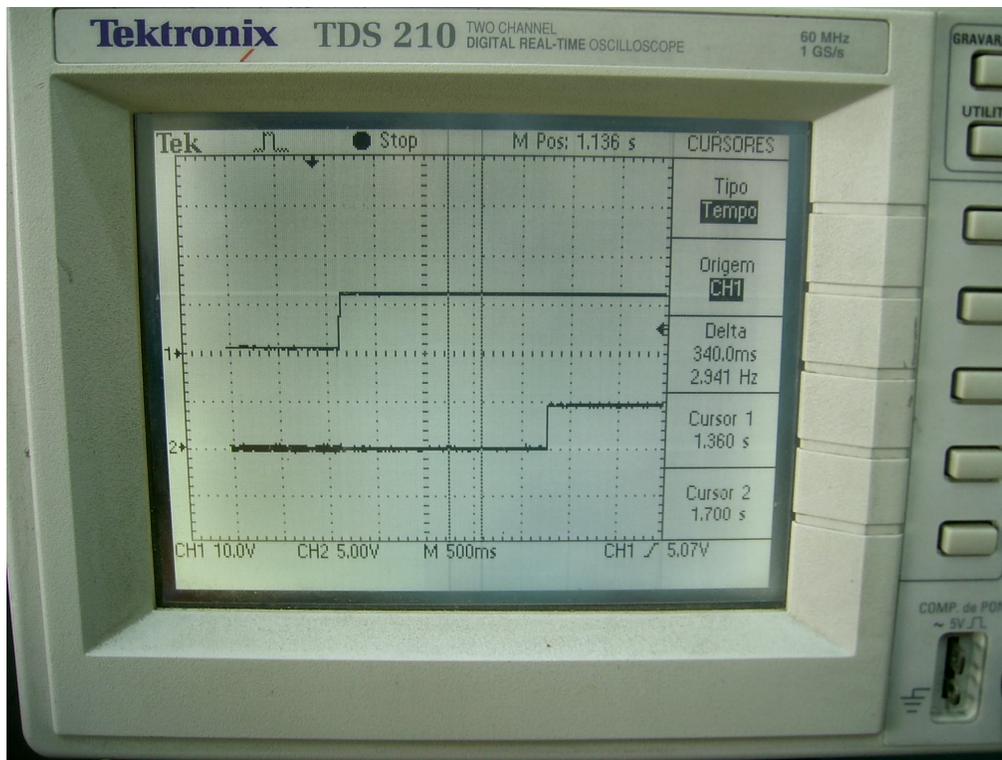


Figura 123 – Sinal de comutação do relé.

### 17.7 - Partida do DC/DC com Carga

As Figuras 124 e 125 mostram o início de funcionamento do conversor DC/DC com carga, sendo a Figura 124 com ação do controle PID, enquanto a Figura 125 mostra a mesma onda sem ação deste tipo de controle.

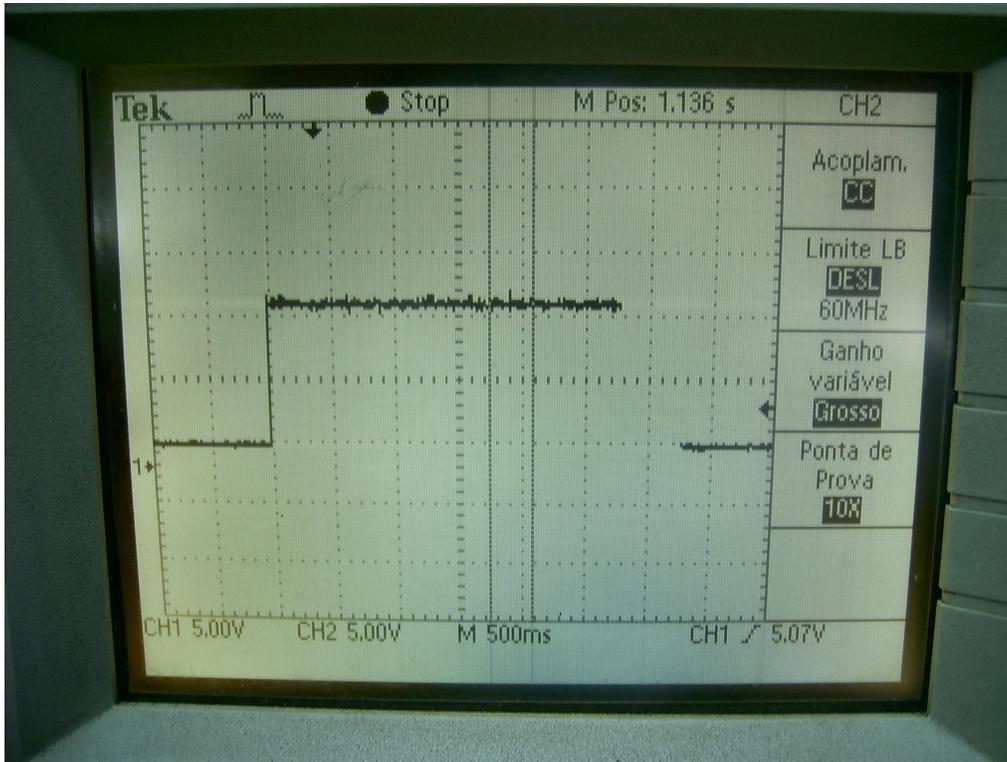


Figura 124 – Partida do DC/DC com controle PID.

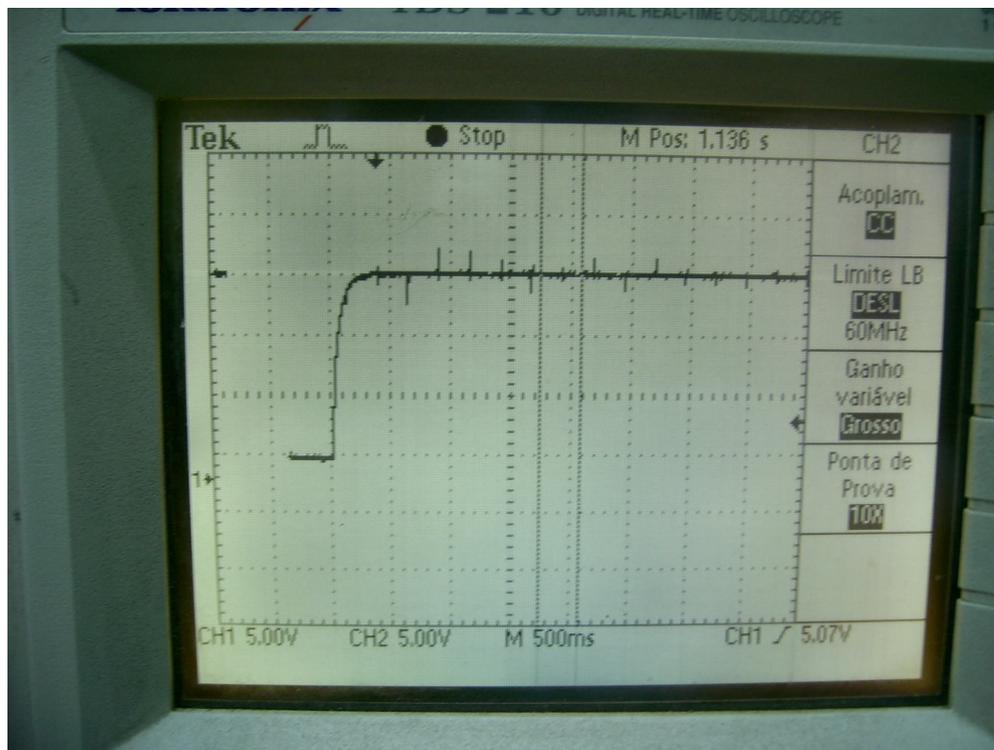


Figura 125 – Partida do DC/DC sem controle PID.

## 18 - Considerações Finais (Etapa de Controle Digital por Dsc)

Com o *no-break* funcionando de forma integrada foi demonstrado cada forma de onda do seu controle digital e as formas de onda resultantes da ação deste controle.

Com cada forma de onda pode se ter uma melhor idéia do funcionamento do circuito de cada bloco funcional, e assim com suas interações, gerar cada pulso responsável pelo controle dos conversores.

Também foi observada experimentalmente a ação de todo sistema no contexto de presença da rede elétrica e de sua ausência, tendo o *no-break* um funcionamento de qualidade em ambos os casos. E a estabilidade do sistema no instante da transição destes dois estados.

Com a implementação do controle digital por DSC, o *no-break* apresentou sua melhor performance de funcionamento, tanto com relação ao controle PWM em malha fechada quanto a resposta à suas proteções e sinalizações. Obteve ainda uma economia na quantidade de circuitos auxiliares desenvolvidos se comparado com controle analógico, compactando assim o equipamento. Como a sinalização de temperatura juntamente com o acionamento do ventilador e bloqueio dos pulsos PWM do DC/DC e Inversor protegendo assim o equipamento de sobreaquecimento, o circuito que monitora a rede elétrica passou a atuar em dois níveis sendo um de sobretensão e outro de subtensão, o circuito responsável pelo *delay* de acionamento do relé, protegendo assim o equipamento de uma corrente de partida alta, os circuitos de geração dos pulsos para o DC/DC que era gerado pelo CI 3525 e do inversor que além do circuito de comparação da onda triangular com a senoidal

de referência, ainda eliminou-se os circuitos de sincronismo desses sinais, o circuito gerador da onda triangular de alta frequência, o circuito gerador da onda senoidal de referência e o circuito limitador de nível superior e inferior, tudo isto foi possível devido ao uso do DSC que proporcionou ao equipamento todas estas vantagens através de linhas de programação.

Toda a lógica de sinalização do nível de carga da bateria e alarme, não pode ser implementada no DSC por falta de pinos I/O, que por fim acabou ficando de maneira analógica na placa do DSC, mas pretende-se como uma etapa futura para o projeto, utilizar um DSC com maior quantidade de pinos, por exemplo um de 44 pinos como o DSPic30F2023, visto que o DSC utilizado possui 28 pinos (DSPic30F2010), isto pode ser feito facilmente, acrescentando-se apenas algumas linhas de programação. Para isto já está programada uma entrada analógica que está monitorando o nível de tensão da bateria. Já está previsto também na placa de controle digital por DSC um conector para comunicação RS232 com um PC, onde pode-se desenvolver um programa para fazer todo monitoramento do sistema a distância via PC, sem a necessidade de ações no equipamento.

## Conclusão do Trabalho

Neste trabalho foi apresentado todo o desenvolvimento e construção do circuito de potência, circuito de controle analógico e circuito de controle digital com DSC de um *no-break* com saída senoidal.

Esse projeto é de grande importância tanto na área de eletrônica de potência quanto na área de qualidade de energia, pois pode-se implementar um *no-break on-line*, o que significa que este circuito nunca deixará que falte energia em sua saída fornecendo a energia da bateria quando não houver tensão na rede. Além de fornecer uma saída estabilizada, sem os picos de tensão, subtensões e sobretensões a que equipamentos ligados diretamente à rede são submetidos.

Além disso, contribuindo para a qualidade da energia na rede, este circuito possui filtro de linha, amenizando os ruídos que este circuito irá inserir na rede. Há também uma sincronização entre o conversor DC/DC e o inversor, diminuindo, assim, os ruídos RFI, também contribuindo para a qualidade da energia na rede.

No desenvolvimento foram realizados ajustes que só foram detectados na prática com o funcionamento conjunto da placa de potência e o controle do *no-break*.

Obteve-se na saída do *no-break* uma onda senoidal de boa qualidade com baixa taxa de distorção, podendo ser utilizada nos diversos aparelhos que exigem uma onda senoidal para o seu funcionamento correto.

As proteções deram ao *no-break* uma boa confiabilidade para seu uso, e com elas as alterações ou condições indesejadas não afetam o sistema, ou quando em casos extremos o *no-break* para de funcionar para evitar danos a si

e à carga conectada a ele. As sinalizações atuaram de forma clara a demonstrar as informações necessárias ao usuário do *no-break*, de como e qual é a situação atual do mesmo.

A continuidade da energia na saída do *no-break* quando se ausenta a rede elétrica ocorreu de forma satisfatória, não sendo sentida pela carga a falta da rede elétrica enquanto a bateria possuir carga suficiente para mantê-la em funcionamento.

O circuito, porém, funcionou corretamente para uma carga resistiva como foi medido e mostrado no capítulo 5. Sendo assim, pode-se concluir que o trabalho realizado para a implementação do *no-break* aqui descrito foi realizado com sucesso. Tendo, cada um dos blocos aqui descritos, interagido corretamente, juntamente com o circuito de controle analógico e digital.

Assim o trabalho foi concluído e os objetivos desejados foram alcançados. O protótipo funciona de forma esperada com boa qualidade.

### **Continuidade do Trabalho**

Pretende-se dar continuidade a este projeto, inicialmente realizando uma análise dinâmica dos conversores para verificação de desempenho, na seqüência implementar o programa do DSC em um Chip de 44 pinos como o DsPIC30F2023, para que seja possível o monitoramento do nível de carga das baterias e alarme de maneira digital.

Será desenvolvido ainda um conversor *Boost* (elevador de tensão) para que seja possível realizar a correção ativa do fator de potência, visto que hoje a rede elétrica está sendo retificada e filtrada e desta forma alimentando o barramento DC de entrada do circuito inversor de tensão, o que ocasiona um baixo fator de potência para o equipamento.

Após uma pesquisa de mercado, constatou-se que atualmente existem apenas alguns fabricantes (a maioria fora do Brasil) de *no-break* que possuem uma técnica que possibilita o paralelismo de *no-break's* com tecnologia de chaveamento em alta freqüência, ou seja, desta forma fornecer um sistema *no-break* modular, com unidades de aproximadamente 1kVA (compacto), semelhante aos sistemas de retificadores utilizados em telecomunicações, com a possibilidade de expansão de sua capacidade devido ao aumento de

consumo, sem que tenha que adquirir outro equipamento completo, visto que o sistema modular apresenta uma unidade de supervisão e controle que monitora o sistema completo.

Com base no exposto anteriormente pretende-se desenvolver uma técnica para implementação de uma unidade de supervisão e controle que possibilite realizar o paralelismo de *no-break's*, tornando o sistema flexível para expansão.

Para que o trabalho seja dado como finalizado, pretende-se desenvolver o modelamento matemático do controlador digital, para comprovação teórica da estratégia de controle utilizada.

## **Publicação**

Como produto deste trabalho foi submetido, aceito e publicado no Congresso Brasileiro de Eletrônica de Potência COBEP'07 evento este que é bianual e ocorreu no mês de outubro de 2007 em Blumenau-SC – **COBEP'07 – Area 7 – Inverters And Education** – Code: iREP:604 “Complete Design For A 1.2 Kva Uninterruptable Power Supply System With A Stabilized Sine Wave Output And A Frequency Synchronous Converter”.

## **Apêndice A**

### **Conceitos Básicos de Controle Digital e DSC/DSP [23]**

Neste capítulo, apresentam-se noções básicas de conceitos e de métodos convencionais para projetos de sistemas de controle de tempo discreto ou digital. Esses métodos referem-se a sistemas de controle digital monovariáveis (SISO - single-input-single-output).

O enfoque apresentado visa ao aproveitamento das técnicas de projeto em sistemas de controle em tempo contínuo, como por exemplo, o método do lugar das raízes e a resposta em frequência, que representam uma base de estudos consolidada no que se refere a aplicações em eletrônica de potência. Basicamente, identificam-se duas formas de projetos, um identificado como projeto por aproximação (emulação), e outro, como projeto discreto (direto).

No decorrer deste capítulo procuram-se apresentar os aspectos gerais e as técnicas de projeto de controladores discretos e expõe-se o objetivo da pesquisa que é trazer informações sobre uma das técnicas de projeto, a que trata do projeto de controladores discretos por aproximação, motivado pela semelhança que apresenta em relação ao projeto de controladores no domínio de tempo contínuo, cuja metodologia tem sido bastante utilizada em controle de conversores.

Em função do exposto, faz-se necessário apresentar alguns conceitos utilizados e empregados no projeto de controle digital na área de eletrônica de potência, com o fim de facilitar a busca de informações e o entendimento do projeto digital dos controladores.

## Projeto por Aproximação [23]

Neste método de projeto por aproximação, utilizam-se as ferramentas de projetos convencionais do domínio de tempo contínuo e determina-se o controlador no tempo contínuo  $C(s)$  para um determinado processo. A segunda etapa consiste em utilizar algum método de discretização para converter o controlador do domínio de tempo contínuo ao discreto, obtendo-se assim o controlador discreto  $C(z)$  aproximado.

O controlador contínuo  $C(s)$  pode ser aproximado mediante a utilização de diversos métodos. Os mais utilizados na prática são: Método de Euler, bilinear (Tustin) e aproximação por zeros-pólos. A estabilidade absoluta e relativa de um sistema de controle em malha fechada, contínuo, linear e invariante no tempo é determinada pela localização dos pólos em malha fechada no plano  $s$ . Uma vez que as variáveis complexas  $z$  e  $s$  são relacionadas as por

$$z = e^{Ts}$$

a localização dos pólos e zeros, no plano  $z$ , têm correspondências aos pólos e zeros no plano  $s$ .

Deve-se observar que a resposta dinâmica de um sistema de controle discreto depende também do período de amostragem  $T$ , isso significa que as localizações dos pólos e dos zeros no plano  $z$  dependem do período de amostragem adotado. De outra forma, trocando-se o período de amostragem  $T$ , modifica-se a localização dos pólos e zeros no plano  $z$ , causando mudanças no comportamento da resposta do sistema.

## Mapeamento do Semiplano Esquerdo do Plano $S$ no Plano $Z$ [23]

No projeto de sistemas de controle em tempo contínuo, as localizações dos pólos e zeros no plano  $s$  são muito importantes na avaliação da resposta dinâmica do sistema. Similarmente, no projeto de sistemas de controle tempo-discreto, a localização dos pólos e zeros no plano  $z$  são fundamentais.

Quando a concepção de amostragem é introduzida ao processo de controle, as variáveis complexas  $z$  e  $s$  são relacionadas pela seguinte equação:

$$z = e^{Ts} \quad (A1)$$

Isso significa que um pólo no plano  $s$  pode ser localizado no plano  $z$  por meio desta transformação. Uma vez que a variável complexa  $s$  tem uma parte real  $\sigma$  e uma parte imaginária  $\omega$ , tem-se:

$$s = \sigma + j\omega \quad (A2)$$

$$\text{logo, } z = e^{T(\sigma + j\omega)} = e^{T\sigma} \cdot e^{Tj\omega} = e^{T\sigma} \cdot e^{j(T\omega + 2\pi k)} \quad (A3)$$

A partir da equação (A3), pode-se observar que os pólos e zeros no plano  $s$ , onde as freqüências diferem em múltiplos da freqüência de amostragem  $2\pi/T$ , são mapeados na mesma localização no plano  $z$ . Isso significa que existem infinitos valores de  $s$  para cada valor de  $z$ .

Sendo  $\sigma$  um valor negativo no semiplano esquerdo do plano  $s$ , este semiplano corresponde a:

$$|z| = e^{T\sigma} < 1$$

O eixo  $j\omega$  no plano  $s$  corresponde a  $|z| = 1$ , ou seja, o eixo imaginário no plano  $s$  ( $\sigma = 0$ ) corresponde ao círculo unitário no plano  $z$ , e o interior do círculo corresponde ao semiplano esquerdo no plano  $s$ .

### Faixa Primária e Complementar

Nota-se que  $\angle z = \omega T$  varia de  $-\infty$  a  $\infty$ , pois  $\omega$  varia de  $-\infty$  a  $\infty$ .

Considerando-se a representação de um ponto no plano  $s$  no eixo imaginário  $j\omega$ , e se este ponto se mover de

$$-j\frac{1}{2}\omega_s \text{ a } j\frac{1}{2}\omega_s$$

no eixo  $j\omega$ , onde  $\omega_s$  é a freqüência de amostragem, tem-se  $|z| = 1$ , e o ângulo  $\angle z$  variando de  $-\pi$  a  $\pi$  no sentido anti-horário do círculo unitário no plano  $z$ . Se esse ponto se movesse de

$$j\frac{1}{2}\omega_s \text{ a } j\frac{3}{2}\omega_s$$

no eixo  $j\omega$ , a isso corresponderia no plano  $z$  à mesma trajetória do ponto anterior, isto é, seria mapeado sobre o círculo unitário. Então, se esse ponto

variasse no eixo  $j\omega$  do plano  $s$  de  $-\infty$  a  $\infty$ , traçar-se-iam infinitos círculos unitários no plano  $z$ . A partir dessa análise, fica claro que cada faixa de largura  $\omega_s$  no semiplano esquerdo do plano  $s$  é mapeada dentro do círculo unitário no plano  $z$ . Isso significa que o semiplano esquerdo do plano  $s$  pode ser dividido em infinitas faixas periódicas, conforme mostra a Figura 126.

A faixa conhecida como primária estende-se de

$$j\omega = -j\frac{1}{2}\omega_s \text{ a } j\frac{1}{2}\omega_s$$

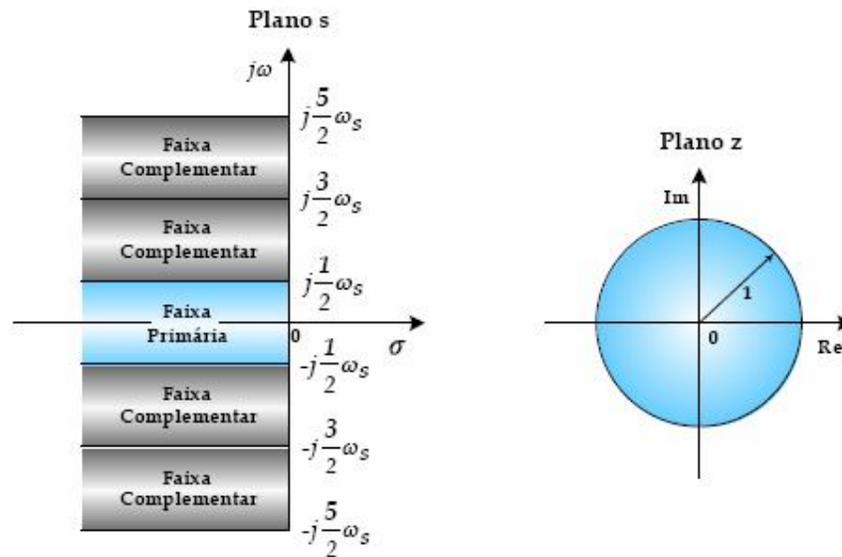
as faixas complementares estão compreendidas nos seguintes intervalos:

$$j\frac{1}{2}\omega_s \text{ a } j\frac{3}{2}\omega_s, j\frac{3}{2}\omega_s \text{ a } j\frac{5}{2}\omega_s, \dots \text{ e de } -j\frac{1}{2}\omega_s \text{ a } -j\frac{3}{2}\omega_s, -j\frac{3}{2}\omega_s \text{ a } -j\frac{5}{2}\omega_s, \dots$$

A área fechada compreendida por qualquer uma das faixas será mapeada dentro do círculo unitário no plano  $z$ , significando que a relação entre o plano  $z$  e o plano  $s$  não é única. Um ponto no plano  $z$  corresponde a infinitos números de pontos no plano  $s$ , embora um ponto no plano  $s$  tenha apenas um único ponto correspondente no plano  $z$ .

Sabendo-se que o semiplano esquerdo no plano  $s$  é mapeado no interior do círculo unitário no plano  $z$ , o semiplano direito no plano  $s$  é mapeado no exterior do círculo unitário no plano  $z$ . Nota-se que, se a frequência de amostragem for pelo menos duas vezes maior que a maior frequência das componentes que participam do sistema, todos os pontos no círculo unitário do plano  $z$  representam frequência entre

$$-\frac{1}{2}\omega_s \text{ e } \frac{1}{2}\omega_s$$



*Faixas periódicas no plano s*

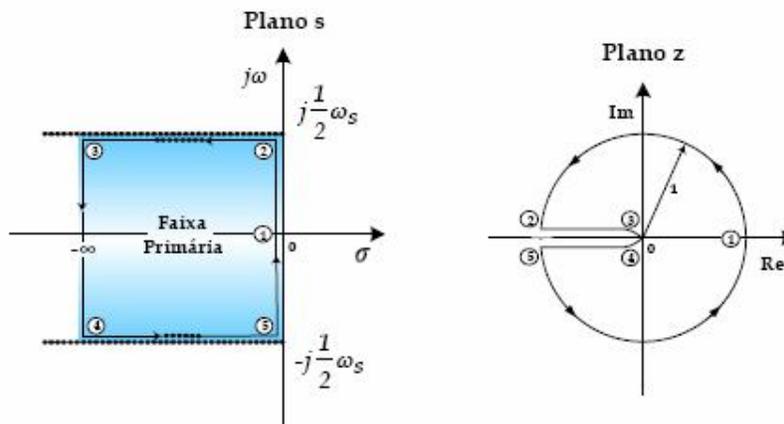


Figura 126 - Diagrama mostrando a correspondência entre a faixa primária no plano s e o círculo unitário no plano z.

## Projeto Baseado na Resposta em Frequência (Bode) [23]

Os conceitos da resposta em frequência em tempo contínuo podem ser aplicados em sistemas de controle digital. O método da resposta em frequência tem sido utilizado, freqüentemente, no projeto de compensadores pela simplicidade do método. Na aplicação desse método em sistemas de tempo discreto, é muito importante haver um filtro passa-baixa antes do amostrador, com o fim de filtrar a faixa de frequência indesejável. Desta forma, a resposta

do sistema linear invariante no tempo submetido à entrada senoidal preserva as freqüências e modifica apenas a amplitude e a fase do sinal de entrada.

### **Transformação Bilinear e o Plano W**

Antes de utilizar o método da resposta em freqüência na análise e projeto de sistemas em tempo-discreto, certas modificações no plano  $z$  devem ser efetuadas. Sabendo-se que no plano  $z$  a freqüência aparece sob a forma

$$z = e^{Ts}$$

aplicando-se o método da resposta em freqüência no plano  $z$ , perde-se a simplicidade dos gráficos logarítmicos oferecidos pelo diagrama de Bode, pois a freqüência aparece de forma exponencial. Assim, a aplicação direta desse método não é recomendada, uma vez que a transformada  $z$  mapeia a faixa primária e as secundárias do semiplano esquerdo do plano  $s$  dentro do círculo unitário no plano  $z$ . Esse método da resposta em freqüência, que contempla todo o semiplano esquerdo, não pode ser aplicado ao plano  $z$ .

A solução passa pela transformação da função de transferência no plano  $z$  para o plano  $w$ , conhecida como transformada  $w$  ou bilinear, e que é dada por:

$$z = \frac{1 + (T/2)w}{1 - (T/2)w} \quad (\text{A4})$$

Onde  $T$  é o período de amostragem, considerado no sistema de controle em tempo-discreto. Convertendo-se a função de transferência em  $z$  em uma função racional de  $w$ , o método da resposta em freqüência pode ser estendido a sistemas de tempo-discreto. Resolvendo para  $w$  a expressão acima, obtém-se a seguinte relação inversa:

$$w = \frac{2}{T} \frac{z - 1}{z + 1} \quad (\text{A5})$$

Através da transformada  $z$  e o plano  $w$ , a faixa primária do semiplano esquerdo do plano  $s$  é primeiramente mapeada dentro do círculo unitário no plano  $z$ , e posteriormente remapeada no semiplano esquerdo do plano  $w$ . Isso é mostrado na Figura 127.

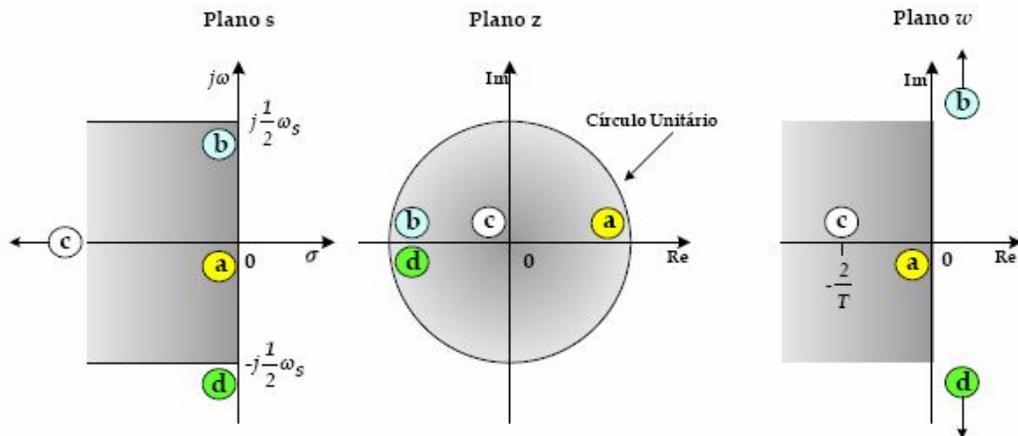


Figura 127 - Diagrama mostrando o mapeamento do plano  $s$  ao  $z$  e do plano  $z$  ao  $w$ .

Embora o semiplano esquerdo do plano  $w$  corresponda ao semiplano esquerdo do plano  $s$  e o eixo imaginário do plano  $w$  corresponda ao eixo imaginário no plano  $s$ , existem diferenças entre os dois planos. As freqüências entre

$$-\frac{1}{2}\omega_s \leq \omega \leq \frac{1}{2}\omega_s$$

no plano  $s$  mapeiam a região  $-\infty < v < \infty$ , sendo  $v$  uma freqüência fictícia, no plano  $w$ . Embora o plano  $w$  reconstrua o plano  $s$  geometricamente, o eixo da freqüência no plano  $w$  é distorcido. A freqüência fictícia  $v$  e a freqüência atual  $w$  são relacionadas como:

$$v = \frac{2}{T} \tan \frac{\omega T}{2}$$

## Procedimento de Projeto no Plano W

Os seguintes procedimentos devem ser adotados quando da utilização do plano  $w$ :

- Obter  $G(z)$ , a transformada  $z$  da planta precedida de segurador de ordem zero (*ZOH*). Então transformar  $G(z)$  em  $G(w)$  através da transformada bilinear;
- Substituir  $w=jv$  em  $G(w)$  e traçar o diagrama de Bode para  $G(jv)$ ;
- Ler no diagrama de Bode as constantes de erro estático, a margem de fase e a margem de ganho;
- Determinar os pólos e zeros da função de transferência do controlador digital  $G_D(z)$  usando as técnicas de projeto convencionais para sistemas de controle contínuo no tempo;
- Transformar a função de transferência do controlador  $G_D(w)$  em  $G_D(z)$  por meio da transformação bilinear;
- Implementar a função de transferência através de algoritmos computacionais

## Referências Bibliográficas

- [1] MELLO, Luís Fernando Pereira. Projeto de Fontes Chaveadas - 3ª edição. Editora Érica, 1987.
- [2] TREVISO, Carlos Henrique Gonçalves. Apostila Eletrônica de Potência; Londrina: Universidade Estadual de Londrina, 2005.
- [3] BOLOGNINI, Ana Paula.; TREVISO, Carlos Henrique Gonçalves. Voltage Inverter With High-Frequency's Single Phase Transformer With PWM Modulator; Joinville : VI Conferência Internacional de Aplicações Industriais, 2004.
- [4] TABELA AWG. Disponível em: <http://www.egeneral.com.br/TabelaAWG.htm>  
(acesso em setembro/2007)
- [5] DATASHEET 1M0380. Disponível em:  
<http://pdf1.alldatasheet.com/datasheet-pdf/view/53159/FAIRCHILD/KA1M0380RB.html> (acesso em setembro/2007)
- [6] TL431. Disponível em: <http://pdf1.alldatasheet.com/datasheet-pdf/view/28811/TI/TL431.html> (acesso em setembro/2007)
- [7] DATASHEET CAPACITORES ELETROLÍTICOS. Disponível em:  
<http://www.farnell.com/datasheets/1041.pdf>(acesso em setembro/2007)

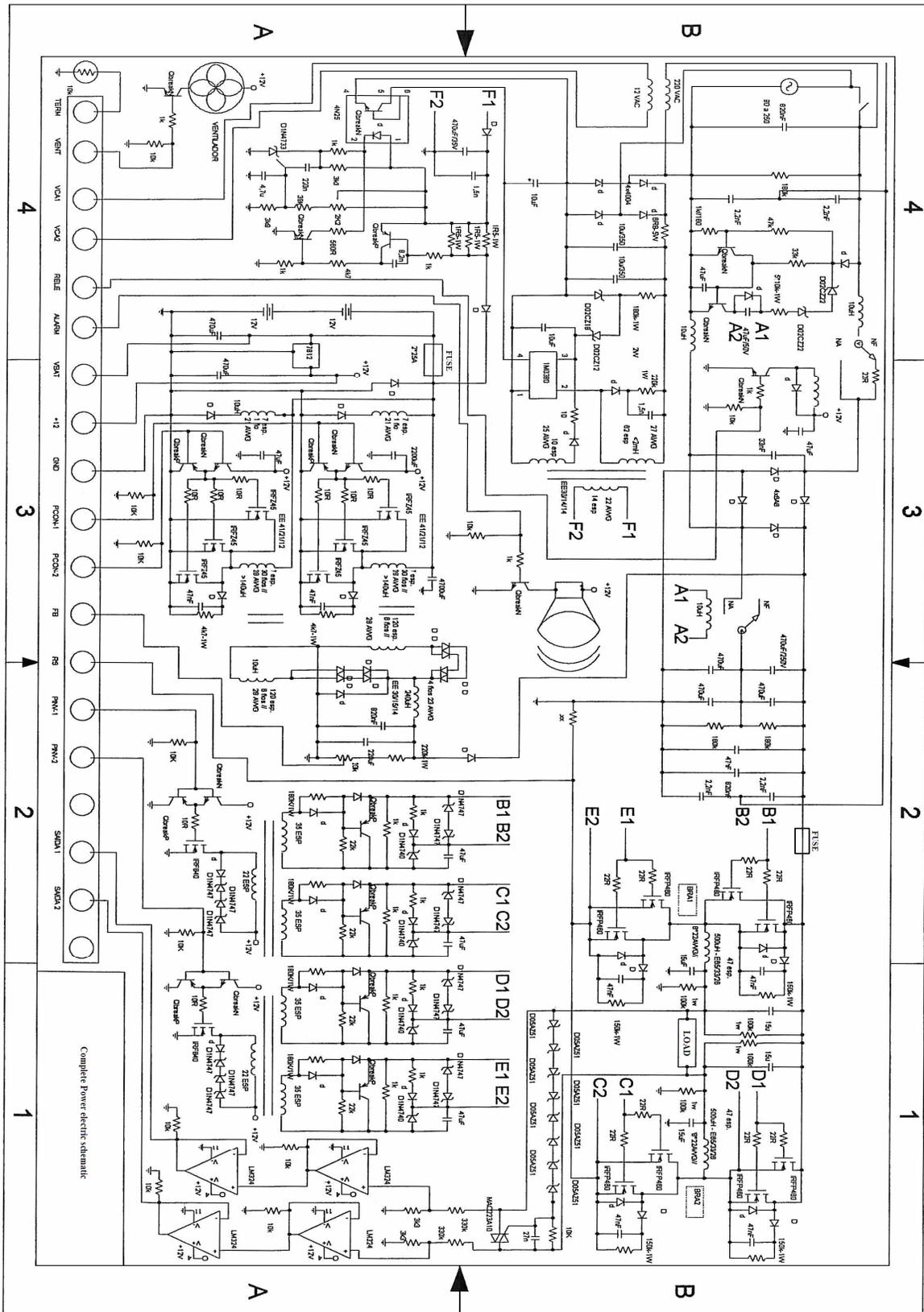
- [8] DATASHEET IRFP460. Disponível em:  
<http://pdf1.alldatasheet.com/datasheet-pdf/view/22409/STMICROELECTRONICS/IRFP460.html> (acesso em setembro/2007)
- [9] DATASHEET EE 30/15/7. Disponível em:  
[http://www.thornton.com.br/Port/p\\_ee30\\_15\\_7.htm](http://www.thornton.com.br/Port/p_ee30_15_7.htm)  
(acesso em setembro/2007)
- [10] DATASHEET EE 42/21/20. Disponível em:  
[http://www.thornton.com.br/Port/p\\_ee42\\_21\\_20.htm](http://www.thornton.com.br/Port/p_ee42_21_20.htm)  
(acesso em setembro/2007)
- [11] DATASHEET EE 65/33/26. Disponível em:  
[http://www.thornton.com.br/Port/p\\_ee65\\_33\\_26.htm](http://www.thornton.com.br/Port/p_ee65_33_26.htm)  
(acesso em setembro/2007)
- [12] MOTOROLA SEMICONDUCTOR, Technical Data. *Pulse Width Modulation Control Circuits. SG3525.*
- [13] HOLMES, D. Grahame; LIPO, Thomas A.; 2003. *Pulse Width Modulation for Power Converters.* USA; John Wiley & Sons.
- [14] PERIN, Arnaldo J; 2000. *Curso - Modulação PWM.* Florianópolis.
- [15] SEDRA, Adel S.; SMITH, Kenneth C. 2000. *Microeletrônica.* Quarta Edição
- [16] HARRIS SEMICONDUCTOR, App note, No. AN9525.2, March 1996.
- [17] FAIRCHILD SEMICONDUCTOR. Data Sheet TL431
- [18] BARBI, Ivo; 2001. *Projetos de Fontes Chaveadas.* Florianópolis; Edição do autor.
- [19] BARBI, Ivo; MARTINS, Denizar Cruz; 2001. *Teoria Fundamental da Eletrônica de Potência.* Florianópolis; Edição dos Autores.
- [20] CHOMA, Everton – Trabalho de conclusão de curso – “No-Break 1,2Kva, Senoidal, Funcionando em Malha Fechada: Circuito de Controle Analógico”. Londrina, 2006.

- [21] FIORENTINO, Leandro Motta – Trabalho de conclusão de curso – “No-Break 1,2Kva, Senoidal, Funcionando em Malha Fechada: Estágios de potência”. Londrina, 2006.
- [22] SILVA, Fábio Medeiro – Dissertação de mestrado – “Seguidor de máxima potência fotovoltaica utilizando conversor *buck* síncrono com controle digital por valores médios de corrente”. Londrina, 2005.
- [23] AHMAD MUSSA, Samir – Tese de doutorado – “Controle de um conversor ca-cc trifásico pwm de três níveis com fator De potência unitário utilizando dsp”. Florianópolis, 2003.
- [24] OLIVEIRA, André Schneider de; ANDRADE, Fernando Souza de – “Sistemas embarcados, hardware e firmware na prática” – 2006, 1º edição, Editora Érica.
- [25] [www.microchip.com](http://www.microchip.com), datasheet e documentação DSPic30F2010.  
(acesso em setembro/2007)
- [26] TREVISO, Carlos H. G.; FREITAS, L. C.; VIEIRA Jr., João B.; "Retificador de 6kW, Fator de Potência Unitário, Trifásico, Comutação não-dissipativa na Conversão CC/CC e Controle Sincronizado em Frequência. Tese de Doutorado, Uberlândia – MG – Brazil, March, 1999.
- [27] MARTINS, Denizar C., "Inversor Ponte Completa ZVS PWM com Grampeamento Ativo utilizando a Energia de Recuperação Reversa D", CBA 2002 – Natal – RN – Brasil.
- [28] TREVISO, Carlos H. G.; SCHIAVON, Gilson Jr.; “Complete design for a 1.2 kva uninterruptable power supply system with a stabilized sine wave output and a frequency synchronous converter”. Artigo, COBEP’07. 2007.

- [29] SILVA, F. M., CAMELO, N. J., SAAVEDRA, O. R., SANTOS, W. M..  
“Iluminação Baseada em Sistemas Fotovoltaicos: Análise de  
Desempenho sob Condição de Tensão Não-Senoidal”. 5th Latin-  
American Congress: Electricity Generation and Transmission; São  
Pedro-SP; novembro; 2003.
- [30] TOMASSELLI, Luis C. **Controle de um pré-regulador com alto fator de  
Potência utilizando o controlador DSP TMS320F243**. Florianópolis,  
2001. Dissertação (Mestrado em Engenharia Elétrica) – Centro  
Tecnológico, Universidade Federal de Santa Catarina.
- [31] OGATA, Katsuhito, **Discrete-time control system**. 2<sup>o</sup> ed. New Jersey,  
Prentice-Hall, Inc., 1995.
- [32] OGATA, Katsuhito, **Engenharia de Controle Moderno**. 4<sup>o</sup> edição.  
Prentice-Hall, Inc., 2003.

## **ANEXOS**

# Anexo 1 – Diagrama completo da placa de potência.





Anexo 3 – Diagrama completo da placa de controle digital por DSC.

